

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ（フラッシュメモリ・SRAM等）を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

ADJ-602-277B

H8/3069 F-ZTAT™ ハードウェアマニュアル

H8/3069 F-ZTAT™ HD64F3069

H8/3069 F-ZTAT™ ハードウェアマニュアル

発行年月日 2001年9月 第1版

2002年9月 第3版

発行 株式会社 日立製作所

半導体グループビジネスオペレーション本部

編集 株式会社 日立小平セミコン

技術ドキュメントグループ

©株式会社 日立製作所 2001

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

本 LSI は、内部 32 ビット構成の H8/300H CPU を核に、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

本 LSI は、ROM、RAM、16 ビットタイマ、8 ビットタイマ、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドックタイマ (WDT)、シリアルコミュニケーションインターフェース (SCI)、D/A 変換器、A/D 変換器、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ (F-ZTAT™*) で、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】* F-ZTAT™ は (株) 日立製作所の商標です。

対象者 このマニュアルは、H8/3069F-ZTAT™ を用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8/3069F-ZTAT™ のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。

なお、実行命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU 機能の詳細を理解したいとき

別冊の「H8/300H シリーズ プログラミングマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

「付録 B. 内部 I/O レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.hitachisemiconductor.com/jp/>)

・ H8/3069F-ZTAT™に関するユーザーズマニュアル

資料名	資料番号
H8/3069F-ZTAT™ ハードウェアマニュアル	本マニュアル
H8/300H シリーズ プログラミングマニュアル	ADJ - 602 - 071

・ 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンカージェディタ ユーザーズマニュアル	ADJ - 702 - 303
Windows 版シミュレータ・デバッグユーザーズマニュアル	ADJ - 702 - 163
UNIX 版シミュレータ・デバッグユーザーズマニュアル	ADJ - 702 - 109
日立デバッキングインタフェースユーザーズマニュアル	ADJ - 702 - 231
Hitachi Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275
H8S、H8/300 シリーズ Hitachi Embedded Workshop、 Hitachi Debugging Interface ユーザーズマニュアル	ADJ - 702 - 307

・ アプリケーションノート

資料名	資料番号
H8/300H シリーズ CPU 編	ADJ - 502 - 036
H8/300H シリーズ内蔵 I/O 編	ADJ - 502 - 040
マイコンテクニカル Q & A H8/300H シリーズ	ADJ - 502 - 043
H8SH8/300 シリーズ C/C++ コンパイラ編	ADJ - 502 - 051
F-ZTAT マイコンテクニカル Q & A	ADJ - 502 - 055

本版で修正または追加された箇所

修正項目

ページ

修正箇所

1.3.2 端子機能

表 1.2 端子機能

11

分類	記号	ピン番号	入出力	名称および機能																																				
		FP-100B TFP-100B																																						
動作モード コントロール	MD ₂ ~ MD ₀	75 ~ 73	入力	<div>モード端子 動作モードを設定します。 MD₂ ~ MD₀端子と動作モードの関係は次のとおりです。 モード1 ~ 5、7以外は本LSIでは使用できません。したがって、モード端子は必ずモード1 ~ 5、7になるように設定してください。また、これらの端子は動作中には変化させないでください。</div> <table><tr><td>MD₂</td><td>MD₁</td><td>MD₀</td><td>動作モード</td></tr><tr><td>0</td><td>0</td><td>0</td><td>-</td></tr><tr><td>0</td><td>0</td><td>1</td><td>モード1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>モード2</td></tr><tr><td>0</td><td>1</td><td>1</td><td>モード3</td></tr><tr><td>1</td><td>0</td><td>0</td><td>モード4</td></tr><tr><td>1</td><td>0</td><td>1</td><td>モード5</td></tr><tr><td>1</td><td>1</td><td>0</td><td>-</td></tr><tr><td>1</td><td>1</td><td>1</td><td>モード7</td></tr></table>	MD ₂	MD ₁	MD ₀	動作モード	0	0	0	-	0	0	1	モード1	0	1	0	モード2	0	1	1	モード3	1	0	0	モード4	1	0	1	モード5	1	1	0	-	1	1	1	モード7
MD ₂	MD ₁	MD ₀	動作モード																																					
0	0	0	-																																					
0	0	1	モード1																																					
0	1	0	モード2																																					
0	1	1	モード3																																					
1	0	0	モード4																																					
1	0	1	モード5																																					
1	1	0	-																																					
1	1	1	モード7																																					

5.4.3 割り込み応答時間

表 5.5 割り込み応答時間

123

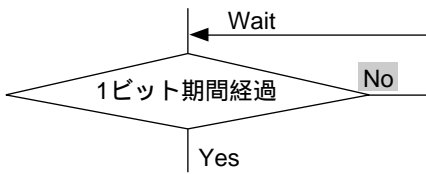
No.	項目	内蔵メモリ	外部メモリ			
			8ビットバス		16ビットバス	
			2ステート	3ステート	2ステート	3ステート
1	割り込み優先順位判定	2* ¹				
2	実行中の命令が終了するまでの最大待ちステート数	1 ~ 23* ⁵	1 ~ 27* ⁵ * ⁶	1 ~ 41* ⁴ * ⁶	1 ~ 23* ⁵	1 ~ 25* ⁴ * ⁵

合計	19 ~ 41	31 ~ 57	43 ~ 83	19 ~ 41	25 ~ 49
----	---------	---------	---------	---------	---------

注書き*5、*6を追加

*5 DIVXS.W Rs, ERd、MULXS.W Rs, ERd の例です。

*6 MOV.L @(d:24, ERs), ERd、MOV.L ERs, @(d:24, ERd) の例です。

修正項目	ページ	修正箇所
6.9.1 動作説明 (3) DRAM 空間アクセス直後の 外部アドレス空間アクセス	211	12 行目 このタイミングを図 6.46 に示します。
8.9.2 レジスタ構成 (2) ポート 8 データレジスタ 表 8.15 モード 7 の端子機能 (ポ ート 8)	321	タイトル修正 表 8.15 モード 7 の端子機能 (ポート 8)
13.3.4 クロック同期式モード時 の動作 (3) データの送信 / 受信動作 図 13.15 SCI のイニシャライズ フローチャートの例	561	
18.1 特長	650	書き込み / 消去時間 フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 3ms (typ)、1 バイト当たり換算にて約 25μs、消去時間は 64kB ブロック当たり 1000 ms (typ) です。 書き換え回数 フラッシュメモリの書き換えは、min100 回可能です。
18.2.2 動作モード 表 18.1 FWE 端子、MD 端子設定 と動作モード	653	表タイトル修正 表 18.1 FWE 端子、MD 端子設定と動作モード 端子を修正 (誤) RES (正) RES
18.3 端子構成 表 18.3 端子構成	659	略称を修正 (誤) RES (正) RES
18.4.3 書き込み / 消去インタフ ェースパラメータ (2) 書き込み / 消去の初期化 (a) フラッシュプログラム / イ レース周波数パラメータ (FPEFEQ: CPU の汎用レジスタ ER0)	671	2 行目 ... 「21.2.1 クロックタイミング」をご参照ください。

修正項目	ページ	修正箇所																																														
18.4.5 フラッシュベクタアドレスコントロールレジスタ (FVACR)	683	<table><tr><th>ビット3</th><th>ビット2</th><th>ビット1</th><th>ビット0</th><th>機 能</th></tr><tr><th>FVSEL3</th><th>FVSEL2</th><th>FVSEL1</th><th>FVSEL0</th><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>ベクタテーブルデータはエリア0 (初期値) (H'00001C ~ H'00004F)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr><tr><td>0</td><td>0</td><td>1</td><td>-</td></tr><tr><td>0</td><td>1</td><td>-</td><td>-</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>ベクタテーブルデータは内部I/Oレジスタ (FVADDR ~ FVADRL)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr><tr><td>1</td><td>0</td><td>1</td><td>-</td></tr><tr><td>1</td><td>1</td><td>-</td><td>-</td></tr></table>	ビット3	ビット2	ビット1	ビット0	機 能	FVSEL3	FVSEL2	FVSEL1	FVSEL0		0	0	0	0	ベクタテーブルデータはエリア0 (初期値) (H'00001C ~ H'00004F)	0	0	0	1	設定禁止	0	0	1	-	0	1	-	-	1	0	0	0	ベクタテーブルデータは内部I/Oレジスタ (FVADDR ~ FVADRL)	1	0	0	1	設定禁止	1	0	1	-	1	1	-	-
		ビット3	ビット2	ビット1	ビット0	機 能																																										
		FVSEL3	FVSEL2	FVSEL1	FVSEL0																																											
		0	0	0	0	ベクタテーブルデータはエリア0 (初期値) (H'00001C ~ H'00004F)																																										
		0	0	0	1	設定禁止																																										
		0	0	1	-																																											
		0	1	-	-																																											
		1	0	0	0	ベクタテーブルデータは内部I/Oレジスタ (FVADDR ~ FVADRL)																																										
		1	0	0	1	設定禁止																																										
1	0	1	-																																													
1	1	-	-																																													
18.5.2 ユーザプログラムモード (1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ 図 18.10 書き込み / 消去実施時の RAM マップ (2) ユーザプログラムモードでの書き込み手順 (f) (2) ユーザプログラムモードでの書き込み手順 (g)	690	アドレス修正 (誤) RAMEND (H'FFFF1F) (正) RAMEND (H'FFFF1F)																																														
	693	FPERQ パラメータ (汎用レジスタ: ER0) に現在の CPU クロック周波数を設定します。 <table><tr><td>MOV.L</td><td>#DLTOP+32,ER2</td><td>; エントリーアドレスをER2に設定</td></tr><tr><td>JSR</td><td>@ER2</td><td>; 初期化ルーチンをコール</td></tr><tr><td>NOP</td><td></td><td></td></tr></table> R0L は FPFR パラメータの戻り値です。	MOV.L	#DLTOP+32,ER2	; エントリーアドレスをER2に設定	JSR	@ER2	; 初期化ルーチンをコール	NOP																																							
	MOV.L	#DLTOP+32,ER2	; エントリーアドレスをER2に設定																																													
	JSR	@ER2	; 初期化ルーチンをコール																																													
NOP																																																
695	128 バイトを越えるデータを書き込む場合、128 バイト単位で FMPAR、FMPDR の設定を行い上記 (1) ~ (m) の処理を繰り返します。																																															
697	書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス+16 バイトからの領域に、 ...。																																															
18.8.1 使用上の注意 (1) 内蔵プログラムのダウンロード実行時間	709	(誤) TBD (正) 約 164																																														
18.10.1 ブートモードの標準シリアル通信インタフェース仕様 問い合わせ選択ステータス (1) サポートデバイス問い合わせ	722	・ コマンド「H'20」 (1 バイト) : サポートデバイス問い合わせ <table><tr><td>レスポンス</td><td>H'30</td><td>サイズ</td><td>デバイス数</td><td></td></tr><tr><td></td><td>文字数</td><td>デバイスコード</td><td></td><td>品名</td></tr><tr><td></td><td>...</td><td></td><td></td><td></td></tr><tr><td></td><td>SUM</td><td></td><td></td><td></td></tr></table>	レスポンス	H'30	サイズ	デバイス数			文字数	デバイスコード		品名		...					SUM																													
レスポンス	H'30	サイズ	デバイス数																																													
	文字数	デバイスコード		品名																																												
	...																																															
	SUM																																															

修正項目	ページ	修正箇所																																										
18.10.1 ブートモードの標準シリアル通信インタフェース仕様 問い合わせ選択ステータス (8) ユーザマット情報問い合わせ	725	<div>・コマンド「H'24」(1バイト): ユーザブートマット情報問い合わせレスポンス</div> <table><tr><td>H'34</td><td>サイズ</td><td>エリア数</td></tr><tr><td colspan="2">エリア先頭アドレス</td><td>エリア最終アドレス</td></tr><tr><td colspan="2">...</td><td></td></tr><tr><td>SUM</td><td colspan="2"></td></tr></table>	H'34	サイズ	エリア数	エリア先頭アドレス		エリア最終アドレス	...			SUM																																
H'34	サイズ	エリア数																																										
エリア先頭アドレス		エリア最終アドレス																																										
...																																												
SUM																																												
(9) 消去ブロック情報問い合わせ	727	(誤) サイズ(2バイト) (正) サイズ(1バイト)																																										
(11) 新ビットレート選択	728	<div>・通倍比1(1バイト): メイン動作周波数の通倍比または分周比</div> <div>・通倍比: 通倍する数値(例 4通倍: H'04 本LSIではH'01を設定してください)</div> <div>・分周比: 分周する数値、負の数値(例 2分周: H'FE[-2] 本LSIではH'01を設定してください)</div> <div>・通倍比2(1バイト): 周辺動作周波数の通倍比または分周比</div> <div>・通倍比: 通倍する数値(例 4通倍: H'04 本LSIではH'01を設定してください)</div> <div>・分周比: 分周する数値、負の数値(例 2分周: H'FE[-2]本LSIではH'01を設定してください)</div>																																										
書き込み消去ステータス (1) ユーザブートマット書き込み選択	733	ユーザブートマット書き込み選択 ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。																																										
18.10.3 手順プログラム、または書き込みデータの格納可能領域 表 18.28(4) ユーザブートモードでの消去処理で使用可能なエリア	753	<table><tr><td>NMI処理ルーチン</td><td></td><td>x</td><td></td><td></td><td></td><td></td></tr><tr><td>割り込み禁止処理</td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>FMATSによる マット切り替え</td><td></td><td>x</td><td>x</td><td></td><td></td><td></td></tr><tr><td>キーレジスタへの H'5A書き込み処理</td><td></td><td>x</td><td></td><td></td><td></td><td></td></tr><tr><td>消去パラメータの 設定処理</td><td></td><td>x</td><td></td><td></td><td></td><td></td></tr><tr><td>消去実行</td><td></td><td>x</td><td>x</td><td></td><td></td><td></td></tr></table>	NMI処理ルーチン		x					割り込み禁止処理							FMATSによる マット切り替え		x	x				キーレジスタへの H'5A書き込み処理		x					消去パラメータの 設定処理		x					消去実行		x	x			
NMI処理ルーチン		x																																										
割り込み禁止処理																																												
FMATSによる マット切り替え		x	x																																									
キーレジスタへの H'5A書き込み処理		x																																										
消去パラメータの 設定処理		x																																										
消去実行		x	x																																									
19.2.1 水晶発振子を接続する方法 表 19.1(1) ダンピング抵抗値	758	<table><tr><td rowspan="2">ダンピング抵抗値</td><td colspan="4">周波数f (MHz)</td></tr><tr><td>10 < f < 13</td><td>13 < f < 16</td><td>16 < f < 18</td><td>18 < f < 25</td></tr><tr><td>Rd ()</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	ダンピング抵抗値	周波数f (MHz)				10 < f < 13	13 < f < 16	16 < f < 18	18 < f < 25	Rd ()	0	0	0	0																												
ダンピング抵抗値	周波数f (MHz)																																											
	10 < f < 13	13 < f < 16	16 < f < 18	18 < f < 25																																								
Rd ()	0	0	0	0																																								

修正項目	ページ	修正箇所																																																																																										
19.2.2 外部クロックを入力する方法 (2) 外部クロック 表 19.3 クロックタイミング	761	<table><tr><th rowspan="2">項目</th><th rowspan="2">記号</th><th colspan="2">VCC = 5.0V ± 10%</th><th rowspan="2">単位</th><th rowspan="2">測定条件</th></tr><tr><th>min</th><th>max</th></tr><tr><td>外部クロック入力パルス幅Lowレベル</td><td>tEXL</td><td>15</td><td></td><td>ns</td><td rowspan="4">図19.6</td></tr><tr><td>外部クロック入力パルス幅Highレベル</td><td>tEXH</td><td>15</td><td></td><td>ns</td></tr><tr><td>外部クロック立ち上がり時間</td><td>tEXr</td><td></td><td>5</td><td>ns</td></tr><tr><td>外部クロック立ち下がり時間</td><td>tEXf</td><td></td><td>5</td><td>ns</td></tr><tr><td>クロックパルス幅Lowレベル</td><td>tCL</td><td>0.4</td><td>0.6</td><td>tcyc</td><td rowspan="2">図21.7</td></tr><tr><td>クロックパルス幅Highレベル</td><td>tCH</td><td>0.4</td><td>0.6</td><td>tcyc</td></tr><tr><td>外部クロック出力安定遅延時間</td><td>tDEXT*</td><td>500</td><td></td><td>μs</td><td>図19.7</td></tr></table>	項目	記号	VCC = 5.0V ± 10%		単位	測定条件	min	max	外部クロック入力パルス幅Lowレベル	tEXL	15		ns	図19.6	外部クロック入力パルス幅Highレベル	tEXH	15		ns	外部クロック立ち上がり時間	tEXr		5	ns	外部クロック立ち下がり時間	tEXf		5	ns	クロックパルス幅Lowレベル	tCL	0.4	0.6	tcyc	図21.7	クロックパルス幅Highレベル	tCH	0.4	0.6	tcyc	外部クロック出力安定遅延時間	tDEXT*	500		μs	図19.7																																												
項目	記号	VCC = 5.0V ± 10%			単位	測定条件																																																																																						
		min	max																																																																																									
外部クロック入力パルス幅Lowレベル	tEXL	15		ns	図19.6																																																																																							
外部クロック入力パルス幅Highレベル	tEXH	15		ns																																																																																								
外部クロック立ち上がり時間	tEXr		5	ns																																																																																								
外部クロック立ち下がり時間	tEXf		5	ns																																																																																								
クロックパルス幅Lowレベル	tCL	0.4	0.6	tcyc	図21.7																																																																																							
クロックパルス幅Highレベル	tCH	0.4	0.6	tcyc																																																																																								
外部クロック出力安定遅延時間	tDEXT*	500		μs	図19.7																																																																																							
21.2.2 DC 特性 表 21.2 DC 特性	790、791	<p>条件：V_{CC} = AV_{CC} = 5.0V ± 10%、V_{REF} = 4.5V ~ AV_{CC}*1、V_{SS} = AV_{SS} = 0V*1 T_a = - 20 ~ + 75 （一般仕様）、T_a = - 40 ~ + 85 （広温度範囲仕様） 〔書き込み / 消去時の条件：T_a = 0 ~ + 75 （一般仕様）、T_a = 0 ~ + 85 （広温度範囲仕様）〕</p> <table><tr><th>項目</th><th>記号</th><th>min</th><th>typ</th><th>max</th><th>単位</th><th>測定条件</th></tr><tr><td rowspan="6">消費電流</td><td>通常動作時</td><td>-</td><td>24 (5.0V)</td><td>36</td><td rowspan="3">mA</td><td>f = 25MHz</td></tr><tr><td>スリープ時</td><td>-</td><td>20 (5.0V)</td><td>33</td><td>f = 25MHz</td></tr><tr><td>モジュールスタンバイ時</td><td>-</td><td>15 (5.0V)</td><td>25</td><td>f = 25MHz</td></tr><tr><td>スタンバイ時</td><td>-</td><td>25 (5.0V)</td><td>90</td><td rowspan="2">μA</td><td>Ta 50</td></tr><tr><td></td><td>-</td><td>-</td><td>120</td><td>50 < Ta</td></tr><tr><td>フラッシュメモリ書き込み / 消去時*4</td><td>-</td><td>34 (5.0V)</td><td>46</td><td>mA</td><td>f = 25MHz</td></tr><tr><td rowspan="4">アナログ電源電流</td><td>A/D変換中</td><td>-</td><td>0.9</td><td>1.5</td><td rowspan="2">mA</td><td rowspan="2"></td></tr><tr><td>A/D、D/A変換中</td><td>-</td><td>0.9</td><td>1.5</td></tr><tr><td rowspan="2">A/D、D/A変換待機中</td><td>-</td><td>0.05 (5.0V)</td><td>5</td><td rowspan="2">μA</td><td>Ta 50</td></tr><tr><td>-</td><td>-</td><td>15</td><td>DASTE = 0時</td></tr><tr><td rowspan="4">リファレンス電源電流</td><td>A/D変換中</td><td>-</td><td>0.45</td><td>0.8</td><td rowspan="2">mA</td><td rowspan="2"></td></tr><tr><td>A/D、D/A変換中</td><td>-</td><td>1.8</td><td>3.0</td></tr><tr><td rowspan="2">A/D、D/A変換待機中</td><td>-</td><td>0.05</td><td>5.0</td><td rowspan="2">μA</td><td>DASTE = 0時</td></tr><tr><td></td><td></td><td></td><td></td></tr><tr><td>RAMスタンバイ電圧</td><td>V_{RAM}</td><td>3.0</td><td>-</td><td>-</td><td>V</td><td></td></tr></table> <p>【注】 *1 A/D変換器未使用時にAV_{CC}、V_{REF}、AV_{SS}端子を開放しないでください。 AV_{CC}、V_{REF}端子はV_{CC}に、AV_{SS}端子はV_{SS}にそれぞれ接続してください。</p>	項目	記号	min	typ	max	単位	測定条件	消費電流	通常動作時	-	24 (5.0V)	36	mA	f = 25MHz	スリープ時	-	20 (5.0V)	33	f = 25MHz	モジュールスタンバイ時	-	15 (5.0V)	25	f = 25MHz	スタンバイ時	-	25 (5.0V)	90	μA	Ta 50		-	-	120	50 < Ta	フラッシュメモリ書き込み / 消去時*4	-	34 (5.0V)	46	mA	f = 25MHz	アナログ電源電流	A/D変換中	-	0.9	1.5	mA		A/D、D/A変換中	-	0.9	1.5	A/D、D/A変換待機中	-	0.05 (5.0V)	5	μA	Ta 50	-	-	15	DASTE = 0時	リファレンス電源電流	A/D変換中	-	0.45	0.8	mA		A/D、D/A変換中	-	1.8	3.0	A/D、D/A変換待機中	-	0.05	5.0	μA	DASTE = 0時					RAMスタンバイ電圧	V _{RAM}	3.0	-	-	V	
項目	記号	min	typ	max	単位	測定条件																																																																																						
消費電流	通常動作時	-	24 (5.0V)	36	mA	f = 25MHz																																																																																						
	スリープ時	-	20 (5.0V)	33		f = 25MHz																																																																																						
	モジュールスタンバイ時	-	15 (5.0V)	25		f = 25MHz																																																																																						
	スタンバイ時	-	25 (5.0V)	90	μA	Ta 50																																																																																						
		-	-	120		50 < Ta																																																																																						
	フラッシュメモリ書き込み / 消去時*4	-	34 (5.0V)	46	mA	f = 25MHz																																																																																						
アナログ電源電流	A/D変換中	-	0.9	1.5	mA																																																																																							
	A/D、D/A変換中	-	0.9	1.5																																																																																								
	A/D、D/A変換待機中	-	0.05 (5.0V)	5	μA	Ta 50																																																																																						
		-	-	15		DASTE = 0時																																																																																						
リファレンス電源電流	A/D変換中	-	0.45	0.8	mA																																																																																							
	A/D、D/A変換中	-	1.8	3.0																																																																																								
	A/D、D/A変換待機中	-	0.05	5.0	μA	DASTE = 0時																																																																																						
RAMスタンバイ電圧	V _{RAM}	3.0	-	-	V																																																																																							
表 21.3 出力許容電流値	792	<p>条件：V_{CC} = AV_{CC} = 5.0V ± 10%、V_{REF} = 4.5V ~ AV_{CC}、V_{SS} = AV_{SS} = 0V、 T_a = - 20 ~ + 75 （一般仕様）、T_a = - 40 ~ + 85 （広温度範囲仕様）</p>																																																																																										

修正項目	ページ	修正箇所																																																																		
21.1.3 AC 特性 表 21.4 クロックタイミング 表 21.5 制御信号タイミング	793	条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$ 条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$																																																																		
表 21.6 バスタイミング	794	条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$																																																																		
表 21.7 内蔵周辺モジュール	795	条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25Mhz$ <table><tr><td>Module</td><td>項目</td><td>記号</td><td>min</td><td>max</td><td>単位</td><td>測定条件</td></tr><tr><td colspan="7"><hr/></td></tr><tr><td rowspan="2">SCI</td><td>入力クロック立ち上がり時間</td><td>t_{SCKr}</td><td>-</td><td>1.5</td><td>t_{cyc}</td><td></td></tr><tr><td>入力クロック立ち下がり時間</td><td>t_{SCKf}</td><td>-</td><td>1.5</td><td>t_{cyc}</td><td></td></tr></table>	Module	項目	記号	min	max	単位	測定条件	<hr/>							SCI	入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{cyc}		入力クロック立ち下がり時間	t_{SCKf}	-	1.5	t_{cyc}																																								
Module	項目	記号	min	max	単位	測定条件																																																														
<hr/>																																																																				
SCI	入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{cyc}																																																															
	入力クロック立ち下がり時間	t_{SCKf}	-	1.5	t_{cyc}																																																															
21.1.4 A/D 変換特性 表 21.8 A/D 変換特性	796	条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$																																																																		
21.1.5 D/A 変換特性 表 21.9 D/A 変換特性	797	条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$																																																																		
21.1.6 フラッシュメモリ特性 表 21.10 フラッシュメモリ特性 (1)	798	条件: $V_{CC} = AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ $T_a = 0 \sim +75$ (書き込み / 消去時の動作温度範囲: 一般仕様) $T_a = 0 \sim +85$ (書き込み / 消去時の動作温度範囲: 広温度範囲仕様) <table><tr><th>項目</th><th>記号</th><th>min.</th><th>typ.</th><th>max.</th><th>単位</th><th>特記</th></tr><tr><td>書き込み時間*1、*2、*4</td><td>t_p</td><td>-</td><td>3</td><td>30</td><td>ms/128バイト</td><td></td></tr><tr><td rowspan="3">消去時間*1、*2、*4</td><td rowspan="3">t_e</td><td>-</td><td>80</td><td>800</td><td>ms/4kバイト ブロック</td><td></td></tr><tr><td>-</td><td>500</td><td>5000</td><td>ms/32kバイト ブロック</td><td></td></tr><tr><td>-</td><td>1000</td><td>10000</td><td>ms/64kバイト ブロック</td><td></td></tr><tr><td>書き込み時間 (総和)*1、*2、*4</td><td>t_p</td><td>-</td><td>10</td><td>30</td><td>s/512kバイト</td><td>$T_a=25$、all 0°時</td></tr><tr><td>消去時間 (総和)*1、*2、*4</td><td>t_e</td><td>-</td><td>10</td><td>30</td><td>s/512kバイト</td><td>$T_a=25$</td></tr><tr><td>書き込み、消去時間 (総和)*1、*2、*4</td><td>t_{PE}</td><td>-</td><td>20</td><td>60</td><td>s/512kバイト</td><td>$T_a=25$</td></tr><tr><td>書き換え回数</td><td>N_{WEC}</td><td>100*3</td><td>-</td><td>-</td><td>回</td><td></td></tr><tr><td>データ保持時間*4</td><td>t_{DRP}</td><td>10</td><td>-</td><td>-</td><td>年</td><td></td></tr></table>	項目	記号	min.	typ.	max.	単位	特記	書き込み時間*1、*2、*4	t_p	-	3	30	ms/128バイト		消去時間*1、*2、*4	t_e	-	80	800	ms/4kバイト ブロック		-	500	5000	ms/32kバイト ブロック		-	1000	10000	ms/64kバイト ブロック		書き込み時間 (総和)*1、*2、*4	t_p	-	10	30	s/512kバイト	$T_a=25$ 、all 0°時	消去時間 (総和)*1、*2、*4	t_e	-	10	30	s/512kバイト	$T_a=25$	書き込み、消去時間 (総和)*1、*2、*4	t_{PE}	-	20	60	s/512kバイト	$T_a=25$	書き換え回数	N_{WEC}	100*3	-	-	回		データ保持時間*4	t_{DRP}	10	-	-	年	
項目	記号	min.	typ.	max.	単位	特記																																																														
書き込み時間*1、*2、*4	t_p	-	3	30	ms/128バイト																																																															
消去時間*1、*2、*4	t_e	-	80	800	ms/4kバイト ブロック																																																															
		-	500	5000	ms/32kバイト ブロック																																																															
		-	1000	10000	ms/64kバイト ブロック																																																															
書き込み時間 (総和)*1、*2、*4	t_p	-	10	30	s/512kバイト	$T_a=25$ 、all 0°時																																																														
消去時間 (総和)*1、*2、*4	t_e	-	10	30	s/512kバイト	$T_a=25$																																																														
書き込み、消去時間 (総和)*1、*2、*4	t_{PE}	-	20	60	s/512kバイト	$T_a=25$																																																														
書き換え回数	N_{WEC}	100*3	-	-	回																																																															
データ保持時間*4	t_{DRP}	10	-	-	年																																																															
【注】 *1 書き込み、消去時間はデータに依存します。 *2 書き込み、消去時間にはデータ転送時間は含みません。 *3 書き換え後のすべての特性を保証するmin. 回数です。(保証は1～min. 値の範囲です。) *4 書き換えがmin. 値を含む仕様範囲内で行われたときの特性です。																																																																				

修正項目	ページ	修正箇所																														
B.3 機能一覧	874	MDCR モードコントロールレジスタ モードセレクト2～0 <table><tr><th>ビット2</th><th>ビット1</th><th>ビット0</th><th>動作モード</th></tr><tr><th>MD₂</th><th>MD₁</th><th>MD₀</th><td></td></tr><tr><td rowspan="4">0</td><td rowspan="2">0</td><td>0</td><td>———</td></tr><tr><td>1</td><td>モード1</td></tr><tr><td rowspan="2">1</td><td>0</td><td>モード2</td></tr><tr><td>1</td><td>モード3</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>0</td><td>モード4</td></tr><tr><td>1</td><td>モード5</td></tr><tr><td rowspan="2">1</td><td>0</td><td>-</td></tr><tr><td>1</td><td>モード7</td></tr></table>	ビット2	ビット1	ビット0	動作モード	MD ₂	MD ₁	MD ₀		0	0	0	———	1	モード1	1	0	モード2	1	モード3	1	0	0	モード4	1	モード5	1	0	-	1	モード7
ビット2	ビット1	ビット0	動作モード																													
MD ₂	MD ₁	MD ₀																														
0	0	0	———																													
		1	モード1																													
	1	0	モード2																													
		1	モード3																													
1	0	0	モード4																													
		1	モード5																													
	1	0	-																													
		1	モード7																													
付録 D.2 リセット時の端子状態 (4) モード7 図 D.4 動作中のリセット (モード7)	1008	<p>P6₇/</p> <p>RES</p> <p>内部リセット 信号</p> <p>I/Oポート</p> <p>ハイインピーダンス</p> <p>ハイインピーダンス</p>																														

目次

第1章 概要

1.1	概要.....	3
1.2	内部ブロック図.....	8
1.3	端子説明.....	9
1.3.1	ピン配置図.....	9
1.3.2	端子機能.....	10
1.3.3	モード別ピン配置一覧.....	17

第2章 CPU

2.1	概要.....	25
2.1.1	特長.....	25
2.1.2	H8/300CPU との相違点	26
2.2	CPU 動作モード	27
2.3	アドレス空間	28
2.4	レジスタ構成	29
2.4.1	概要.....	29
2.4.2	汎用レジスタ	30
2.4.3	コントロールレジスタ	31
2.4.4	CPU 内部レジスタの初期値.....	33
2.5	データ構成.....	34
2.5.1	汎用レジスタのデータ構成	34
2.5.2	メモリ上でのデータ構成.....	35
2.6	命令セット.....	37
2.6.1	命令セットの概要.....	37
2.6.2	命令とアドレッシングモードの組み合わせ.....	37
2.6.3	命令の機能別一覧.....	39
2.6.4	命令の基本フォーマット.....	50

2.6.5	ビット操作命令使用上の注意.....	51
2.7	アドレッシングモードと実効アドレスの計算方法.....	53
2.7.1	アドレッシングモード.....	53
2.7.2	実効アドレスの計算方法.....	56
2.8	処理状態.....	60
2.8.1	概要.....	60
2.8.2	プログラム実行状態.....	60
2.8.3	例外処理状態.....	60
2.8.4	例外処理の動作.....	63
2.8.5	バス権解放状態.....	64
2.8.6	リセット状態.....	64
2.8.7	低消費電力状態.....	64
2.9	基本動作タイミング.....	66
2.9.1	概要.....	66
2.9.2	内蔵メモリアクセスタイミング.....	66
2.9.3	内蔵周辺モジュールアクセスタイミング.....	67
2.9.4	外部アドレス空間アクセスタイミング.....	68

第3章 MCU 動作モード

3.1	概要.....	71
3.1.1	動作モードの種類の選択.....	71
3.1.2	レジスタ構成.....	72
3.2	モードコントロールレジスタ（MDCR）.....	73
3.3	システムコントロールレジスタ（SYSCR）.....	74
3.4	各動作モードの説明.....	77
3.4.1	モード1.....	77
3.4.2	モード2.....	77
3.4.3	モード3.....	77
3.4.4	モード4.....	77
3.4.5	モード5.....	77
3.4.6	モード7.....	78
3.5	各動作モードにおける端子機能.....	79
3.6	各動作モードのメモリマップ.....	80
3.6.1	リザーブ領域について.....	80

第4章 例外処理

4.1	概要.....	87
	4.1.1 例外処理の種類と優先度.....	87
	4.1.2 例外処理の動作.....	87
	4.1.3 例外処理要因とベクタテーブル.....	87
4.2	リセット.....	89
	4.2.1 概要.....	89
	4.2.2 リセットシーケンス.....	89
	4.2.3 リセット直後の割り込み.....	91
4.3	割り込み.....	92
4.4	トラップ命令.....	93
4.5	例外処理後のスタックの状態.....	94
4.6	スタック使用上の注意.....	95

第5章 割り込みコントローラ

5.1	概要.....	99
	5.1.1 特長.....	99
	5.1.2 ブロック図.....	100
	5.1.3 端子構成.....	101
	5.1.4 レジスタ構成.....	101
5.2	各レジスタの説明.....	102
	5.2.1 システムコントロールレジスタ (SYSCR).....	102
	5.2.2 インタラプトプライオリティレジスタ A、B (IPRA、IPRB).....	103
	5.2.3 IRQ ステータスレジスタ (ISR).....	110
	5.2.4 IRQ イネーブルレジスタ (IER).....	111
	5.2.5 IRQ センスコントロールレジスタ (ISCR).....	112
5.3	割り込み要因.....	113
	5.3.1 外部割り込み.....	113
	5.3.2 内部割り込み.....	114
	5.3.3 割り込み例外処理ベクタテーブル.....	115
5.4	割り込み動作.....	117
	5.4.1 割り込み動作の流れ.....	117
	5.4.2 割り込み例外処理シーケンス.....	122
	5.4.3 割り込み応答時間.....	123
5.5	使用上の注意.....	124
	5.5.1 割り込みの発生とディスエーブルとの競合.....	124
	5.5.2 割り込みの受け付けを禁止している命令.....	125

5.5.3	EEPMOV 命令実行中の割り込み.....	125
-------	------------------------	-----

第6章 バスコントローラ

6.1	概要.....	129
6.1.1	特長.....	129
6.1.2	ブロック図.....	131
6.1.3	端子構成.....	132
6.1.4	レジスタ構成	133
6.2	各レジスタの説明.....	134
6.2.1	バス幅コントロールレジスタ (ABWCR)	134
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	135
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	136
6.2.4	バスリリースコントロールレジスタ (BRCR)	140
6.2.5	バスコントロールレジスタ (BCR)	143
6.2.6	チップセレクトコントロールレジスタ (CSCR)	146
6.2.7	DRAM コントロールレジスタ A (DRCRA)	147
6.2.8	DRAM コントロールレジスタ B (DRCRB)	149
6.2.9	リフレッシュタイマコントロール / ステータスレジスタ (RTMCSR)	152
6.2.10	リフレッシュタイマカウンタ (RTCNT)	153
6.2.11	リフレッシュタイムコンスタントレジスタ (RTCOR)	154
6.2.12	アドレスコントロールレジスタ (ADRCR)	154
6.3	動作説明.....	155
6.3.1	エリア分割.....	155
6.3.2	バス仕様.....	157
6.3.3	メモリインタフェース.....	158
6.3.4	チップセレクト信号	159
6.3.5	アドレス出力方式.....	160
6.4	基本バスインタフェース.....	162
6.4.1	概要.....	162
6.4.2	データサイズとデータアライメント	162
6.4.3	有効ストローク	164
6.4.4	各エリアの説明.....	165
6.4.5	基本バス制御信号タイミング	167
6.4.6	ウェイト制御	175
6.5	DRAM インタフェース	177
6.5.1	概要.....	177
6.5.2	DRAM 空間と RAS 出力端子の設定	177

6.5.3	アドレスマルチプレクス.....	178
6.5.4	データバス.....	179
6.5.5	DRAM インタフェース使用端子.....	179
6.5.6	基本タイミング.....	180
6.5.7	プリチャージステート制御.....	181
6.5.8	ウェイト制御.....	182
6.5.9	バイトアクセス制御と CAS 出力端子.....	184
6.5.10	バースト動作.....	186
6.5.11	リフレッシュ制御.....	191
6.5.12	使用例.....	195
6.5.13	使用上の注意.....	200
6.6	インターバルタイマ.....	202
6.6.1	動作説明.....	202
6.7	割り込み要因.....	208
6.8	バースト ROM インタフェース.....	208
6.8.1	概要.....	208
6.8.2	基本タイミング.....	208
6.8.3	ウェイト制御.....	209
6.9	アイドルサイクル.....	210
6.9.1	動作説明.....	210
6.9.2	アイドルサイクルでの端子状態.....	213
6.10	バスアービタ.....	214
6.10.1	動作説明.....	214
6.11	レジスタと端子入力のタイミング.....	217
6.11.1	レジスタライトタイミング.....	217
6.11.2	BREQ 端子の入力タイミング.....	218

第 7 章 DMA コントローラ

7.1	概要.....	221
7.1.1	特長.....	221
7.1.2	ブロック図.....	222
7.1.3	機能概要.....	223
7.1.4	端子構成.....	225
7.1.5	レジスタ構成.....	225
7.2	各レジスタの説明 (1) (ショートアドレスモード).....	227
7.2.1	メモリアドレスレジスタ (MAR).....	228
7.2.2	I/O アドレスレジスタ (IOAR).....	229

	7.2.3	転送カウントレジスタ (ETCR)	229
	7.2.4	データトランスファコントロールレジスタ (DTCR)	231
7.3		各レジスタの説明 (2) (フルアドレスモード)	235
	7.3.1	メモリアドレスレジスタ (MAR)	235
	7.3.2	I/O アドレスレジスタ (IOAR)	235
	7.3.3	転送カウントレジスタ (ETCR)	236
	7.3.4	データトランスファコントロールレジスタ (DTCR)	238
7.4		動作説明	246
	7.4.1	概要	246
	7.4.2	I/O モード	248
	7.4.3	アイドルモード	251
	7.4.4	リピートモード	253
	7.4.5	ノーマルモード	258
	7.4.6	ブロック転送モード	261
	7.4.7	DMAC の起動要因	266
	7.4.8	DMAC のバスサイクル	268
	7.4.9	DMAC 複数チャネルの動作	272
	7.4.10	外部バス権要求、DRAM インタフェースと DMAC の関係	273
	7.4.11	NMI 割り込みと DMAC	274
	7.4.12	DMAC 動作の強制終了	275
	7.4.13	フルアドレスモードの解除	275
	7.4.14	リセット、スタンバイモード、スリープモードの DMAC の状態	276
7.5		割り込み	277
7.6		使用上の注意	278
	7.6.1	ワードデータ転送時の注意	278
	7.6.2	DMAC による DMAC 自体のアクセス	278
	7.6.3	MAR のロングワードアクセス	278
	7.6.4	フルアドレスモード設定時の注意	278
	7.6.5	内部割り込みで DMAC を起動する場合の注意	279
	7.6.6	NMI 割り込みとブロック転送モード	280
	7.6.7	MAR、IOAR のアドレス指定	281
	7.6.8	転送中断時のバスサイクル	281
	7.6.9	A/D 変換器による転送要求	282

第8章 I/O ポート

8.1	概要.....	285
8.2	ポート 1.....	290
	8.2.1 概要.....	290
	8.2.2 レジスタ構成	290
8.3	ポート 2.....	293
	8.3.1 概要.....	293
	8.3.2 レジスタ構成	294
8.4	ポート 3.....	297
	8.4.1 概要.....	297
	8.4.2 レジスタ構成	297
8.5	ポート 4.....	300
	8.5.1 概要.....	300
	8.5.2 レジスタ構成	301
8.6	ポート 5.....	304
	8.6.1 概要.....	304
	8.6.2 レジスタ構成	304
8.7	ポート 6.....	308
	8.7.1 概要.....	308
	8.7.2 レジスタ構成	308
8.8	ポート 7.....	313
	8.8.1 概要.....	313
	8.8.2 レジスタ構成	313
8.9	ポート 8.....	315
	8.9.1 概要.....	315
	8.9.2 レジスタ構成	316
8.10	ポート 9.....	322
	8.10.1 概要.....	322
	8.10.2 レジスタ構成	323
8.11	ポート A.....	327
	8.11.1 概要.....	327
	8.11.2 レジスタ構成	329
8.12	ポート B.....	339
	8.12.1 概要.....	339
	8.12.2 レジスタ構成	341

第9章 16ビットタイマ

9.1	概要.....	353
	9.1.1 特長.....	353
	9.1.2 ブロック図.....	355
	9.1.3 端子構成.....	358
	9.1.4 レジスタ構成	359
9.2	各レジスタの説明.....	360
	9.2.1 タイマスタートレジスタ (TSTR)	360
	9.2.2 タイマシンクロレジスタ (TSNC)	361
	9.2.3 タイマモードレジスタ (TMDR)	363
	9.2.4 タイマインタラプトステータスレジスタ A (TISRA)	366
	9.2.5 タイマインタラプトステータスレジスタ B (TISRB)	369
	9.2.6 タイマインタラプトステータスレジスタ C (TISRC)	372
	9.2.7 タイマカウンタ (16TCNT)	375
	9.2.8 ジェネラルレジスタ A、B (GRA、GRB)	376
	9.2.9 タイマコントロールレジスタ (16TCR)	377
	9.2.10 タイマ I/O コントロールレジスタ (TIOR)	380
	9.2.11 タイマアウトプットレベルセットレジスタ (TOLR)	383
9.3	CPU とのインタフェース.....	385
	9.3.1 16ビットアクセス可能なレジスタ.....	385
	9.3.2 8ビットアクセスのレジスタ.....	387
9.4	動作説明.....	388
	9.4.1 概要.....	388
	9.4.2 基本機能.....	389
	9.4.3 同期動作.....	399
	9.4.4 PWM モード.....	401
	9.4.5 位相計数モード.....	405
	9.4.6 16ビットタイマ出力初期値の設定.....	407
9.5	割り込み.....	408
	9.5.1 ステータスフラグのセットタイミング.....	408
	9.5.2 ステータスフラグのクリアタイミング.....	410
	9.5.3 割り込み要因	411
9.6	使用上の注意	412

第10章 8ビットタイマ

10.1	概要.....	427
	10.1.1 特長.....	427
	10.1.2 ブロック図.....	428
	10.1.3 端子構成.....	429
	10.1.4 レジスタ構成.....	430
10.2	各レジスタの説明.....	431
	10.2.1 タイマカウンタ (8TCNT)	431
	10.2.2 タイムコンスタントレジスタ A (TCORA)	432
	10.2.3 タイムコンスタントレジスタ B (TCORB)	433
	10.2.4 タイマコントロールレジスタ (8TCR)	433
	10.2.5 タイマコントロール/ステータスレジスタ (8TCSR)	436
10.3	CPU とのインタフェース.....	441
	10.3.1 8ビットレジスタ.....	441
10.4	動作説明.....	443
	10.4.1 8TCNT のカウントタイミング.....	443
	10.4.2 コンペアマッチタイミング.....	444
	10.4.3 インพุットキャプチャ信号タイミング.....	446
	10.4.4 ステータスフラグのセットタイミング.....	447
	10.4.5 カスケード接続時の動作.....	448
	10.4.6 インพุットキャプチャの設定.....	451
10.5	割り込み.....	453
	10.5.1 割り込み要因.....	453
	10.5.2 A/D 変換の起動.....	453
10.6	8ビットタイマの使用例.....	454
10.7	使用上の注意.....	455
	10.7.1 8TCNT のライトとクリアの競合.....	455
	10.7.2 8TCNT のライトとカウントアップの競合.....	456
	10.7.3 TCOR のライトとコンペアマッチの競合.....	457
	10.7.4 TCOR のリードとインพุットキャプチャの競合.....	458
	10.7.5 インพุットキャプチャによるカウンタクリアとカウントアップの競合.....	458
	10.7.6 TCOR のライトとインพุットキャプチャの競合.....	459
	10.7.7 16ビットカウントモード (カスケード接続時) の 8TCNT のバイトライトと カウントアップの競合.....	460
	10.7.8 コンペアマッチ A、B の競合.....	460
	10.7.9 内部クロックの切り替えと 8TCNT の動作.....	461

第 11 章 プログラマブルタイミングパターンコントローラ (TPC)

11.1	概要.....	465
	11.1.1 特長.....	465
	11.1.2 ブロック図.....	466
	11.1.3 端子構成.....	467
	11.1.4 レジスタ構成	468
11.2	各レジスタの説明.....	469
	11.2.1 ポート A データディレクションレジスタ (PADDDR)	469
	11.2.2 ポート A データレジスタ (PADR)	469
	11.2.3 ポート B データディレクションレジスタ (PBDDR)	470
	11.2.4 ポート B データレジスタ (PBDR)	470
	11.2.5 ネクストデータレジスタ A (NDRA)	471
	11.2.6 ネクストデータレジスタ B (NDRB)	473
	11.2.7 ネクストデータイネーブルレジスタ A (NDERA)	475
	11.2.8 ネクストデータイネーブルレジスタ B (NDERB)	476
	11.2.9 TPC 出力コントロールレジスタ (TPCR)	477
	11.2.10 TPC 出力モードレジスタ (TPMR)	480
11.3	動作説明.....	483
	11.3.1 概要.....	483
	11.3.2 出力タイミング	484
	11.3.3 TPC 出力通常動作	485
	11.3.4 TPC 出力ノンオーバーラップ動作	487
	11.3.5 インพุットキャプチャによる TPC 出力.....	489
11.4	使用上の注意	490
	11.4.1 TPC 出力端子の動作.....	490
	11.4.2 ノンオーバーラップ動作時の注意.....	490

第 12 章 ウォッチドッグタイマ

12.1	概要.....	495
	12.1.1 特長.....	495
	12.1.2 ブロック図.....	495
	12.1.3 レジスタ構成	496
12.2	各レジスタの説明.....	497
	12.2.1 タイマカウンタ (TCNT)	497
	12.2.2 タイマコントロール/ステータスレジスタ (TCSR)	497
	12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)	500
	12.2.4 レジスタ書き換え時の注意	501

12.3	動作説明.....	503
12.3.1	ウォッチドッグタイマ時の動作.....	503
12.3.2	インターバルタイマ時の動作.....	504
12.3.3	オーバフローフラグ（OVF）セットタイミング.....	504
12.3.4	ウォッチドッグタイマリセット（WRST）のセットタイミング.....	505
12.4	割り込み.....	506
12.5	使用上の注意.....	506

第13章 SCI

13.1	概要.....	509
13.1.1	特長.....	509
13.1.2	ブロック図.....	511
13.1.3	端子構成.....	512
13.1.4	レジスタ構成.....	513
13.2	各レジスタの説明.....	514
13.2.1	レシーブシフトレジスタ（RSR）.....	514
13.2.2	レシーブデータレジスタ（RDR）.....	514
13.2.3	トランスミットシフトレジスタ（TSR）.....	515
13.2.4	トランスミットデータレジスタ（TDR）.....	515
13.2.5	シリアルモードレジスタ（SMR）.....	516
13.2.6	シリアルコントロールレジスタ（SCR）.....	520
13.2.7	シリアルステータスレジスタ（SSR）.....	525
13.2.8	ビットレートレジスタ（BRR）.....	532
13.3	動作説明.....	540
13.3.1	概要.....	540
13.3.2	調歩同期式モード時の動作.....	543
13.3.3	マルチプロセッサ通信機能.....	553
13.3.4	クロック同期式モード時の動作.....	559
13.4	SCI 割り込み.....	568
13.5	使用上の注意.....	569
13.5.1	SCI を使用する際の注意.....	569

第 14 章 スマートカードインタフェース

14.1	概要.....	577
	14.1.1 特長.....	577
	14.1.2 ブロック図.....	578
	14.1.3 端子構成.....	578
	14.1.4 レジスタ構成	579
14.2	各レジスタの説明.....	580
	14.2.1 スマートカードモードレジスタ (SCMR)	580
	14.2.2 シリアルステータスレジスタ (SSR)	582
	14.2.3 シリアルモードレジスタ (SMR)	583
	14.2.4 シリアルコントロールレジスタ (SCR)	585
14.3	動作説明.....	586
	14.3.1 概要.....	586
	14.3.2 端子接続.....	586
	14.3.3 データフォーマット	587
	14.3.4 レジスタの設定.....	589
	14.3.5 クロック	591
	14.3.6 データの送信 / 受信動作.....	593
14.4	使用上の注意	602

第 15 章 A/D 変換器

15.1	概要.....	609
	15.1.1 特長.....	609
	15.1.2 ブロック図.....	610
	15.1.3 端子構成.....	611
	15.1.4 レジスタ構成	612
15.2	各レジスタの説明.....	613
	15.2.1 A/D データレジスタ A ~ D (ADDRA ~ D)	613
	15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)	614
	15.2.3 A/D コントロールレジスタ (ADCR)	617
15.3	CPU とのインタフェース.....	618
15.4	動作説明.....	619
	15.4.1 単一モード (SCAN = 0)	619
	15.4.2 スキャンモード (SCAN = 1)	621
	15.4.3 入力サンプリングと A/D 変換時間.....	623

15.4.4	外部トリガ入力タイミング	624
15.5	割り込み	625
15.6	使用上の注意	625

第 16 章 D/A 変換器

16.1	概要	633
16.1.1	特長	633
16.1.2	ブロック図	633
16.1.3	端子構成	634
16.1.4	レジスタ構成	634
16.2	各レジスタの説明	635
16.2.1	D/A データレジスタ 0、1 (DADR0、1)	635
16.2.2	D/A コントロールレジスタ (DACR)	636
16.2.3	D/A スタンバイコントロールレジスタ (DASTCR)	638
16.3	動作説明	639
16.4	D/A 出力制御	640

第 17 章 RAM

17.1	概要	643
17.1.1	ブロック図	643
17.1.2	レジスタ構成	644
17.2	システムコントロールレジスタ (SYSCR)	645
17.3	動作説明	646

第 18 章 ROM

18.1	特長	649
18.2	概要	651
18.2.1	ブロック図	651
18.2.2	動作モード	652
18.2.3	モード比較	653
18.2.4	フラッシュマット構成	654
18.2.5	ブロック分割	655
18.2.6	書き込み / 消去インタフェース	656
18.3	端子構成	659
18.4	レジスタ構成	660

18.4.1	レジスタ一覧	660
18.4.2	書き込み / 消去インタフェースレジスタ	662
18.4.3	書き込み / 消去インタフェースパラメータ	669
18.4.4	RAM コントロールレジスタ (RAMCR)	681
18.4.5	フラッシュベクタアドレスコントロールレジスタ (FVACR)	682
18.4.6	フラッシュベクタアドレスデータレジスタ (FVADR)	684
18.5	オンボードプログラミングモード	685
18.5.1	ブートモード	685
18.5.2	ユーザプログラムモード	688
18.5.3	ユーザブートモード	699
18.6	プロテクト	702
18.6.1	ハードウェアプロテクト	702
18.6.2	ソフトウェアプロテクト	702
18.6.3	エラープロテクト	703
18.7	RAM によるフラッシュメモリのエミュレーション	705
18.8	ユーザマットとユーザブートマットの切り替え	708
18.8.1	使用上の注意	709
18.9	PROM モード	710
18.9.1	ソケットアダプタの端子対応図	710
18.9.2	PROM モードの動作	712
18.9.3	メモリ読み出しモード	713
18.9.4	自動書き込みモード	713
18.9.5	自動消去モード	714
18.9.6	ステータス読み出しモード	714
18.9.7	ステータスポーリング	715
18.9.8	ライターモードへの遷移時間	715
18.9.9	PROM モード使用時の注意事項	715
18.10	付録	717
18.10.1	ブートモードの標準シリアル通信インタフェース仕様	717
18.10.2	PROM モードの AC 特性、タイミング	742
18.10.3	手順プログラム、または書き込みデータの格納可能領域	748

第 19 章 クロック発振器

19.1	概要	757
19.1.1	ブロック図	757
19.2	発振器	758
19.2.1	水晶発振子を接続する方法	758

	19.2.2	外部クロックを入力する方法.....	760
19.3		デューティ補正回路.....	763
19.4		プリスケラ.....	763
19.5		分周器.....	763
	19.5.1	レジスタ構成.....	763
	19.5.2	分周比コントロールレジスタ (DIVCR).....	763
	19.5.3	使用上の注意.....	764

第 20 章 低消費電力状態

20.1		概要.....	767
20.2		レジスタ構成.....	769
	20.2.1	システムコントロールレジスタ (SYSCR).....	769
	20.2.2	モジュールスタンバイコントロールレジスタ H (MSTCRH).....	772
	20.2.3	モジュールスタンバイコントロールレジスタ L (MSTCRL).....	774
20.3		スリープモード.....	776
	20.3.1	スリープモードへの遷移.....	776
	20.3.2	スリープモードの解除.....	776
20.4		ソフトウェアスタンバイモード.....	777
	20.4.1	ソフトウェアスタンバイモードへの遷移.....	777
	20.4.2	ソフトウェアスタンバイモードの解除.....	777
	20.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定.....	778
	20.4.4	ソフトウェアスタンバイモードの応用例.....	780
	20.4.5	使用上の注意.....	780
20.5		ハードウェアスタンバイモード.....	781
	20.5.1	ハードウェアスタンバイモードへの遷移.....	781
	20.5.2	ハードウェアスタンバイモードの解除.....	781
	20.5.3	ハードウェアスタンバイモードのタイミング.....	782
	20.5.4	電源投入時のハードウェアスタンバイモードのタイミング.....	783
20.6		モジュールスタンバイ機能.....	784
	20.6.1	モジュールスタンバイタイミング.....	784
	20.6.2	モジュールスタンバイ中のリード/ライト.....	784
	20.6.3	使用上の注意.....	784
20.7		クロック出力禁止機能.....	786

第 21 章 電気的特性

21.1	H8/3069F の電気的特性.....	789
21.1.1	絶対最大定格	789
21.1.2	DC 特性	790
21.1.3	AC 特性	793
21.1.4	A/D 変換特性.....	796
21.1.5	D/A 変換特性.....	797
21.1.6	フラッシュメモリ特性.....	798
21.2	動作タイミング.....	799
21.2.1	クロックタイミング	799
21.2.2	制御信号タイミング	800
21.2.3	バスタイミング.....	801
21.2.4	DRAM インタフェースバスタイミング	806
21.2.5	TPC、I/O ポートタイミング	809
21.2.6	タイマ入出力タイミング.....	810
21.2.7	SCI 入出力タイミング.....	811
21.2.8	DMAC タイミング	812

付録

A.	命令.....	815
A.1	命令一覧.....	815
A.2	オペレーションコードマップ	830
A.3	命令実行ステート数	833
B.	内部 I/O レジスタ一覧.....	844
B.1	アドレス一覧 (EMC ビット=1 のとき)	844
B.2	アドレス一覧 (EMC ビット=0 のとき)	857
B.3	機能一覧.....	868
C.	I/O ポートブロック図.....	963
C.1	ポート 1 ブロック図.....	963
C.2	ポート 2 ブロック図.....	964
C.3	ポート 3 ブロック図.....	965
C.4	ポート 4 ブロック図.....	966
C.5	ポート 5 ブロック図.....	967
C.6	ポート 6 ブロック図.....	968
C.7	ポート 7 ブロック図.....	975

	C.8	ポート 8 ブロック図.....	976
	C.9	ポート 9 ブロック図.....	981
	C.10	ポート A ブロック図.....	987
	C.11	ポート B ブロック図.....	990
D.		端子状態.....	998
	D.1	各処理状態におけるポートの状態.....	998
	D.2	リセット時の端子状態.....	1005
E.		ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて.....	1009
F.		型名一覧.....	1010
G.		外形寸法図.....	1011
H.		H8/300H シリーズ製品仕様比較.....	1012
	H.1	H8/3069F、H8/3067、H8/3062 シリーズと H8/3048 シリーズ、H8/3007、 H8/3006 と H8/3002 の相違点.....	1012
	H.2	100 ピンパッケージ品の端子機能比較 (FP-100B、TFP-100B の場合)	1014

1. 概要

第1章 目次

1.1	概要	3
1.2	内部ブロック図.....	8
1.3	端子説明.....	9
	1.3.1 ピン配置図	9
	1.3.2 端子機能.....	10
	1.3.3 モード別ピン配置一覧.....	17

1.1 概要

H8/3069F は、日立オリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU）です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、ROM、RAM、16 ビットタイマ、8 ビットタイマ、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ（DMAC）などを内蔵しています。

H8/3069F には、512k バイトフラッシュメモリと 16k バイト RAM が内蔵されています。

MCU 動作モードは、モード 1～5、7（シングルチップモード 1 種類、拡張モード 5 種類）があり、データバス幅とアドレス空間を選択することができます。

H8/3069F は、ユーザサイドで自由にプログラムの書き換えができるフラッシュメモリを内蔵した F-ZTAT™* 版です。仕様流動性の高い応用機器、さらに量産初期から本格的量産など、ユーザの状況に応じて迅速かつ柔軟な対応が可能です。

H8/3069F の特長を表 1.1 に示します。

【注】 * F-ZTAT™ は（株）日立製作所の商標です。

表 1.1 特長

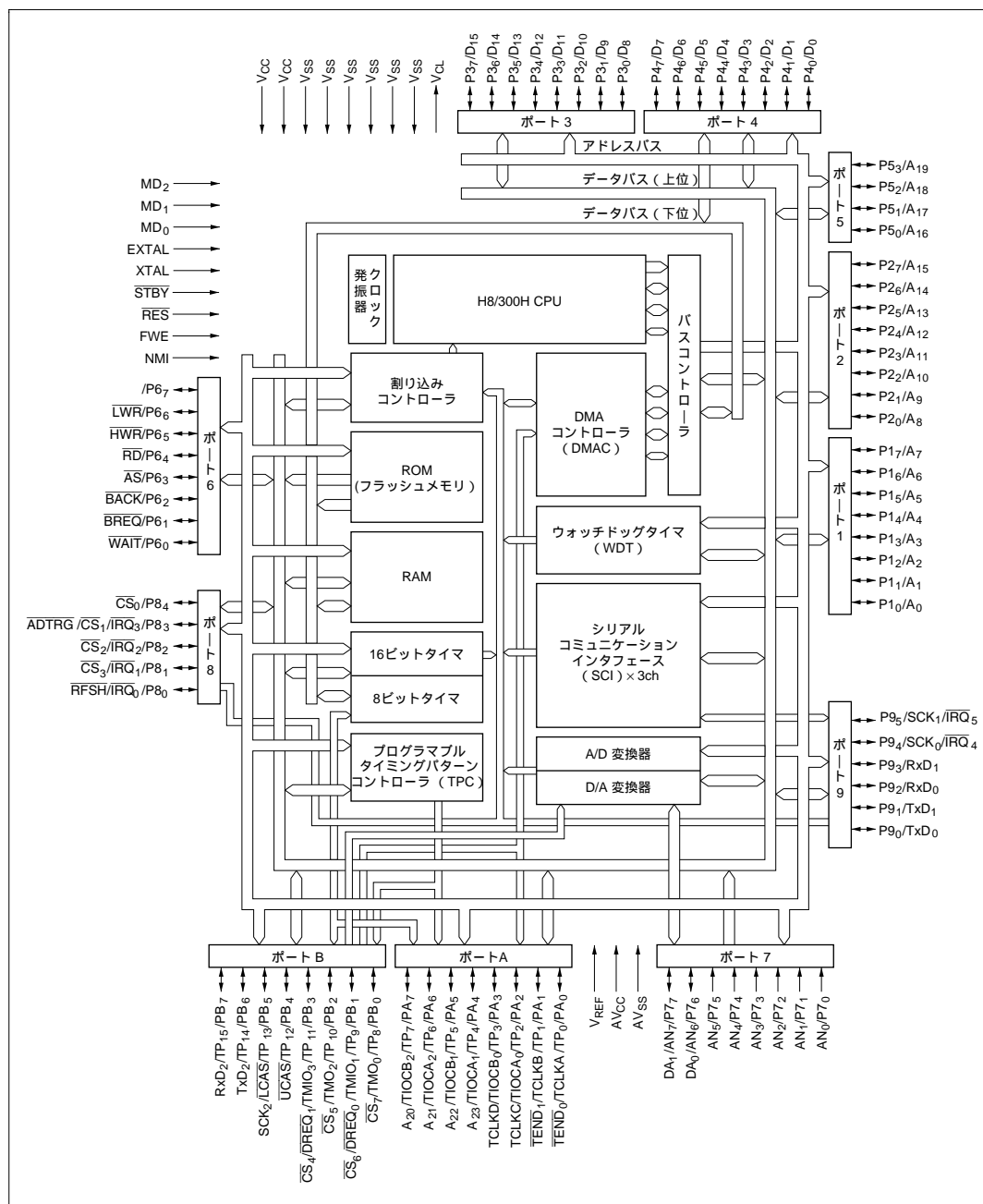
項目	仕様
CPU	<p>H8/300CPU に対してオブジェクトレベルで上位互換</p> <p>汎用レジスタマシン</p> <ul style="list-style-type: none">汎用レジスタ: 16 ビット×16 本 (8 ビット×16 本 + 16 ビット×8 本、32 ビット×8 本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none">最大動作周波数: 25MHz加減算: 80ns乗除算: 560ns <p>アドレス空間 16M バイト</p> <p>特長ある命令</p> <ul style="list-style-type: none">8 / 16 / 32 ビット転送・演算命令符号なし / 符号付き乗算命令 (8 ビット×8 ビット、16 ビット×16 ビット)符号なし / 符号付き除算命令 (16 ビット÷8 ビット、32 ビット÷16 ビット)ビットアキュムレータ機能レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	<p>H8/3069F</p> <ul style="list-style-type: none">ROM: 512k バイトRAM: 16k バイト
割り込みコントローラ	<ul style="list-style-type: none">外部割り込み端子 7 本: NMI、$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$内部割り込み 36 要因3 レベルの割り込み優先順位が設定可能

項目	仕様
バスコントローラ	<ul style="list-style-type: none"> ・ アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 ・ エリア 0～7 に対してそれぞれチップセレクト出力可能 ・ エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 ・ エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 ・ 2 種類のウェイトモードを設定可能 ・ エリアごとにプログラムウェイトのステート数を設定可能 ・ バースト ROM を直接接続可能 ・ 最大 8M バイトの DRAM を直接接続可能（またはインターバルタイマとして使用可能） ・ バス権調停機能
DMA コントローラ (DMAC)	<p>ショートアドレスモード</p> <ul style="list-style-type: none"> ・ 最大 4 チャンネルを使用可能 ・ I/O モード / アイドルモード / リピートモードの選択可能 ・ 起動要因: 16 ビットタイマチャンネル 0～2 のコンペアマッチ / インプットキャプチャ A 割り込み、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、外部リクエスト <p>フルアドレスモード</p> <ul style="list-style-type: none"> ・ 最大 2 チャンネルを使用可能 ・ ノーマルモード / ブロック転送モードの選択可能 ・ 起動要因: 16 ビットタイマチャンネル 0～2 のコンペアマッチ / インプットキャプチャ A 割り込み、A/D 変換器の変換終了割り込み、外部リクエスト、オートリクエスト

項目	仕様
16 ビットタイマ × 3 チャンネル	<ul style="list-style-type: none"> ・ 16 ビットタイマ 3 チャンネルを内蔵。最大 6 端子のパルス出力、または最大 6 種類のパルスの入力処理が可能 ・ 16 ビットタイマカウンタ × 1 (チャンネル 0 ~ 2) ・ アウトプットコンペア出力 / インプットキャプチャ入力 (兼用端子) × 2 (チャンネル 0 ~ 2) ・ 同期動作可能 (チャンネル 0 ~ 2) ・ PWM モード設定可能 (チャンネル 0 ~ 2) ・ 位相計数モード設定可能 (チャンネル 2) ・ コンペアマッチ / インプットキャプチャ A の割り込みにより DMAC 起動可能 (チャンネル 0 ~ 2)
8 ビットタイマ × 4 チャンネル	<ul style="list-style-type: none"> ・ 8 ビットアップカウンタ (外部イベントカウント可能) ・ タイムコンスタントレジスタ × 2 ・ 2 チャンネルの接続が可能
プログラマブル タイミングパターンコ ントローラ (TPC)	<ul style="list-style-type: none"> ・ 16 ビットタイマをタイムベースとした最大 16 ビットのパルス出力が可能 ・ 最大 4 ビット × 4 系統のパルス出力が可能 (16 ビット × 1 系統、8 ビット × 2 系統などの設定も可能) ・ ノンオーバーラップモード設定可能 ・ DMAC による出力データの転送可能
ウォッチドッグタイマ (WDT) × 1 チャンネル	<ul style="list-style-type: none"> ・ オーバフローによりリセット信号を発生可能 ・ インターバルタイマとして使用可能
シリアルコミュニケー ションインタフェース (SCI) × 3 チャンネル	<ul style="list-style-type: none"> ・ 調歩同期 / クロック同期式モードの選択可能 ・ 送受信同時動作 (全二重動作) 可能 ・ 専用のボーレートジェネレータ内蔵 ・ スマートカードインタフェース拡張機能内蔵
A/D 変換器	<ul style="list-style-type: none"> ・ 分解能: 10 ビット ・ 8 チャンネル: 単一モード / スキャンモード選択可能 ・ アナログ変換電圧範囲の設定が可能 ・ サンプル & ホールド機能付き ・ 外部トリガまたは 8 ビットタイマのコンペアマッチによる A/D 変換開始可能 ・ A/D 変換終了割り込みによる DMAC 起動可能

項目	仕様				
D/A 変換器	・ 分解能: 8 ビット ・ 2 チャンネル ・ ソフトウェアスタンバイモード時 D/A 出力保持可能				
I/O ポート	・ 入出力端子 70 本 ・ 入力端子 9 本				
動作モード	6 種類の MCU 動作モード				
	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値
	モード 1	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット
	モード 2	1M バイト	A ₁₉ ~ A ₀	16 ビット	16 ビット
	モード 3	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット
	モード 4	16M バイト	A ₂₃ ~ A ₀	16 ビット	16 ビット
	モード 5	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット
	モード 7	1M バイト	-	-	-
	・ モード 1 ~ 4 では内蔵 ROM は無効となります。				
低消費電力状態	・ スリープモード ・ ソフトウェアスタンバイモード ・ ハードウェアスタンバイモード ・ モジュール別スタンバイ機能あり ・ システムクロック分周比可変				
その他	・ クロック発振器内蔵				
製品ラインアップ	製品名	製品型名	パッケージ (日立パッケージコード)	分類	
	H8/3069F	HD64F3069F	100ピンQFP(FP-100B)	フラッシュ	
		HD64F3069TE	100ピンTQFP (TFP-100B)	メモリ内蔵	

内部ブロック図を図 1.1 に示します。



1.3 端子説明

1.3.1 ピン配置図

H8/3069F のピン配置図 FP-100B、TFP-100B を図 1.2 に示します。

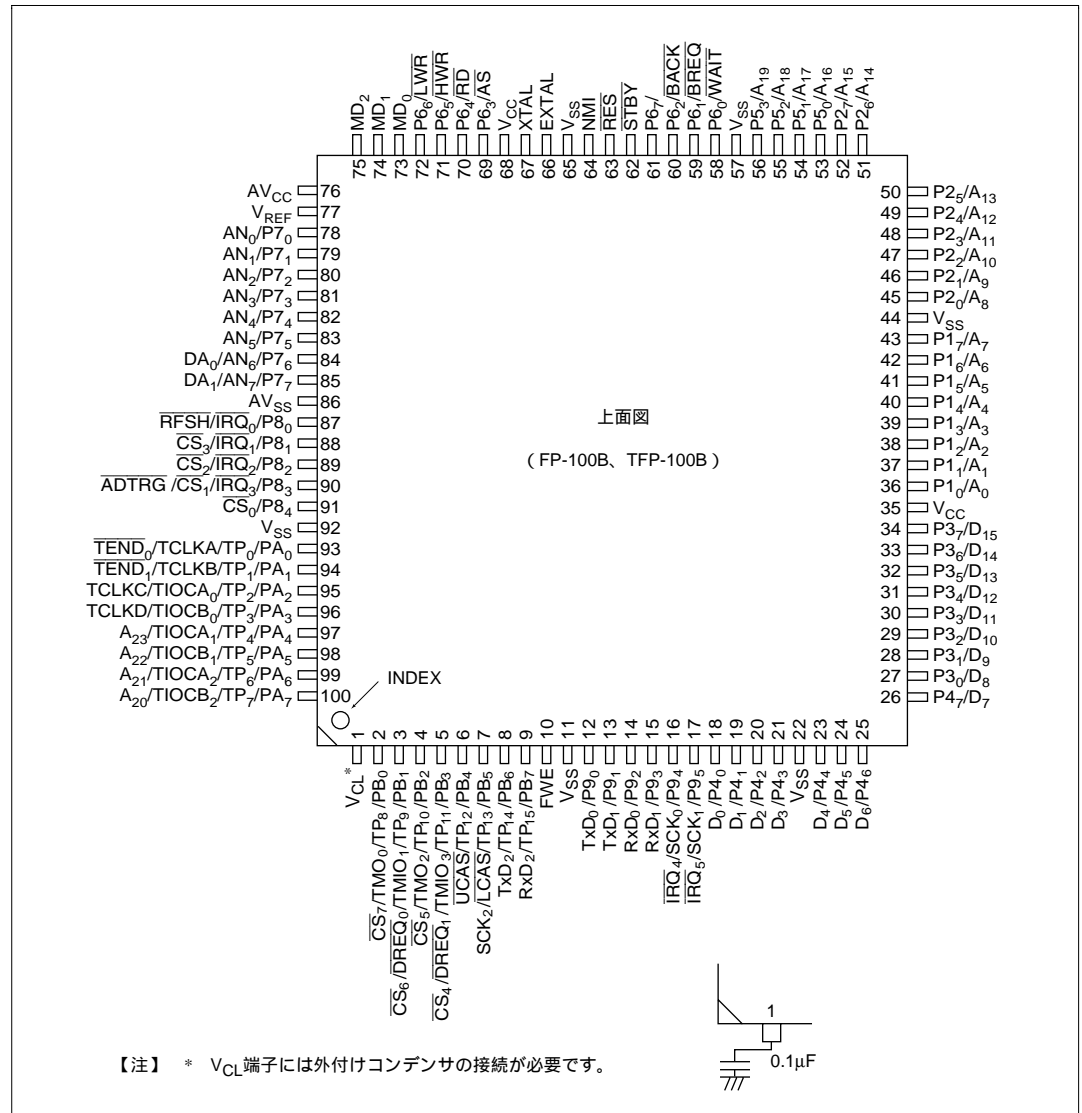
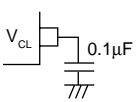


図 1.2 ピン配置図 (FP-100B、TFP-100B: 上面図)

1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
電源	Vcc	35、68	入力	<p><u>電源</u></p> <p>電源に接続します。</p> <p>Vcc 端子は、全端子をシステムの電源に接続してください。</p>
	Vss	11、22、44、57、 65、92	入力	<p><u>グラウンド</u></p> <p>電源（0V）に接続します。</p> <p>Vss 端子は、全端子をシステムの電源（0V）に接続してください。</p>
内部降圧 端子	VCL	1	出力	<p>本端子と GND（0V）との間に外付けコンデンサを接続します。</p> <div style="text-align: right;">  </div> <p><u>Vcc と接続しないでください。</u></p>
クロック	XTAL	67	入力	<p>水晶発振子を接続します。</p> <p>水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。</p>
	EXTAL	66	入力	<p>水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。</p> <p>水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。</p>
		61	出力	<p><u>システムクロック</u></p> <p>外部デバイスにシステムクロックを供給します。</p>

分類	記号	ピン番号	入出力	名称および機能																																
		FP-100B TFP-100B																																		
動作モード コントロール	MD ₂ ~ MD ₀	75 ~ 73	入力	<u>モード端子</u> 動作モードを設定します。 MD ₂ ~ MD ₀ 端子と動作モードの関係は次のとおりです。モード 1 ~ 5、7 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1 ~ 5、7 になるように設定してください。また、これらの端子は動作中には変化させないでください。																																
				<table><tr><th>MD₂</th><th>MD₁</th><th>MD₀</th><th>動作モード</th></tr><tr><td>0</td><td>0</td><td>0</td><td>-</td></tr><tr><td>0</td><td>0</td><td>1</td><td>モード 1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>モード 2</td></tr><tr><td>0</td><td>1</td><td>1</td><td>モード 3</td></tr><tr><td>1</td><td>0</td><td>0</td><td>モード 4</td></tr><tr><td>1</td><td>0</td><td>1</td><td>モード 5</td></tr><tr><td>1</td><td>1</td><td>0</td><td>-</td></tr><tr><td>1</td><td>1</td><td>1</td><td>モード 7</td></tr></table>	MD ₂	MD ₁	MD ₀	動作モード	0	0	0	-	0	0	1	モード 1	0	1	0	モード 2	0	1	1	モード 3	1	0	0	モード 4	1	0	1	モード 5	1	1	0	-
MD ₂	MD ₁	MD ₀	動作モード																																	
0	0	0	-																																	
0	0	1	モード 1																																	
0	1	0	モード 2																																	
0	1	1	モード 3																																	
1	0	0	モード 4																																	
1	0	1	モード 5																																	
1	1	0	-																																	
1	1	1	モード 7																																	
システム 制御	RES	63	入力	<u>リセット入力</u> この端子が Low レベルになると、リセット状態となります。																																
	FWE	10	入力	<u>書き込みイネーブル信号</u> フラッシュメモリの書き込み制御信号です。																																
	STBY	62	入力	<u>スタンバイ</u> この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。																																
	BREQ	59	入力	<u>バス権要求</u> 本 LSI に対し、外部バスマスタがバス権を要求します。																																
	BACK	60	出力	<u>バス権要求アクノリッジ</u> バス権を外部バスマスタに解放したことを示します。																																

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
割り込み	NMI	64	入力	<u>ノンマスクابل割り込み</u> マスク不可能な割り込みを要求します。
	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$	17、16、 90～87	入力	<u>割り込み要求 5～0</u> マスク可能な割り込みを要求します。
アドレス バス	$A_{23} \sim A_0$	97～100、 56～45、 43～36	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	$D_{15} \sim D_0$	34～23、 21～18	入出力	<u>データバス</u> 双方向データバスです。
バス制御	$\overline{\text{CS}}_7 \sim \overline{\text{CS}}_0$	2～5、 88～91	出力	<u>チップセレクト</u> エリア 7～0 の選択信号です。
	$\overline{\text{AS}}$	69	出力	<u>アドレスストープ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	70	出力	<u>リード</u> この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	71	出力	<u>ハイライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示します。
	LWR	72	出力	<u>ロウライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示します。
	WAIT	58	入力	<u>ウェイト</u> 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
DRAM イン タフェース	\overline{RFSH}	87	出力	<u>リフレッシュ</u> リフレッシュサイクルを示します。
	$\overline{CS}_2 \sim \overline{CS}_5$	89、88、5、4	出力	<u>ロウアドレスストロープ (RAS)</u> DRAM のロウアドレスストロープ信号です。
	\overline{RD}	70	出力	<u>ライトイネーブル (WE)</u> DRAM のライトイネーブル信号です。
	\overline{HWR} \overline{UCAS}	71 6	出力	<u>アッパーカラムアドレスストロープ (UCAS)</u> DRAM のカラムアドレスストロープ信号です。
	\overline{LWR} \overline{LCAS}	72 7	出力	<u>ロウアーカラムアドレスストロープ (LCAS)</u> DRAM のカラムアドレスストロープ信号です。
DMA コント ローラ (DMAC)	\overline{DREQ}_1 、 \overline{DREQ}_0	5、3	入力	<u>DMA 要求 1、0</u> DMAC の起動を要求します。
	\overline{TEND}_1 、 \overline{TEND}_0	94、93	出力	<u>DMA 終了 1、0</u> DMAC のデータ転送終了を示します。
16 ビット タイマ	TCLKD ~ TCLKA	96 ~ 93	入力	<u>クロック入力 D ~ A</u> 外部クロックを入力します。
	TIOCA ₂ ~ TIOCA ₀	99、97、95	入出力	<u>インプットキャプチャ /</u> <u>アウトプットコンペア A2 ~ A0</u> GRA2 ~ A0 のアウトプットコンペア出力 / インプッ トキャプチャ入力 / PWM 出力端子です。
	TIOCB ₂ ~ TIOCB ₀	100、98、96	入出力	<u>インプットキャプチャ /</u> <u>アウトプットコンペア B2 ~ B0</u> GRB2 ~ B0 のアウトプットコンペア出力 / インプッ トキャプチャ入力 / PWM 出力端子です。
8 ビット タイマ	TMO ₀ 、 TMO ₂	2、4	出力	<u>コンペアマッチ出力</u> コンペアマッチ出力端子です。
	TMIO ₁ 、 TMIO ₃	3、5	入出力	<u>インプットキャプチャ入力 / コンペアマッチ出力</u> インプットキャプチャ入力 / コンペアマッチ出力端 子です。
	TCLKD ~ TCLKA	96 ~ 93	入力	<u>カウンタ外部クロック入力</u> カウンタに inputs する外部クロックの入力端子です。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
プログラマブルタイミングパターンコントローラ (TPC)	TP ₁₅ ~ TP ₀	9 ~ 2、 100 ~ 93	出力	<u>TPC 出力 15 ~ 0</u> パルス出力端子です。
シリアルコミュニケーションインタフェース (SCI)	TxD ₂ ~ TxD ₀	8、13、12	出力	<u>トランスミットデータ (チャンネル 0、1、2)</u> SCI のデータ出力端子です。
	RxD ₂ ~ RxD ₀	9、15、14	入力	<u>レシーブデータ (チャンネル 0、1、2)</u> SCI のデータ入力端子です。
	SCK ₂ ~ SCK ₀	7、17、16	入出力	<u>シリアルクロック (チャンネル 0、1、2)</u> SCI のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	85 ~ 78	入力	<u>アナログ 7 ~ 0</u> アナログ入力端子です。
	ADTRG	90	入力	<u>A/D 変換外部トリガ入力</u> A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA ₁ 、DA ₀	85、84	出力	<u>アナログ出力</u> D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AVcc	76	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源に接続してください。
	AVss	86	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	V _{REF}	77	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源に接続してください。

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
I/O ポート	P1 ₇ ~ P1 ₀	43 ~ 36	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。 ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	52 ~ 45	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。 ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	34 ~ 27	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P4 ₇ ~ P4 ₀	26 ~ 23、 21 ~ 18	入出力	<u>ポート 4</u> 8 ビットの入出力端子です。 ポート 4 データディレクションレジスタ (P4DDR) によって、1 ビットごとに入出力を指定できます。
	P5 ₃ ~ P5 ₀	56 ~ 53	入出力	<u>ポート 5</u> 4 ビットの入出力端子です。 ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	61、 72 ~ 69、 60 ~ 58	入出力	<u>ポート 6</u> 7 ビットの入出力端子と 1 ビットの入力端子です。 入出力端子はポート 6 データディレクションレジスタ (P6DDR) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	85 ~ 78	入力	<u>ポート 7</u> 8 ビットの入力端子です。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
I/O ポート	P8 ₄ ~ P8 ₀	91 ~ 87	入出力	<u>ポート 8</u> 5 ビットの入出力端子です。 ポート 8 データディレクションレジスタ (P8DDR) によって、1 ビットごとに入出力を指定できます。
	P9 ₅ ~ P9 ₀	17 ~ 12	入出力	<u>ポート 9</u> 6 ビットの入出力端子です。 ポート 9 データディレクションレジスタ (P9DDR) によって、1 ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	100 ~ 93	入出力	<u>ポート A</u> 8 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDDR) によって、1 ビットごとに入出力を指定できます。
	PB ₇ ~ PB ₀	9 ~ 2	入出力	<u>ポート B</u> 8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。

1.3.3 モード別ピン配置一覧

モード別ピン配置一覧を表 1.3 に示します。

表 1.3 モード別ピン配置一覧 (FP-100B、TFP-100B)

ピン番号	端子名					
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
FP-100B TFP-100B						
1	VCL	VCL	VCL	VCL	VCL	VCL
2	PB ₀ /TP ₈ / TMO ₀ /CS ₇	PB ₀ /TP ₈ / TMO ₀ /CS ₇	PB ₀ /TP ₈ / TMO ₀ /CS ₇	PB ₀ /TP ₈ / TMO ₀ /CS ₇	PB ₀ /TP ₈ / TMO ₀ /CS ₇	PB ₀ /TP ₈ / TMO ₀
3	PB ₁ /TP ₉ / TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ / TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ / TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ / TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ / TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ / TMIO ₁ / DREQ ₀
4	PB ₂ /TP ₁₀ / TMO ₂ /CS ₅	PB ₂ /TP ₁₀ / TMO ₂ /CS ₅	PB ₂ /TP ₁₀ / TMO ₂ /CS ₅	PB ₂ /TP ₁₀ / TMO ₂ /CS ₅	PB ₂ /TP ₁₀ / TMO ₂ /CS ₅	PB ₂ /TP ₁₀ / TMO ₂
5	PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁
6	PB ₄ /TP ₁₂ / UCAS	PB ₄ /TP ₁₂ / UCAS	PB ₄ /TP ₁₂ / UCAS	PB ₄ /TP ₁₂ / UCAS	PB ₄ /TP ₁₂ / UCAS	PB ₄ /TP ₁₂
7	PB ₅ /TP ₁₃ / LCAS/ SCK ₂	PB ₅ /TP ₁₃ / LCAS/ SCK ₂	PB ₅ /TP ₁₃ / LCAS/ SCK ₂	PB ₅ /TP ₁₃ / LCAS/ SCK ₂	PB ₅ /TP ₁₃ / LCAS/ SCK ₂	PB ₅ /TP ₁₃ / SCK ₂
8	PB ₆ /TP ₁₄ / TxD ₂	PB ₆ /TP ₁₄ / TxD ₂	PB ₆ /TP ₁₄ / TxD ₂	PB ₆ /TP ₁₄ / TxD ₂	PB ₆ /TP ₁₄ / TxD ₂	PB ₆ /TP ₁₄ / TxD ₂
9	PB ₇ /TP ₁₅ / RxD ₂	PB ₇ /TP ₁₅ / RxD ₂	PB ₇ /TP ₁₅ / RxD ₂	PB ₇ /TP ₁₅ / RxD ₂	PB ₇ /TP ₁₅ / RxD ₂	PB ₇ /TP ₁₅ / RxD ₂
10	FWE	FWE	FWE	FWE	FWE	FWE
11	Vss	Vss	Vss	Vss	Vss	Vss
12	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀
13	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁

1. 概要

ピン番号	端子名					
FP-100B TFP-100B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
14	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀
15	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁
16	P9 ₄ /IRQ ₄ /SCK ₀	P9 ₄ /IRQ ₄ /SCK ₀	P9 ₄ /IRQ ₄ /SCK ₀	P9 ₄ /IRQ ₄ /SCK ₀	P9 ₄ /IRQ ₄ /SCK ₀	P9 ₄ /IRQ ₄ /SCK ₀
17	P9 ₅ /IRQ ₅ /SCK ₁	P9 ₅ /IRQ ₅ /SCK ₁	P9 ₅ /IRQ ₅ /SCK ₁	P9 ₅ /IRQ ₅ /SCK ₁	P9 ₅ /IRQ ₅ /SCK ₁	P9 ₅ /IRQ ₅ /SCK ₁
18	P4 ₀ /D ₀ * ¹	P4 ₀ /D ₀ * ²	P4 ₀ /D ₀ * ¹	P4 ₀ /D ₀ * ²	P4 ₀ /D ₀ * ¹	P4 ₀
19	P4 ₁ /D ₁ * ¹	P4 ₁ /D ₁ * ²	P4 ₁ /D ₁ * ¹	P4 ₁ /D ₁ * ²	P4 ₁ /D ₁ * ¹	P4 ₁
20	P4 ₂ /D ₂ * ¹	P4 ₂ /D ₂ * ²	P4 ₂ /D ₂ * ¹	P4 ₂ /D ₂ * ²	P4 ₂ /D ₂ * ¹	P4 ₂
21	P4 ₃ /D ₃ * ¹	P4 ₃ /D ₃ * ²	P4 ₃ /D ₃ * ¹	P4 ₃ /D ₃ * ²	P4 ₃ /D ₃ * ¹	P4 ₃
22	Vss	Vss	Vss	Vss	Vss	Vss
23	P4 ₄ /D ₄ * ¹	P4 ₄ /D ₄ * ²	P4 ₄ /D ₄ * ¹	P4 ₄ /D ₄ * ²	P4 ₄ /D ₄ * ¹	P4 ₄
24	P4 ₅ /D ₅ * ¹	P4 ₅ /D ₅ * ²	P4 ₅ /D ₅ * ¹	P4 ₅ /D ₅ * ²	P4 ₅ /D ₅ * ¹	P4 ₅
25	P4 ₆ /D ₆ * ¹	P4 ₆ /D ₆ * ²	P4 ₆ /D ₆ * ¹	P4 ₆ /D ₆ * ²	P4 ₆ /D ₆ * ¹	P4 ₆
26	P4 ₇ /D ₇ * ¹	P4 ₇ /D ₇ * ²	P4 ₇ /D ₇ * ¹	P4 ₇ /D ₇ * ²	P4 ₇ /D ₇ * ¹	P4 ₇
27	D ₈	D ₈	D ₈	D ₈	D ₈	P3 ₀
28	D ₉	D ₉	D ₉	D ₉	D ₉	P3 ₁
29	D ₁₀	D ₁₀	D ₁₀	D ₁₀	D ₁₀	P3 ₂
30	D ₁₁	D ₁₁	D ₁₁	D ₁₁	D ₁₁	P3 ₃
31	D ₁₂	D ₁₂	D ₁₂	D ₁₂	D ₁₂	P3 ₄
32	D ₁₃	D ₁₃	D ₁₃	D ₁₃	D ₁₃	P3 ₅
33	D ₁₄	D ₁₄	D ₁₄	D ₁₄	D ₁₄	P3 ₆
34	D ₁₅	D ₁₅	D ₁₅	D ₁₅	D ₁₅	P3 ₇
35	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
36	A ₀	A ₀	A ₀	A ₀	P1 ₀ /A ₀	P1 ₀
37	A ₁	A ₁	A ₁	A ₁	P1 ₁ /A ₁	P1 ₁
38	A ₂	A ₂	A ₂	A ₂	P1 ₂ /A ₂	P1 ₂
39	A ₃	A ₃	A ₃	A ₃	P1 ₃ /A ₃	P1 ₃
40	A ₄	A ₄	A ₄	A ₄	P1 ₄ /A ₄	P1 ₄

ピン番号	端子名					
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
FP-100B TFP-100B						
41	A ₅	A ₅	A ₅	A ₅	P1 ₅ /A ₅	P1 ₅
42	A ₆	A ₆	A ₆	A ₆	P1 ₆ /A ₆	P1 ₆
43	A ₇	A ₇	A ₇	A ₇	P1 ₇ /A ₇	P1 ₇
44	Vss	Vss	Vss	Vss	Vss	Vss
45	A ₈	A ₈	A ₈	A ₈	P2 ₀ /A ₈	P2 ₀
46	A ₉	A ₉	A ₉	A ₉	P2 ₁ /A ₉	P2 ₁
47	A ₁₀	A ₁₀	A ₁₀	A ₁₀	P2 ₂ /A ₁₀	P2 ₂
48	A ₁₁	A ₁₁	A ₁₁	A ₁₁	P2 ₃ /A ₁₁	P2 ₃
49	A ₁₂	A ₁₂	A ₁₂	A ₁₂	P2 ₄ /A ₁₂	P2 ₄
50	A ₁₃	A ₁₃	A ₁₃	A ₁₃	P2 ₅ /A ₁₃	P2 ₅
51	A ₁₄	A ₁₄	A ₁₄	A ₁₄	P2 ₆ /A ₁₄	P2 ₆
52	A ₁₅	A ₁₅	A ₁₅	A ₁₅	P2 ₇ /A ₁₅	P2 ₇
53	A ₁₆	A ₁₆	A ₁₆	A ₁₆	P5 ₀ /A ₁₆	P5 ₀
54	A ₁₇	A ₁₇	A ₁₇	A ₁₇	P5 ₁ /A ₁₇	P5 ₁
55	A ₁₈	A ₁₈	A ₁₈	A ₁₈	P5 ₂ /A ₁₈	P5 ₂
56	A ₁₉	A ₁₉	A ₁₉	A ₁₉	P5 ₃ /A ₁₉	P5 ₃
57	Vss	Vss	Vss	Vss	Vss	Vss
58	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀
59	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁
60	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂
61	P6 ₇ / * ³	P6 ₇ / * ³	P6 ₇ / * ³	P6 ₇ / * ³	P6 ₇ / * ³	P6 ₇ / * ⁴
62	STBY	STBY	STBY	STBY	STBY	STBY
63	RES	RES	RES	RES	RES	RES
64	NMI	NMI	NMI	NMI	NMI	NMI
65	Vss	Vss	Vss	Vss	Vss	Vss
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
68	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
69	AS	AS	AS	AS	AS	P6 ₃
70	RD	RD	RD	RD	RD	P6 ₄
71	HWR	HWR	HWR	HWR	HWR	P6 ₅

1. 概要

ピン番号	端子名					
FP-100B TFP-100B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
72	$\overline{\text{LWR}}$	$\overline{\text{LWR}}$	$\overline{\text{LWR}}$	$\overline{\text{LWR}}$	$\overline{\text{LWR}}$	P6 ₆
73	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀
74	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁
75	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂
76	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc
77	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}
78	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
79	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
80	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
81	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
82	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
83	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
84	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀
85	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁
86	AVss	AVss	AVss	AVss	AVss	AVss
87	P8 ₀ /IRQ ₀ / $\overline{\text{RFSH}}$	P8 ₀ /IRQ ₀ / $\overline{\text{RFSH}}$	P8 ₀ /IRQ ₀ / $\overline{\text{RFSH}}$	P8 ₀ /IRQ ₀ / $\overline{\text{RFSH}}$	P8 ₀ /IRQ ₀ / $\overline{\text{RFSH}}$	P8 ₀ /IRQ ₀
88	P8 ₁ /IRQ ₁ / $\overline{\text{CS}}_3$	P8 ₁ /IRQ ₁ / $\overline{\text{CS}}_3$	P8 ₁ /IRQ ₁ / $\overline{\text{CS}}_3$	P8 ₁ /IRQ ₁ / $\overline{\text{CS}}_3$	P8 ₁ /IRQ ₁ / $\overline{\text{CS}}_3$	P8 ₁ /IRQ ₁
89	P8 ₂ /IRQ ₂ / $\overline{\text{CS}}_2$	P8 ₂ /IRQ ₂ / $\overline{\text{CS}}_2$	P8 ₂ /IRQ ₂ / $\overline{\text{CS}}_2$	P8 ₂ /IRQ ₂ / $\overline{\text{CS}}_2$	P8 ₂ /IRQ ₂ / $\overline{\text{CS}}_2$	P8 ₂ /IRQ ₂
90	P8 ₃ /IRQ ₃ / $\overline{\text{CS}}_1$ / $\overline{\text{ADTRG}}$	P8 ₃ /IRQ ₃ / $\overline{\text{CS}}_1$ / $\overline{\text{ADTRG}}$	P8 ₃ /IRQ ₃ / $\overline{\text{CS}}_1$ / $\overline{\text{ADTRG}}$	P8 ₃ /IRQ ₃ / $\overline{\text{CS}}_1$ / $\overline{\text{ADTRG}}$	P8 ₃ /IRQ ₃ / $\overline{\text{CS}}_1$ / $\overline{\text{ADTRG}}$	P8 ₃ /IRQ ₃ / $\overline{\text{ADTRG}}$
91	P8 ₄ / $\overline{\text{CS}}_0$	P8 ₄ / $\overline{\text{CS}}_0$	P8 ₄ / $\overline{\text{CS}}_0$	P8 ₄ / $\overline{\text{CS}}_0$	P8 ₄ / $\overline{\text{CS}}_0$	P8 ₄
92	Vss	Vss	Vss	Vss	Vss	Vss
93	PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$	PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$	PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$	PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$	PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$	PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$

ピン番号	端子名					
FP-100B TFP-100B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
94	PA ₁ /TP ₁ / TCLKB/ \overline{TEND}_1	PA ₁ /TP ₁ / TCLKB/ \overline{TEND}_1	PA ₁ /TP ₁ / TCLKB/ \overline{TEND}_1	PA ₁ /TP ₁ / TCLKB/ \overline{TEND}_1	PA ₁ /TP ₁ / TCLKB/ \overline{TEND}_1	PA ₁ /TP ₁ / TCLKB/ \overline{TEND}_1
95	PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	PA ₂ /TP ₂ / TIOCA ₀ / TCLKC
96	PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	PA ₃ /TP ₃ / TIOCB ₀ / TCLKD
97	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ / TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ / TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ / TIOCA ₁
98	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ / TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ / TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ / TIOCB ₁
99	PA ₆ /TP ₆ / TIOCA ₂	PA ₆ /TP ₆ / TIOCA ₂	PA ₆ /TP ₆ / TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ / TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ / TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ / TIOCA ₂
100	PA ₇ /TP ₇ / TIOCB ₂	PA ₇ /TP ₇ / TIOCB ₂	A ₂₀	A ₂₀	PA ₇ /TP ₇ / TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ / TIOCB ₂

- 【注】 *1 モード 1、3、5 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は P4₀ ~ P4₇ 端子となっています（プログラムで変更できます）。
- *2 モード 2、4 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は D₀ ~ D₇ 端子となっています（プログラムで変更できます）。
- *3 モード 1 ~ 5 では、リセット直後、P6₇/ 端子は 端子となっています。（プログラムで変更できます。）
- *4 モード 7 では、リセット直後、P6₇/ 端子は P6₇ 端子となっています。（プログラムで変更できます。）

2. CPU

第2章 目次

2.1	概要	25
2.1.1	特長	25
2.1.2	H8/300CPU との相違点	26
2.2	CPU 動作モード	27
2.3	アドレス空間	28
2.4	レジスタ構成	29
2.4.1	概要	29
2.4.2	汎用レジスタ	30
2.4.3	コントロールレジスタ	31
2.4.4	CPU 内部レジスタの初期値	33
2.5	データ構成	34
2.5.1	汎用レジスタのデータ構成	34
2.5.2	メモリ上でのデータ構成	35
2.6	命令セット	37
2.6.1	命令セットの概要	37
2.6.2	命令とアドレッシングモードの組み合わせ	37
2.6.3	命令の機能別一覧	39
2.6.4	命令の基本フォーマット	50
2.6.5	ビット操作命令使用上の注意	51
2.7	アドレッシングモードと実効アドレスの計算方法	53
2.7.1	アドレッシングモード	53
2.7.2	実効アドレスの計算方法	56
2.8	処理状態	60
2.8.1	概要	60
2.8.2	プログラム実行状態	60
2.8.3	例外処理状態	60
2.8.4	例外処理の動作	63

2.8.5	バス権解放状態.....	64
2.8.6	リセット状態	64
2.8.7	低消費電力状態.....	64
2.9	基本動作タイミング	66
2.9.1	概要	66
2.9.2	内蔵メモリアクセスタイミング	66
2.9.3	内蔵周辺モジュールアクセスタイミング	67
2.9.4	外部アドレス空間アクセスタイミング	68

2.1 概要

H8/300H CPU は、H8/300CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPU には、次の特長があります。

H8/300CPU 上位互換

H8/300 シリーズのオブジェクトプログラムを実行可能

汎用レジスタ方式

16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能)

62 種類の基本命令

- ・ 8/16/32 ビット転送、演算命令
- ・ 乗除算命令
- ・ 強力なビット操作命令

8 種類のアドレッシングモード

- ・ レジスタ直接 (Rn)
- ・ レジスタ間接 (@ERn)
- ・ ディスプレースメント付レジスタ間接 (@ (d:16,ERn), @ (d:24, ERn))
- ・ ポストインクリメント / プリデクリメントレジスタ間接 (@ERn + /@ - ERn)
- ・ 絶対アドレス (@aa:8, @aa:16, @aa:24)
- ・ イミディエイト (#xx:8, #xx:16, #xx:32)
- ・ プログラムカウンタ相対 (@ (d:8,PC), @ (d:16 PC))
- ・ メモリ間接 (@@aa:8)

16M バイトのリニアアドレス空間

高速動作

- ・ 頻出命令をすべて 2~4 ステートで実行
- ・ 最高動作周波数 : 25MHz
- ・ 8/16/32 ビットレジスタ間加減算 80ns
- ・ 8×8 ビットレジスタ間乗算 560ns
- ・ 16÷8 ビットレジスタ間除算 560ns
- ・ 16×16 ビットレジスタ間乗算 880ns
- ・ 32÷16 ビットレジスタ間除算 880ns

2 種類の CPU 動作モード

- ・ ノーマルモード
- ・ アドバンスモード

低消費電力動作

SLEEP 命令により低消費電力状態に遷移

2.1.2 H8/300CPU との相違点

H8/300H CPU は、H8/300CPU に対して、次の点が強化、拡張されています。

汎用レジスタを拡張

16 ビット×8 本の拡張レジスタを追加

アドレス空間を拡張

- ・アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- ・ノーマルモードのとき、H8/300CPU と同一の 64k バイトのアドレス空間を使用可能（H8/3069 では設定できません）

アドレッシングモードを強化

16M バイトのアドレス空間を有効に使用可能

命令強化

- ・32 ビット転送、演算命令を追加
- ・符号付き乗除算命令などを追加

2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンストモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大 64k バイト、アドバンストモードの場合最大 16M バイトとなります。

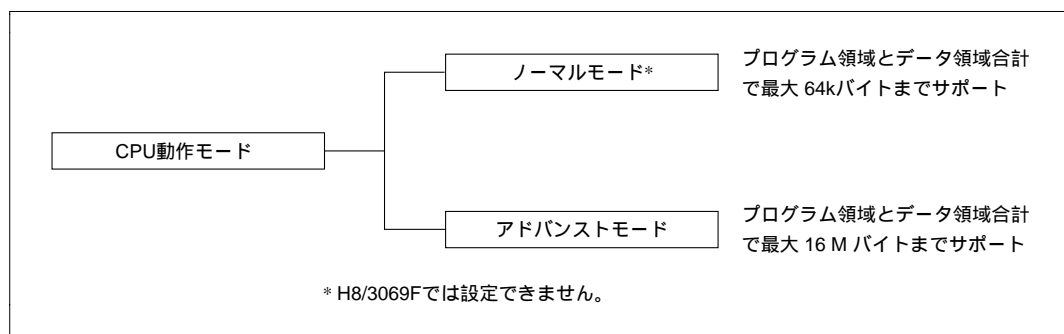


図 2.1 CPU 動作モード

2.3 アドレス空間

本 LSI でのメモリマップの概要を図 2.2 に示します。H8/300H CPU はノーマルモードのとき最大 64k バイト、またアドバンストモードのとき最大 16M バイトのアドレス空間をリニアに使用することができます。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が 1M バイトモードの場合、実効アドレスの上位 4 ビットは無視され、20 ビットのアドレスとなります。

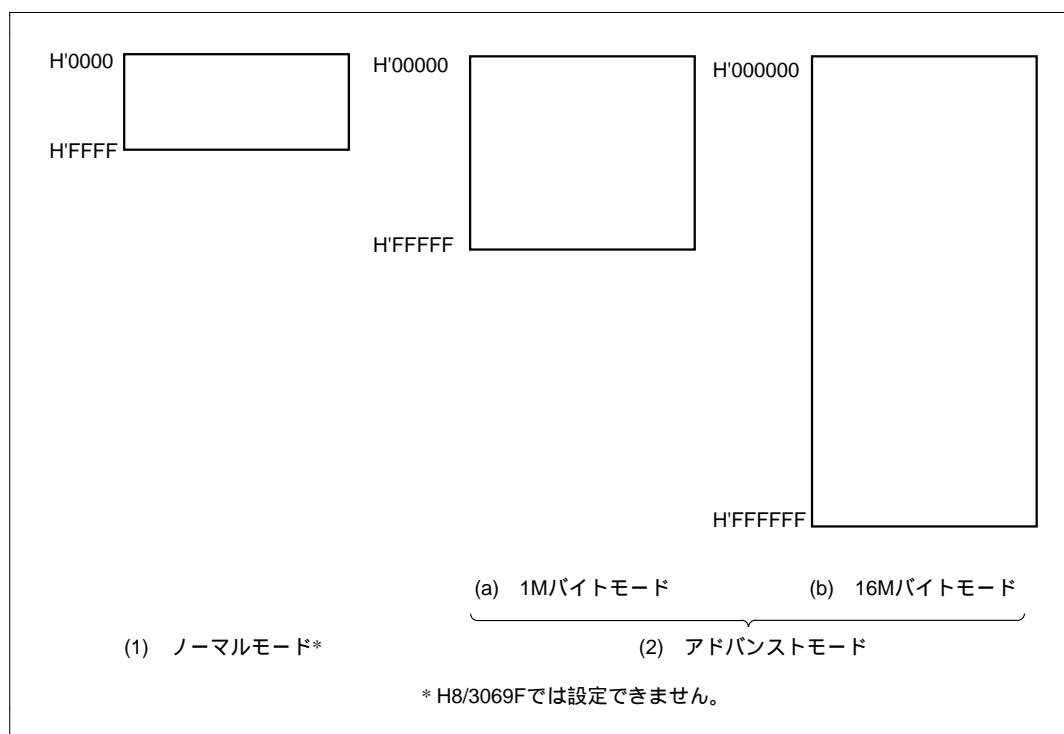


図 2.2 メモリマップ

2.4 レジスタ構成

2.4.1 概要

H8/300H CPU の内部レジスタ構成を図 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

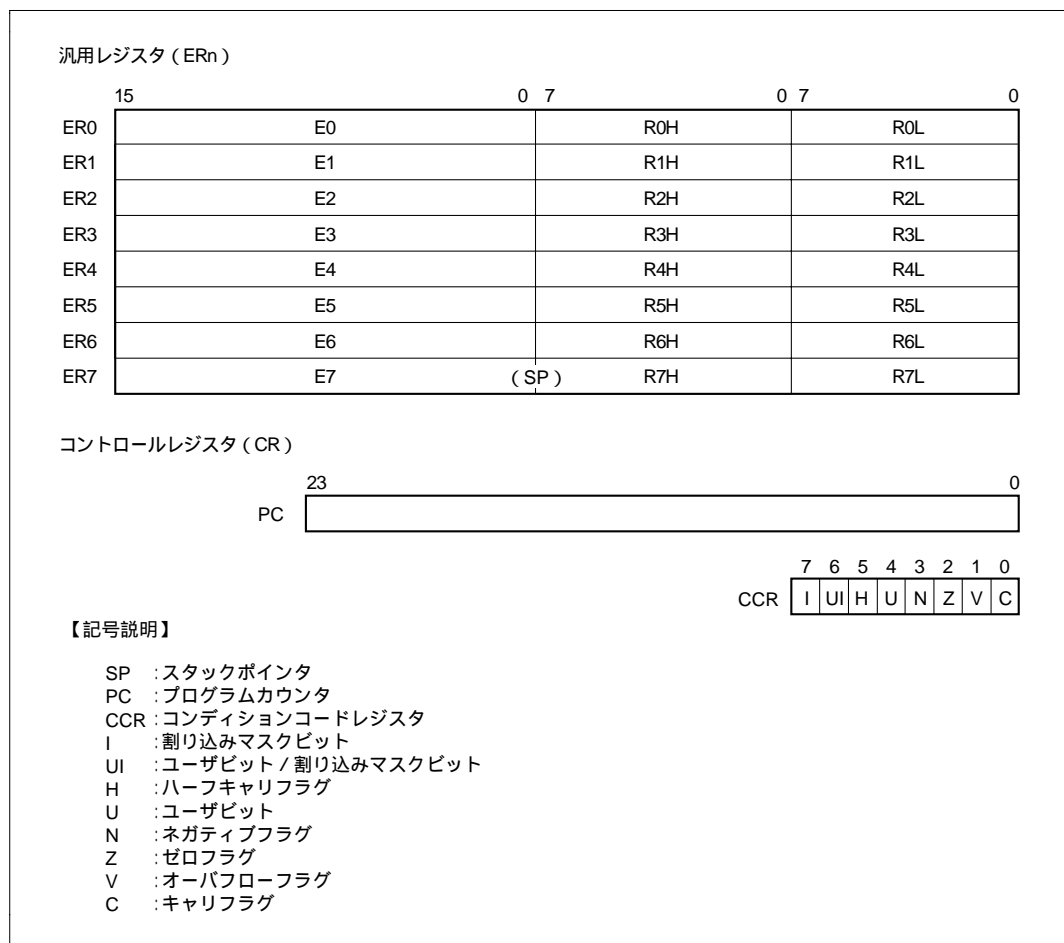


図 2.3 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPUは32ビット長の汎用レジスタ8本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては32ビット、16ビットまたは8ビットレジスタとして使用できます。

アドレスレジスタおよび32ビットレジスタとしては、一括して汎用レジスタER（ER0～ER7）として使用します。

16ビットレジスタとしては、汎用レジスタERを分割して汎用レジスタE（E0～E7）、汎用レジスタR（R0～R7）として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本を使用することができます。なお、汎用レジスタE（E0～E7）を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとしては、汎用レジスタRを分割して汎用レジスタRH（R0H～R7H）、汎用レジスタRL（R0L～R7L）として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本を使用することができます。

汎用レジスタの使用方法を図2.4に示します。各レジスタを独立に使用方法を選択することができます。

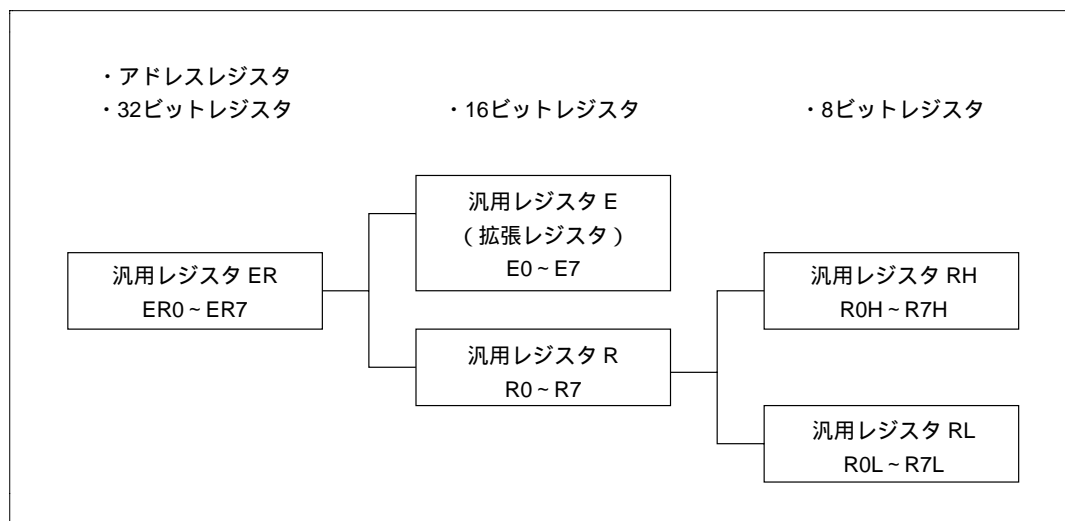


図2.4 汎用レジスタの使用方法

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチン分岐などで使用されます。スタックの状態を図2.5に示します。

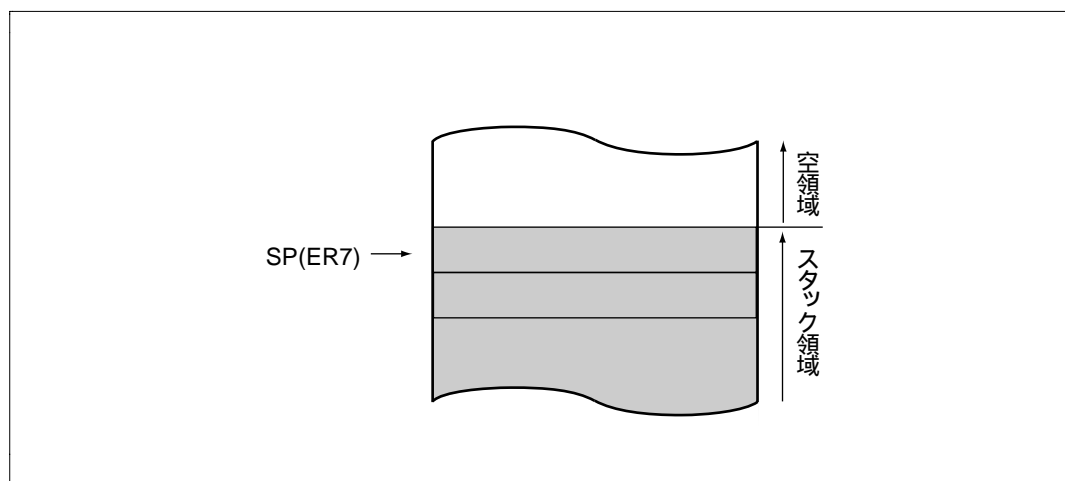


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) と ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバーフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7: 割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。

ビット 6: ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット5:ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、またはADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット4:ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。

ビット3:ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2:ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット1:オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット0:キャリフラグ (C)

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト / ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。
また I、UI ビットについては、「第 5 章 割り込みコントローラ」を参照してください。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP (ER7) の初期化を行ってください。

2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（ $n=0, 1, 2, \dots, 7$ ）という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.6、図 2.7 に示します。

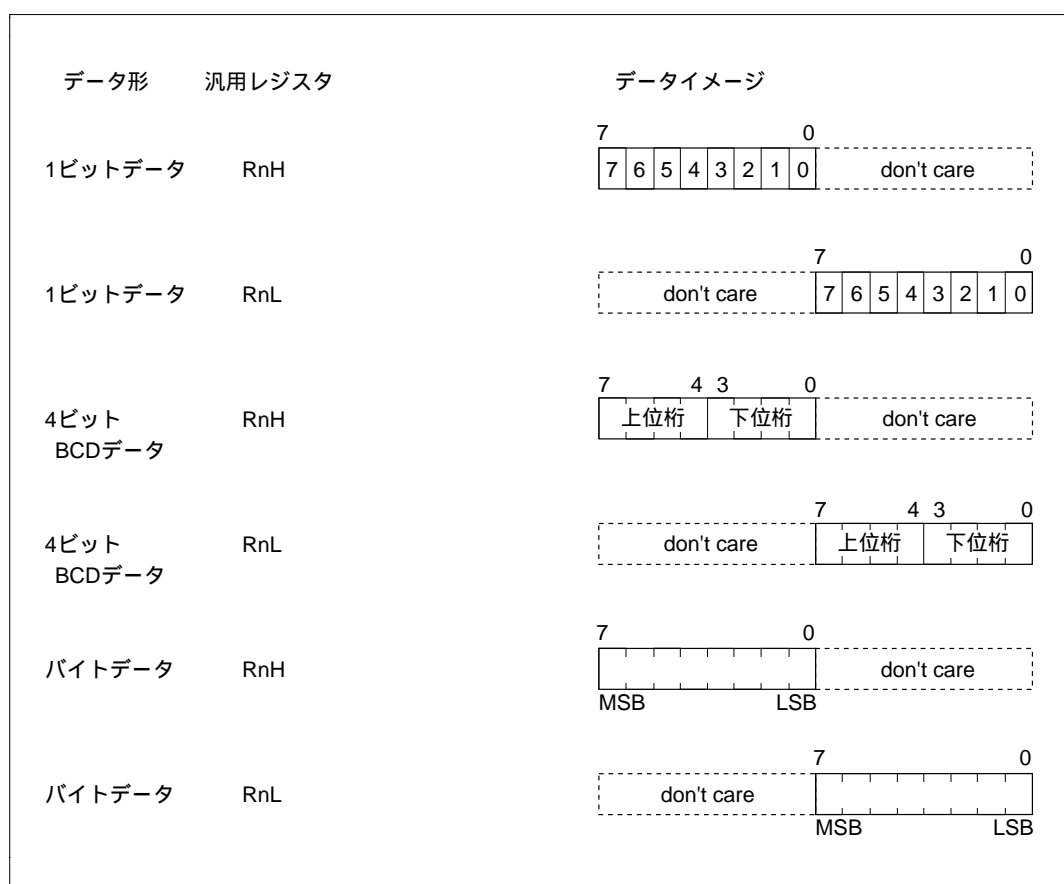


図 2.6 汎用レジスタのデータ構成（1）

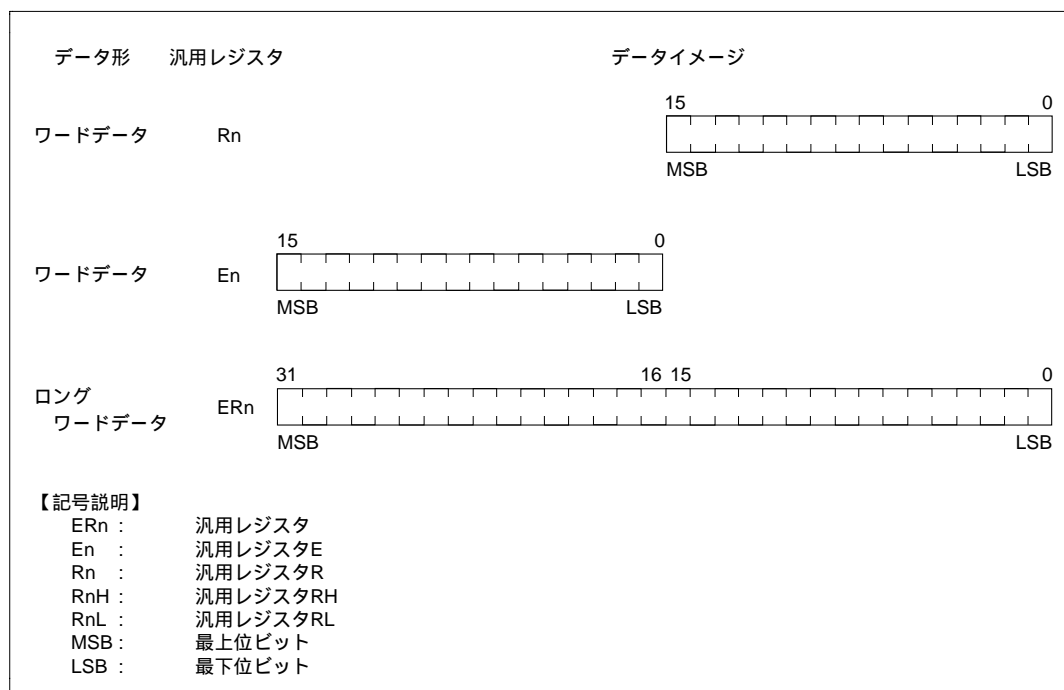


図 2.7 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.8 に示します。

H8/300H CPU は、メモリ上のワードデータ / ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ / ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

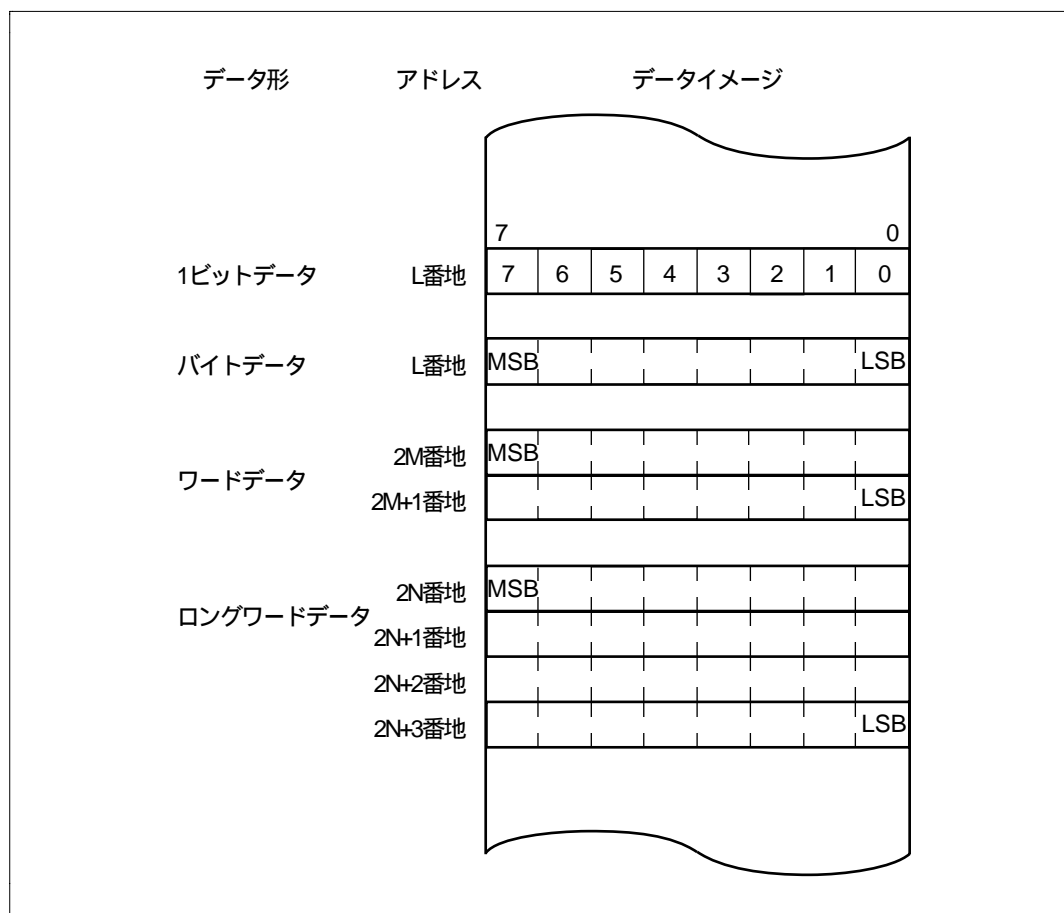


図 2.8 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPUの命令は合計 62 種類あり、各命令の機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPE* ² 、MOVFPE* ²	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1

合計 62 種類

【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+ , Rn、MOV.W Rn , @ - SP と同一です。

また、POP.L ERn、PUSH.L ERn はそれぞれ MOV.L @SP+ , Rn、MOV.L Rn , @ - SP と同一です。

*2 本 LSI では使用できません。

*3 Bcc は条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード											
		#xx	Rn	@ERn	@(d:16.ERn)	BWL	@(d:24.ERn)	@ERn+/@-ERn	@aa:8	@aa:16	@aa:24	@(d:8.PC)	@(d:16.PC)
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	BWL	-	-
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-
	MOVFP, MOVFP	-	-	-	-	-	-	-	-	-	-	-	-
	MOVTP	-	-	-	-	-	-	-	-	-	-	-	-
	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-
	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-
	ADD, SUB	-	L	-	-	-	-	-	-	-	-	-	-
	INC, DEC	-	BWL	-	-	-	-	-	-	-	-	-	-
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-
演算命令	MULXU, MULXS, DIVXU, DIVXS	-	BW	-	-	-	-	-	-	-	-	-	-
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-
	EXTU, EXT	-	WL	-	-	-	-	-	-	-	-	-	-
	AND, OR, XOR	-	BWL	-	-	-	-	-	-	-	-	-	-
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-
	シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-
	ビット操作命令	-	B	B	-	-	-	-	B	-	-	-	-
	BCC, BSR	-	-	-	-	-	-	-	-	-	-	-	-
	JMP, JSR	-	-	-	-	-	-	-	-	-	-	-	-
	RTS	-	-	-	-	-	-	-	-	-	-	-	-
システム制御命令	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-
	RTE	-	-	-	-	-	-	-	-	-	-	-	-
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-
	LDC	B	B	W	W	W	W	W	-	W	W	-	-
	STC	-	B	W	W	W	W	W	-	W	W	-	-
	ANDC, ORC	B	-	-	-	-	-	-	-	-	-	-	-
	XORC	-	-	-	-	-	-	-	-	-	-	-	-
	NOP	-	-	-	-	-	-	-	-	-	-	-	-
	ブロック転送命令	-	-	-	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-	-	-	BW

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ / アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3/: 8/: 16/: 24	3/8/16/24 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ / アドレスレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	$(EAs) \longrightarrow Rd, Rs \longrightarrow (EAd)$ 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	$(EAs) \longrightarrow Rd$ 本 LSI では使用できません。
MOVTPE	B	$Rs \longrightarrow (EAs)$ 本 LSI では使用できません。
POP	W/L	$@SP + \longrightarrow Rn$ スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP + Rn と、また POP.L ERn は MOV.L @SP + , ERn と同一です。
PUSH	W/L	$Rn \longrightarrow @ - SP$ 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn , @ - SP と、また PUSH.L ERn は MOV.L ERn , @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \longrightarrow Rd$ 、 $Rd \pm \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd$ 、 $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します（バイトサイズの演算では 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 、 $Rd \pm 4 \longrightarrow Rd$ 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \longrightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット 16 ビット、 16 ビット×16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット 16 ビット、 16 ビット×16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット 商 8 ビット 余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット 商 8 ビット 余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。

命令	サイズ*	機能
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0 - Rd \longrightarrow Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTS	W/L	Rd（符号拡張） \longrightarrow Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
EXTU	W/L	Rd（ゼロ拡張） \longrightarrow Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \leftarrow Rs \text{ AND } \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \leftarrow Rs \text{ OR } \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \leftarrow Rs \text{ XOR } \#IMM$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	$Rd \leftarrow \sim Rs$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	$Rd \leftarrow Rs \ll \#IMM$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	$Rd \leftarrow Rs \ll \#IMM$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	$Rd \leftarrow Rs \ll \#IMM$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	$Rd \leftarrow Rs \ll \#IMM$ 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	$1 \longrightarrow (\text{ビット番号} \text{ of } \text{EAd})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	$0 \longrightarrow (\text{ビット番号} \text{ of } \text{EAd})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	$\sim (\text{ビット番号} \text{ of } \text{EAd})$ $\longrightarrow (\text{ビット番号} \text{ of } \text{EAd})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BTST	B	$\sim (\text{ビット番号} \text{ of } \text{EAd}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BAND	B	$C (\text{ビット番号} \text{ of } \text{EAd}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C [\sim (\text{ビット番号} \text{ of } \text{EAd})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定します。

命令	サイズ*	機能
BOR	B	$C \text{ (<ビット番号> of <EAd>) } \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	$C \text{ [} \sim \text{ (<ビット番号> of <EAd>)] } \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定します。
BXOR	B	$C \oplus \text{ (<ビット番号> of <EAd>) } \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus \text{ [} \sim \text{ (<ビット番号> of <EAd>)] } \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定します。
BLD	B	$\text{ (<ビット番号> of <EAd>) } \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim \text{ (<ビット番号> of <EAd>) } \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定します。

命令	サイズ*	機能
BST	B	C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C → ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table> <tr> <th>ニーモニック</th><th>説明</th><th>分岐条件</th></tr> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>C Z = 0</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>C Z = 1</td></tr> <tr> <td>Bcc (BHS)</td><td>Carry Clear (High or Same)</td><td>C = 0</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (LOW)</td><td>C = 1</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>Z = 0</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>Z = 1</td></tr> <tr> <td>BVC</td><td>oVerflow Clear</td><td>V = 0</td></tr> <tr> <td>BVS</td><td>oVerflow Set</td><td>V = 1</td></tr> <tr> <td>BPL</td><td>PLus</td><td>N = 0</td></tr> <tr> <td>BMI</td><td>MInus</td><td>N = 1</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z (N \oplus V) = 1$</td></tr> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	Bcc (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOW)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z (N \oplus V) = 0$	BLE	Less or Equal	$Z (N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
Bcc (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOW)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移移します。
LDC	B/W	(EAs) \longrightarrow CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR \longrightarrow (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM \longrightarrow CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM \longrightarrow CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR \oplus #IMM \longrightarrow CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC + 2 \longrightarrow PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	if R4L 0 then Repeat @ER5 + \longrightarrow @ER6 +、R4L - 1 \longrightarrow R4L Until R4L = 0 else next;
EEPMOV.W	-	if R4 0 then Repeat @ER5 + \longrightarrow @ER6 +、R4 - 1 \longrightarrow R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4LまたはR4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。

（１） オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

（２） レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

（３） EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0（H'00）とした 32 ビットデータとして扱われます。

（４） コンディションフィールド

Bcc 命令の分岐条件を指定します。

図 2.9 に命令フォーマットの例を示します。

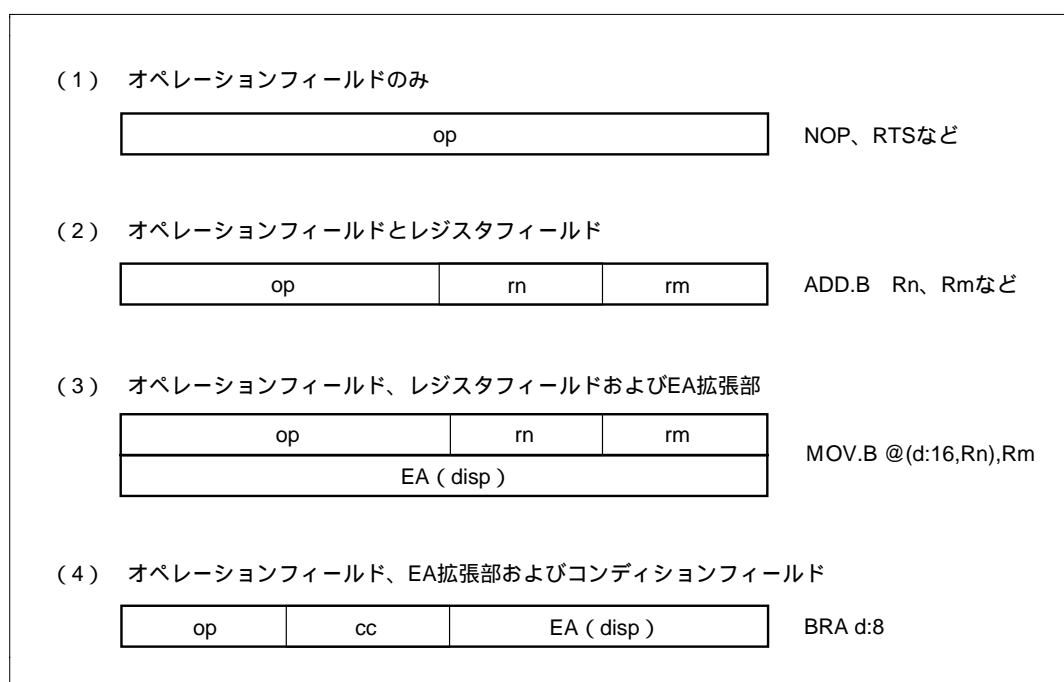


図 2.9 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

ポート4のDDRに、BCLR命令を実行した例を示します。

P4₇、P4₆は入力ポートに設定され、P4₅～P4₀は出力ポートに設定されているとします。

ここで、BCLR命令で、P4₀を入力ポートにする例を示します。

(1) BCLR 命令を実行前

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
DDR	0	0	1	1	1	1	1	1

(2) BCLR 命令を実行

BCLR	#0	,	@P4DDR	DDR に対して BCLR 命令を実行します。
------	----	---	--------	-------------------------

(3) BCLR 命令を実行後

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
DDR	1	1	1	1	1	1	1	0

(4) BCLR 命令の動作説明

BCLR 命令を実行すると、CPU は、最初に P4DDR をリードします。

P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。

次に、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を DDR に書き込んで、BCLR 命令を終了します。

その結果、P4₀ は、DDR が 0 になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@ERn
(3)	ディスプレースメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
(5)	絶対アドレス	@aa:8 / @aa:16 / @aa:24
(6)	イミディエイト	#xx:8 / #xx:16 / #xx:32
(7)	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接@ERn + / プリデクリメントレジスタ間接@ - ERn

・ポストインクリメントレジスタ間接 @ERn +

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32 ビット) に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズ / ロングワードサイズのとき、レジスタの内容が偶数となるようにしてください。

・プリデクリメントレジスタ間接 @ - ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容の下位 24 ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズ、ロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、または 24 ビット (@aa:24) です。

8 ビット絶対アドレスの場合、上位 16 ビットはすべて 1 (H'FFFF) となります。

16 ビット絶対アドレスの場合、上位 8 ビットは符号拡張されます。

24 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1M バイトモード	16M バイトモード
8 ビット (@aa:8)	H'FFF00 ~ H'FFFFF (1048320 ~ 1048575)	H'FFFF00 ~ H'FFFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'00000 ~ H'07FFF, H'F8000 ~ H'FFFFF (0 ~ 32767, 1015808 ~ 1048575)	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF (0 ~ 32767, 16744448 ~ 16777215)
24 ビット (@aa:24)	H'00000 ~ H'FFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コード中に含まれます。

(7) プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)

Bcc、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。

命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭 1 バイトは無視され、24 ビット長の分岐アドレスを生成します。図 2.10 にメモリ間接による分岐アドレスの指定方法を示します。

8 ビット絶対アドレスの上位のビットはすべて 0 (H'0000) となりますので、分岐アドレスを格納できるのは 0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。

詳細は「第 5 章 割り込みコントローラ」を参照してください。

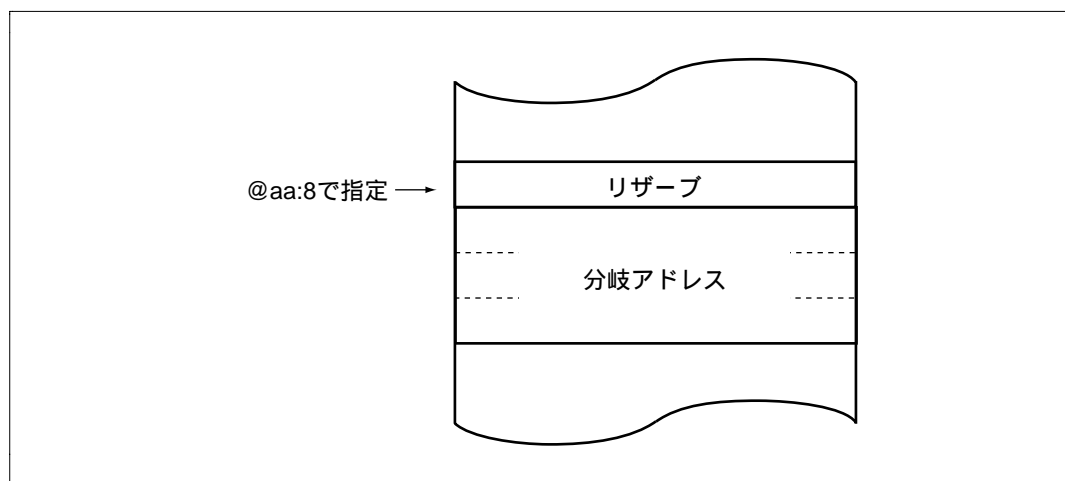


図 2.10 メモリ間接による分岐アドレスの指定

ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

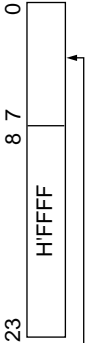


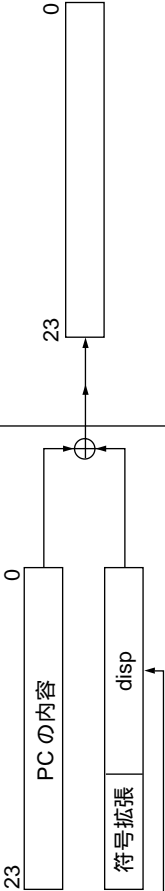

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.13 に示します。

1M バイトモードの場合、計算結果の上位4ビットは無視され、20ビットの実効アドレスを生成します。

表 2.13 実行アドレス計算方法

NO.	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
(1)	レジスタ直接 (Rn) <div> <div>op</div> <div>rm</div> <div>m</div> </div>		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) <div> <div>op</div> <div>r</div> </div>	<div> <div>汎用レジスタの内容</div> <div>31</div> <div>0</div> </div>	<div> <div>23</div> <div>0</div> </div>
(3)	ディスプレースメント付レジスタ間接 @ (d:16, ERn) / @ (d:24, ERn) <div> <div>op</div> <div>r</div> <div></div> </div>	<div> <div>汎用レジスタの内容</div> <div>31</div> <div>0</div> </div> <div> <div>符号拡張</div> <div>disp</div> </div>	<div> <div>23</div> <div>0</div> </div>
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接@ERn + <div> <div>op</div> <div>r</div> </div> ・プリデクリメントレジスタ間接@ - ERn <div> <div>op</div> <div>r</div> </div>	<div> <div>汎用レジスタの内容</div> <div>31</div> <div>0</div> </div> <div> <div>1、2 または 4</div> </div> <div> <div>汎用レジスタの内容</div> <div>31</div> <div>0</div> </div> <div> <div>1、2 または 4</div> </div>	<div> <div>23</div> <div>0</div> </div>

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @ aa:8		
	@ aa:16		
	@ aa:24		
(6)	イミディエイト # xx:8/#xx:16/#xx:32		オペランドは、イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接 @@ aa:8 ・ノーマルモード		
	・アドバンスドモード		

【記号説明】

- r, rm, m: レジスタフィールド
- OP : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.8 処理状態

2.8.1 概要

H8/300H CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の5種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図2.11に、各状態間の遷移を図2.13に示します。

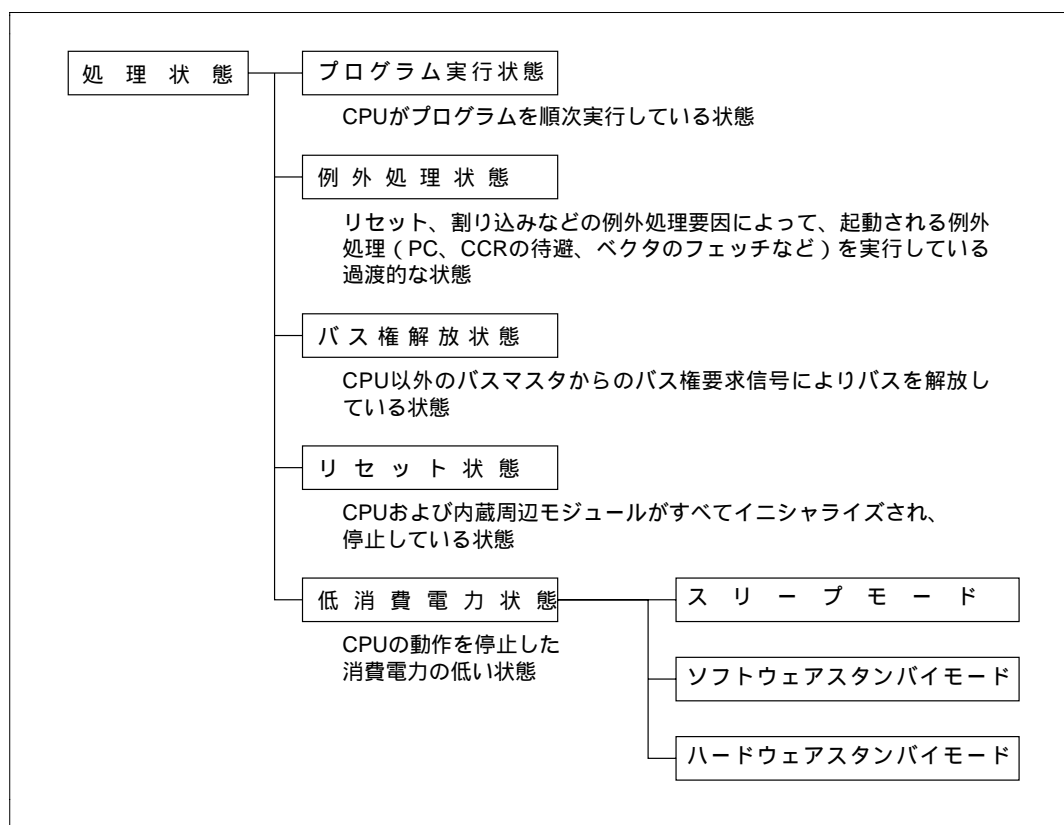


図 2.11 処理状態の分類

2.8.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過渡的な状態です。割り込みおよびトラップ命令例外処理では、SP（ER7）を参照して、PCおよびCCRの退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
<div style="display: flex; align-items: center;"> <div style="writing-mode: vertical-rl; text-orientation: upright; margin-right: 5px;">↑</div> <div style="text-align: center;">高</div> </div>	リセット	クロック同期	RES 端子が Low レベルから High レベルに変化すると、直ちに例外処理を開始します。
	割り込み	命令の実行終了時または例外処理終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	トラップ (TRAPA) 命令を実行すると、例外処理を開始します。
↓			
低			

【注】 * ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割り込み要因の検出を行いません。

例外処理要因は、図 2.12 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第 4 章 例外処理」および「第 5 章 割り込みコントローラ」を参照してください。

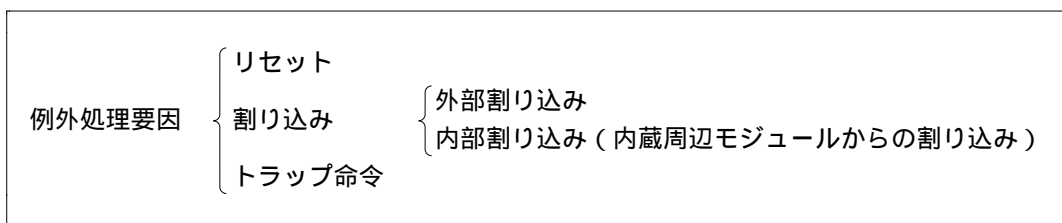


図 2.12 例外処理要因の分類

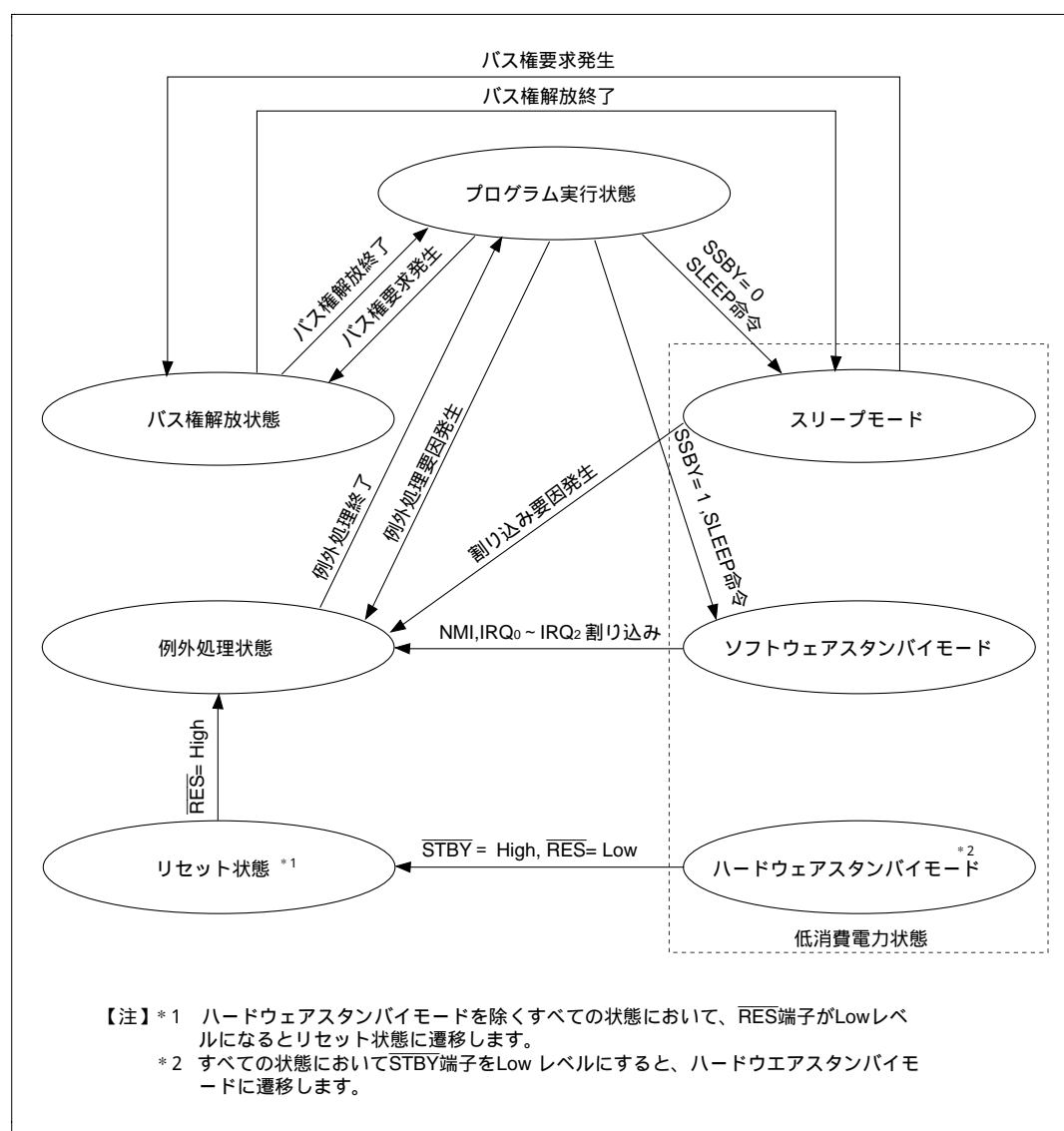


図 2.13 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

リセット例外処理は、最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子を Low レベルにしてリセット状態にした後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPU は SP (ER7) を参照して PC と CCR をスタックに退避します。次に、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときは CCR の I ビット、UI ビットがいずれも 1 にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。例外処理終了後のスタックの構造を図 2.14 に示します。

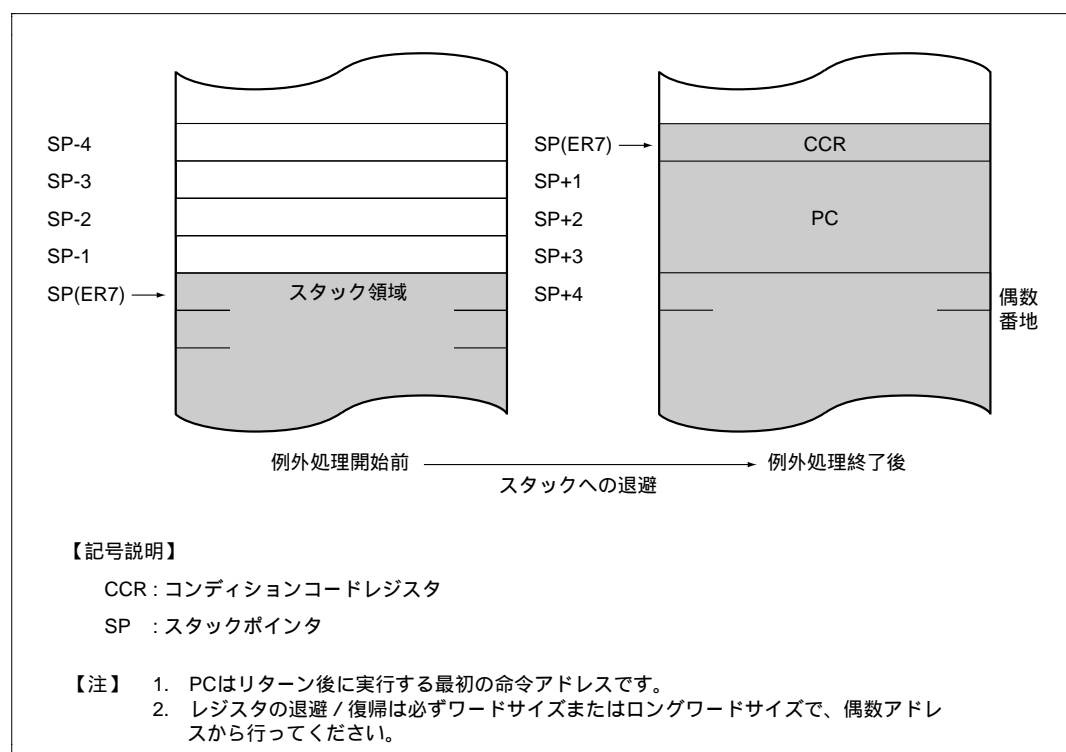


図 2.14 例外処理終了後のスタック状態

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU 以外のバスマスタには DMA コントローラ、DRAM インタフェース、および外部バスマスタがあります。

バス権解放状態では、CPU は内部動作を除き、停止します。また、割り込みも受け付けられません。詳細は「6.10 バスアービタ」を参照してください。

2.8.6 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが 1 にセットされます。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。

詳細は「第 12 章 ウォッチドッグタイマ」を参照してください。

2.8.7 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 20 章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPUは、クロック（ ）を基準に動作しています。 の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図2.15に、端子状態を図2.16に示します。

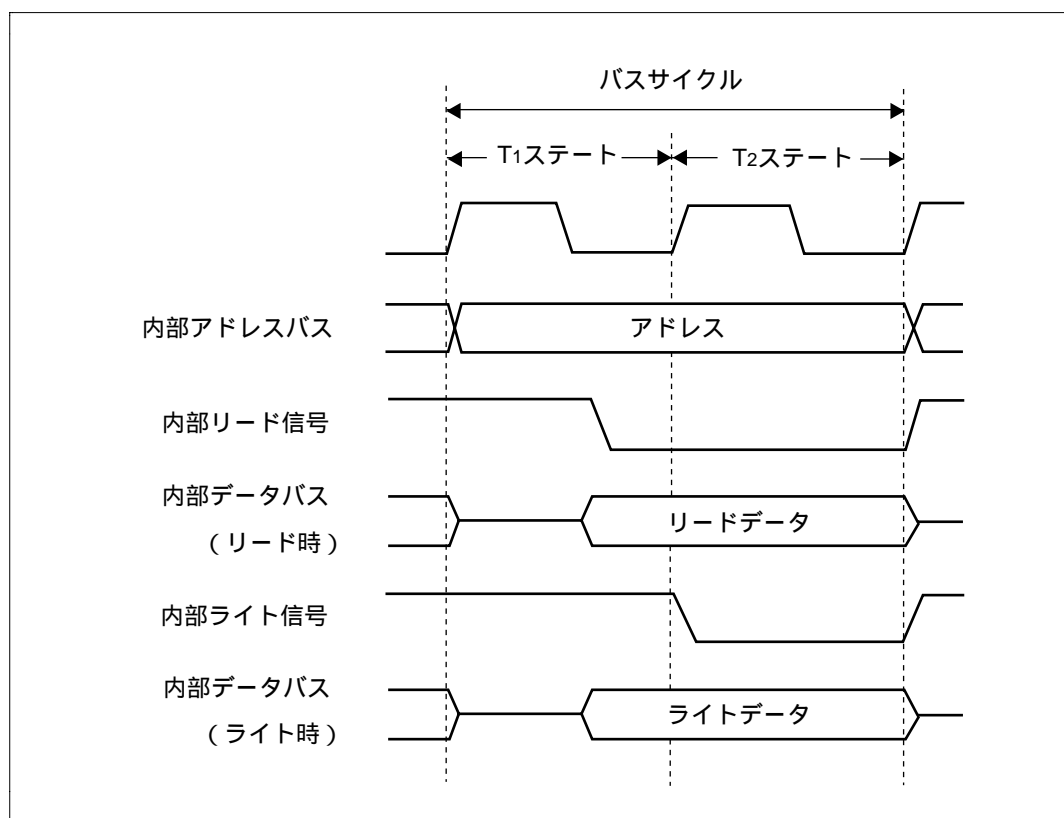


図 2.15 内蔵メモリアクセスサイクル

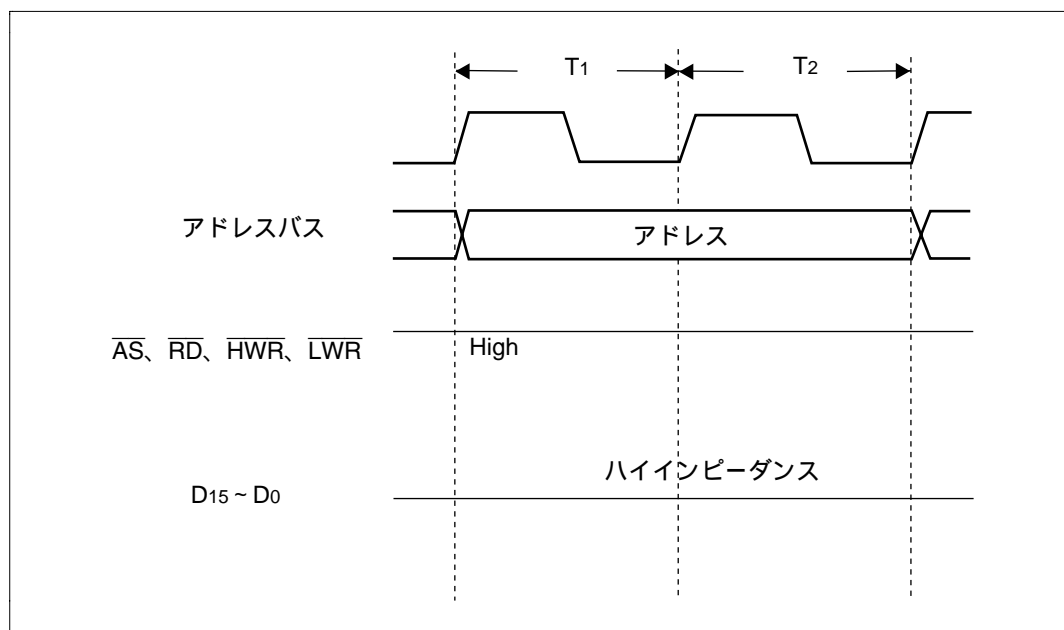


図 2.16 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.17に、端子状態を図2.18に示します。

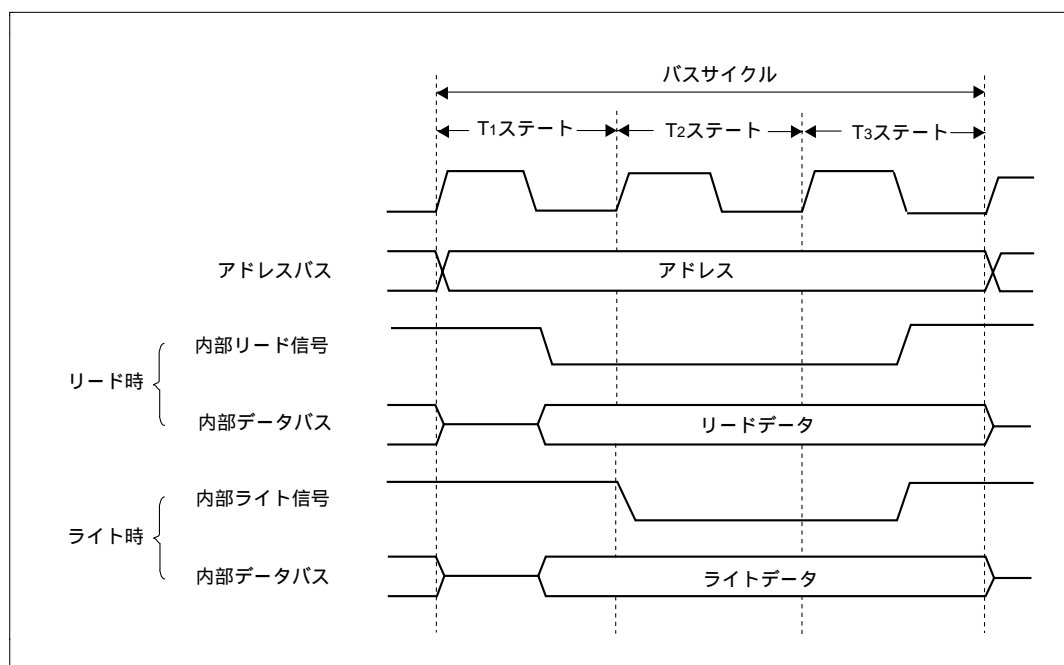


図 2.17 内蔵周辺モジュールアクセスサイクル

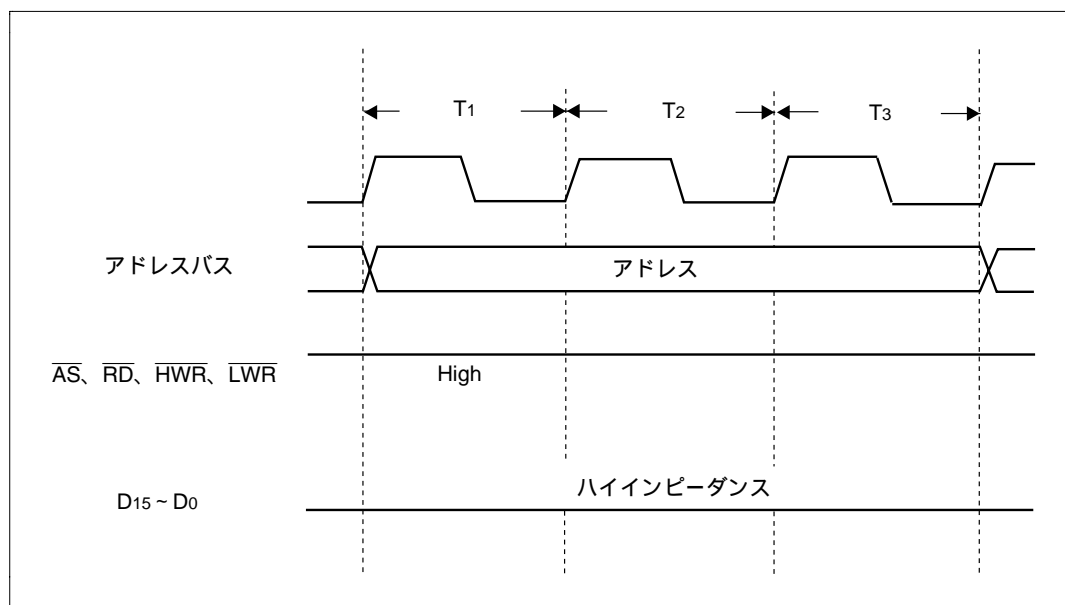


図 2.18 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア（エリア0～7）に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅（8ビットまたは16ビット）とアクセスステート（2ステートまたは3ステート）の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU 動作モード

第3章 目次

3.1	概要.....	71
	3.1.1 動作モードの種類の選択.....	71
	3.1.2 レジスタ構成	72
3.2	モードコントロールレジスタ（MDCR）	73
3.3	システムコントロールレジスタ（SYSCR）	74
3.4	各動作モードの説明	77
	3.4.1 モード1	77
	3.4.2 モード2	77
	3.4.3 モード3	77
	3.4.4 モード4	77
	3.4.5 モード5	77
	3.4.6 モード7	78
3.5	各動作モードにおける端子機能.....	79
3.6	各動作モードのメモリマップ	80
	3.6.1 リザーブ領域について	80

3.1 概要

3.1.1 動作モードの種類の選択

本 LSI には、6 種類の動作モード（モード 1～5、7）があります。これらのモードは、モード端子（MD₂～MD₀）を表 3.1 のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類の選択

動作モード	端子設定			内容			
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード 初期状態* ¹	内蔵 ROM	内蔵 RAM
-	0	0	0	-	-	-	-
モード 1	0	0	1	拡張モード	8 ビット	無効	有効* ²
モード 2	0	1	0	拡張モード	16 ビット	無効	有効* ²
モード 3	0	1	1	拡張モード	8 ビット	無効	有効* ²
モード 4	1	0	0	拡張モード	16 ビット	無効	有効* ²
モード 5	1	0	1	拡張モード	8 ビット	有効	有効* ²
-	1	1	0	-	-	-	-
モード 7	1	1	1	シングルチップ アドバンスモード	-	有効	有効

【注】 *1 モード 1～5 において、バス幅コントロールレジスタ（ABWCR）を設定することによりデータバス幅をエリアごとに 8 ビットデータバスまたは 16 ビットデータバスにすることができます。

詳細は、「第 6 章 バスコントローラ」を参照してください。

*2 SYSCR の RAME ビットを 0 にクリアすると外部アドレス空間に切り替わります。

アドレス空間は、1M バイト / 16M バイトのいずれかを選択することができます。外部データバスのバス幅は ABWCR により、8 ビット / 16 ビットバスモードのいずれかになります。すべてのエリアを 8 ビットアクセス空間に設定した場合、8 ビットバスモードとなります。詳細は「第 6 章 バスコントローラ」を参照してください。

モード 1～4 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 無効拡張モードです。

モード 1、2 でサポートするアドレス空間は、最大 1M バイトです。また、モード 3、4 でサポートするアドレス空間は、最大 16M バイトです。

モード 5 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 有

効拡張モードです。モード5でサポートするアドレス空間は、最大16Mバイトです。

モード7は、内蔵ROMとRAM、内部I/Oレジスタで動作するシングルチップモードです。すべてのポートを使用することができます。モード7でサポートするアドレス空間は最大1Mバイトです。

モード1～5、7以外は、本LSIでは使用できません。したがって、モード端子は必ずモード1～5、7になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本LSIにはモード端子(MD₂～MD₀)の状態が反映されるMDCRと、動作を制御するSYSCRがあります。レジスタ構成を表3.2に示します。

表3.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE011	モードコントロールレジスタ	MDCR	R	不定
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09

【注】 * アドバンスモード時のアドレス下位20ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCRは8ビットのリード専用のレジスタで、本LSIの現在の動作モードをモニタするのに使います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値:	1	1	0	0	0	— *	— *	— *
R/W :	—	—	—	—	—	R	R	R

リザーブビット

リザーブビット

モードセレクト2~0
現在の動作モード
を示すビットです。

【注】 * MD₂ ~ MD₀ 端子により決定されます。

ビット7、6: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット5~3: リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2~0: モードセレクト2~0 (MDS2~0)

これらのビットは、モード端子 (MD₂ ~ MD₀) のレベルを反映した値 (現在の動作モード) を示しています。MDS2 ~ MDS0 ビットは MD₂ ~ MD₀ 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードすると、モード端子 (MD₂ ~ MD₀) のレベルがこれらのビットにラッチされます。

【注】 フラッシュメモリ内蔵品には、フラッシュメモリを書き換えるブートモードがあります。このブートモードの時には、MDS2 ビットには MD₂ 端子のレベルの値が反映されています。

3.3 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								RAMイネーブル 内蔵RAMの有効 / 無効を選択するビット です。
								<u>ソフトウェアスタンバイ 出力ポートイネーブル</u> ソフトウェアスタンバイ モード時にアドレスバス、 バス制御信号の出力の状態 を選択するビットです。
								<u>NMIエッジセレクト</u> NMI端子の入力エッジを選択するビット です。
								<u>ユーザビットイネーブル</u> CCRのUIビットをユーザビットとして使用する か、割り込みマスクビットとして使用するか選 択するビットです。
								<u>スタンバイタイムセレクト2~0</u> ソフトウェアスタンバイモードから復帰する場合の待機時間 を選択するビットです。
								<u>ソフトウェアスタンバイ</u> ソフトウェアスタンバイモードへの遷移を指定するビットです。

ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第 20 章 低消費電力状態」を参照してください)。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4: スタンバイタイムセレクト2～0 (STS2～0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

水晶発振の場合、動作周波数に応じて待機時間が7ms以上となるように指定してください。

待機時間の設定については、「20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
1	0	1	待機時間 = 262144 ステート
1	1	0	待機時間 = 1024 ステート
1	1	1	使用禁止

ビット3: ユーザビットイネーブル (UE)

CCRのUIビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCRのUIビットを、割り込みマスクビットとして使用
1	CCRのUIビットを、ユーザビットとして使用 (初期値)

ビット2: NMIエッジセレクト (NMIEG)

NMI端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI入力の立ち下がリエッジで割り込み要求を発生 (初期値)
1	NMI入力の立ち上がリエッジで割り込み要求を発生

ビット1: ソフトウェアスタンバイ出力ポートイネーブル (SSOE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS}_0 \sim \overline{CS}_7$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{UCAS} 、 \overline{LCAS} 、 \overline{RFSH}) の出力を保持または High 固定するか、ハイインピーダンスにするかを指定します。

ビット1	説 明
SSOE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はすべてハイインピーダンス (初期値)
1	ソフトウェアスタンバイモード時、 アドレスバス: 出力状態を保持 バス制御信号: High 固定

ビット0: RAM イネーブル (RAME)

内蔵 RAM の有効 / 無効を選択します。RAME ビットは、 \overline{RES} 端子の立ち上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説 明
RAME	
0	内蔵 RAM の無効
1	内蔵 RAM の有効 (初期値)

3.4 各動作モードの説明

3.4.1 モード 1

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.2 モード 2

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.4.3 モード 3

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、バスリリースコントロールレジスタ (BRCR) のビット 7 ~ 5 に 0 をライトすると有効になります (本モードでは A_{20} は常に出力となります)。

3.4.4 モード 4

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、BRCR のビット 7 ~ 5 に 0 をライトすると有効になります (本モードでは A_{20} は常に出力となります)。

3.4.5 モード 5

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってポート 1、2、5 をアドレスバスとして使用する場合は、各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR) を 1 にセットして、ポート 1、2、5 を出力に設定してください。また、 $A_{23} \sim A_{20}$ を出力する場合には、BRCR のビット 7 ~ 4 に 0 をライトしてください。

フラッシュメモリ内蔵品では、フラッシュメモリを書き換えることのできるオンボードプログラミングモードをサポートします。

バスモードはリセット直後に、8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ただし、ABWCRにより、少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.6 モード7

内蔵ROMとRAM、内部I/Oレジスタで動作するモードです。すべてのポートを使用することができます。

モード7はアドレス空間が1Mバイトとなります。

フラッシュメモリ内蔵品では、フラッシュメモリを書き換えることのできるオンボードプログラミングモードをサポートします。

3.5 各動作モードにおける端子機能

動作モードによりポート1～5、A、およびポート6₇の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表3.3 各動作モードにおけるポート1～5、A、およびポート6₇の機能

ポート	モード1	モード2	モード3	モード4	モード5	モード7
ポート1	A ₇ ～A ₀	A ₇ ～A ₀	A ₇ ～A ₀	A ₇ ～A ₀	P1 ₇ ～P1 ₀ * ²	P1 ₇ ～P1 ₀
ポート2	A ₁₅ ～A ₈	A ₁₅ ～A ₈	A ₁₅ ～A ₈	A ₁₅ ～A ₈	P2 ₇ ～P2 ₀ * ²	P2 ₇ ～P2 ₀
ポート3	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	P3 ₇ ～P3 ₀
ポート4	P4 ₇ ～P4 ₀ * ¹	D ₇ ～D ₀ * ¹	P4 ₇ ～P4 ₀ * ¹	D ₇ ～D ₀ * ¹	P4 ₇ ～P4 ₀ * ¹	P4 ₇ ～P4 ₀
ポート5	A ₁₉ ～A ₁₆	A ₁₉ ～A ₁₆	A ₁₉ ～A ₁₆	A ₁₉ ～A ₁₆	P5 ₃ ～P5 ₀ * ²	P5 ₃ ～P5 ₀
ポート6 ₇	* ⁵	* ⁵	* ⁵	* ⁵	* ⁵	6 ₇ * ⁵
ポートA	PA ₇ ～PA ₄	PA ₇ ～PA ₄	PA ₆ ～PA ₄ , A ₂₀ * ³	PA ₆ ～PA ₄ , A ₂₀ * ³	PA ₇ ～PA ₄ * ⁴	PA ₇ ～PA ₄

- 【注】 *¹ 初期状態を示しています。ABWCRの設定により、バスモードを切り替えることができます。8ビットモード時にはP4₇～P4₀に、16ビットバスモード時にはD₇～D₀となります。
- *² 初期状態を示しています。各々対応するデータディレクションレジスタ（P1DDR、P2DDR、P5DDR）を1に設定することにより、アドレスバスとなります。
- *³ 初期状態を示しています。A₂₀は常にアドレス出力です。PA₆～PA₄は、BRCRのビット7～5に0をライトすることによりA₂₃～A₂₁出力になります。
- *⁴ 初期状態を示しています。PA₇～PA₄は、BRCRのビット7～4に0をライトすることによりA₂₃～A₂₀出力になります。
- *⁵ 初期状態を示しています。モード1～5時、はMSTCRHのビット7に1をライトすることによりP6₇になります。モード7時、P6₇はMSTCRHのビット7に0をライトすることにより 出力になります。

3.6 各動作モードのメモリマップ

本LSIのメモリマップを図3.1、図3.2に示します。アドレス空間は8エリアに分割されています。

BCRのEMCビットを書き換えることにより、2種類のメモリマップを選択可能です。詳細は「6.2.5 バスコントロールレジスタ」を参照してください。

モード1とモード2、モード3とモード4ではそれぞれバスモードの初期状態が異なります。

また、モード1、2、7(1Mバイトモード)とモード3、4、5(16Mバイトモード)で、内蔵RAMおよび内部I/Oレジスタの配置が異なります。また、CPUのアドレッシングモードのうち、絶対アドレス8ビット/16ビット(@aa:8/@aa:16)で指定できる範囲が異なります。

3.6.1 リザーブ領域について

本LSIのメモリマップ上にはリード/ライトアクセスが禁止されているリザーブ領域があります。下記のリザーブ領域にアクセスした場合、正常動作が保証されないので注意してください。

(1) 内部I/Oレジスタ空間のリザーブ領域

H8/3069Fの内部I/Oレジスタ空間にはアクセス禁止のリザーブ領域があります。詳細は、「付録B 内部I/Oレジスタ一覧」を参照してください。

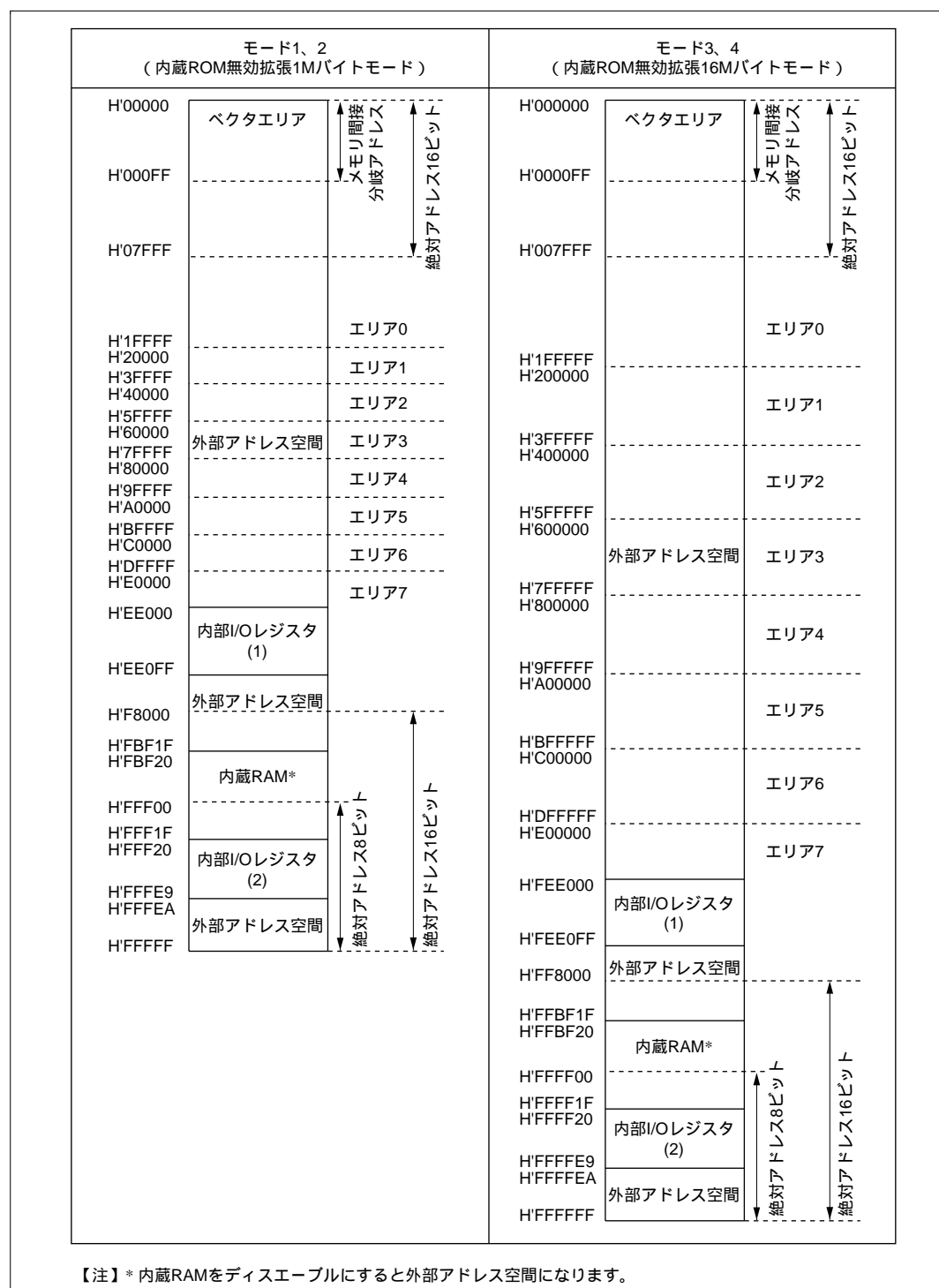


図 3.1 H8/3069F の各動作モードにおけるメモリマップ (EMC ビット = 1 のとき) (1)

3. MCU 動作モード

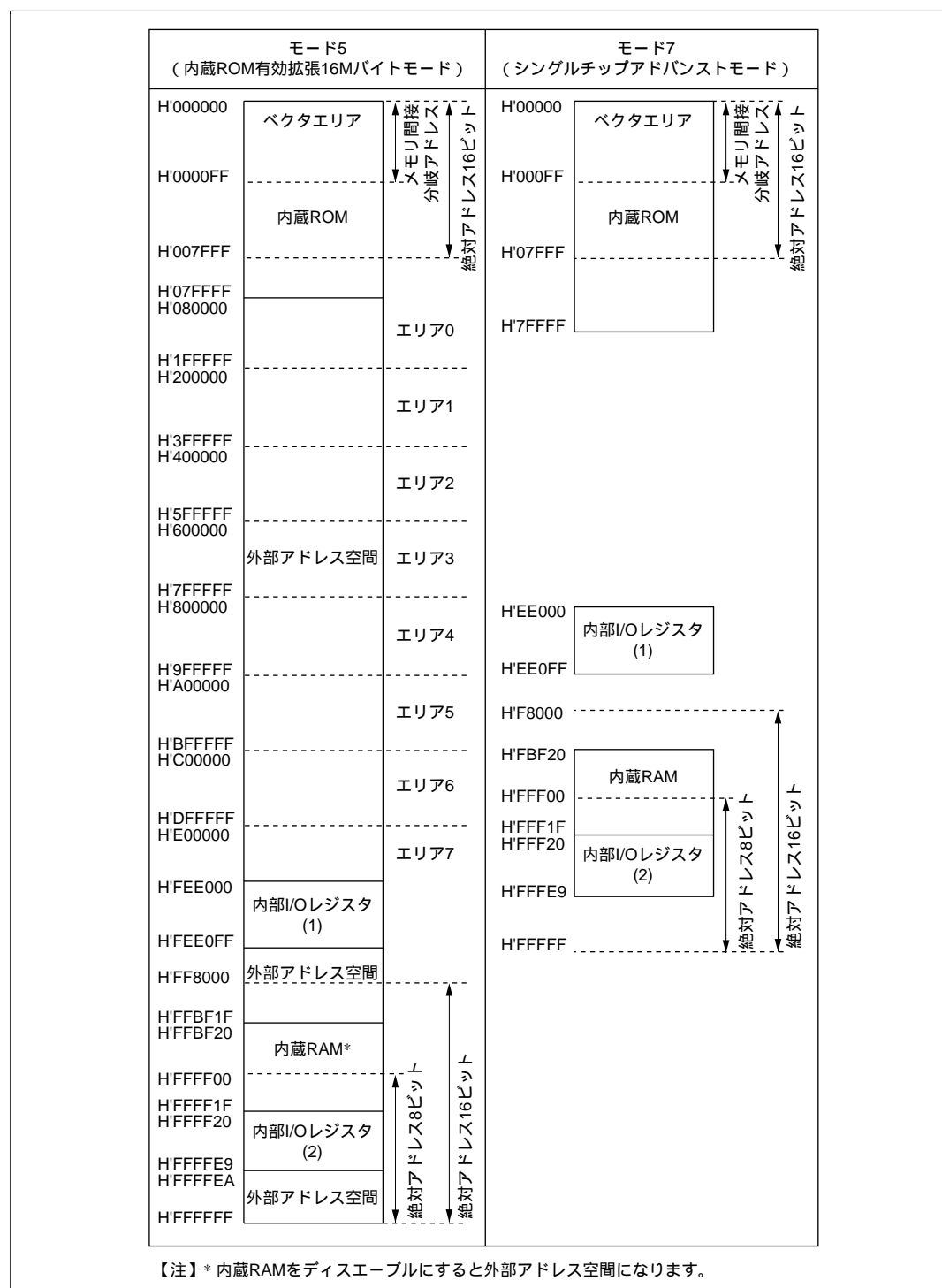


図 3.1 H8/3069F の各動作モードにおけるメモリマップ (EMC ビット = 1 のとき) (2)

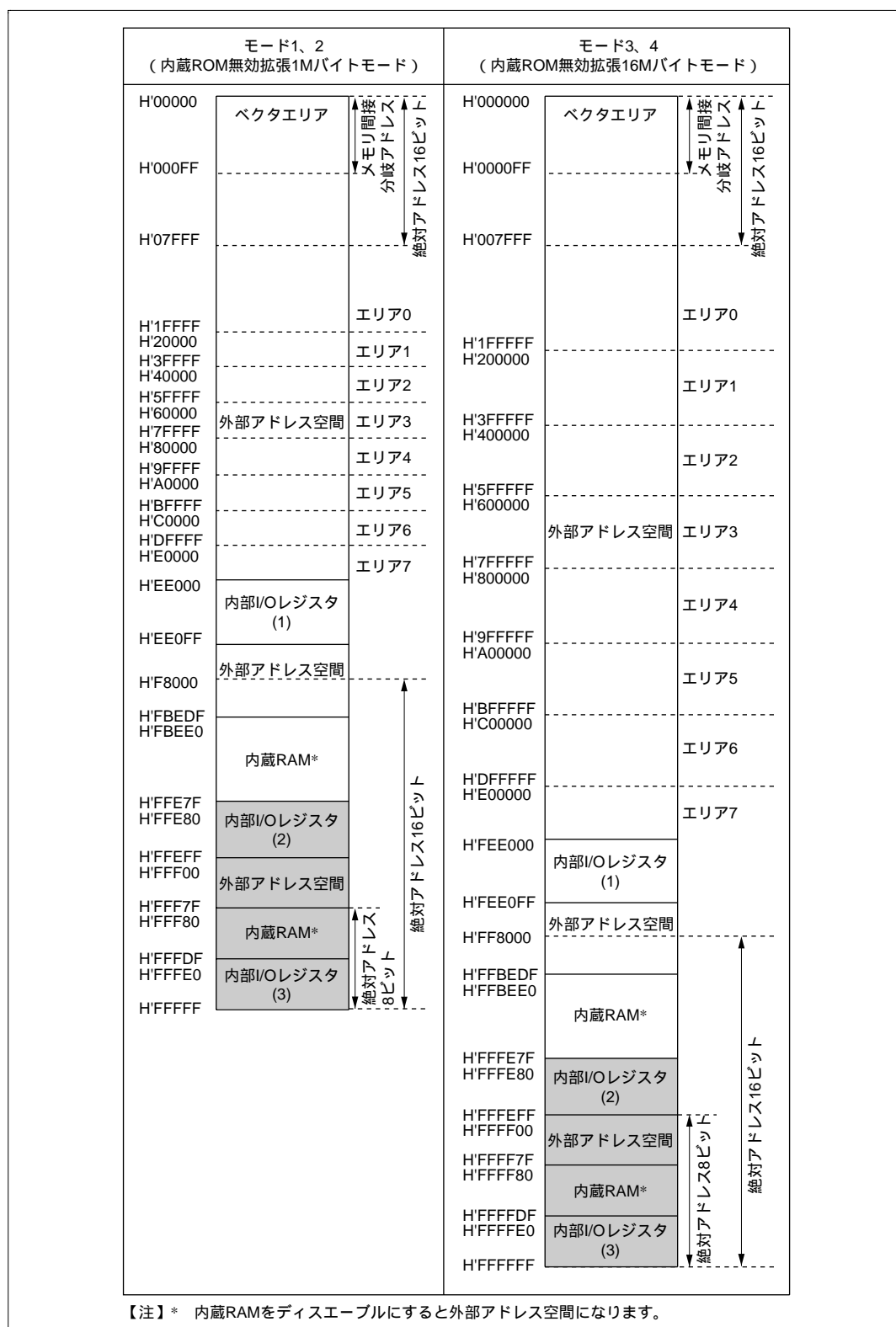


図 3.2 H8/3069F の各動作モードにおけるメモリマップ (EMC ビット=0 のとき) (1)

3. MCU 動作モード

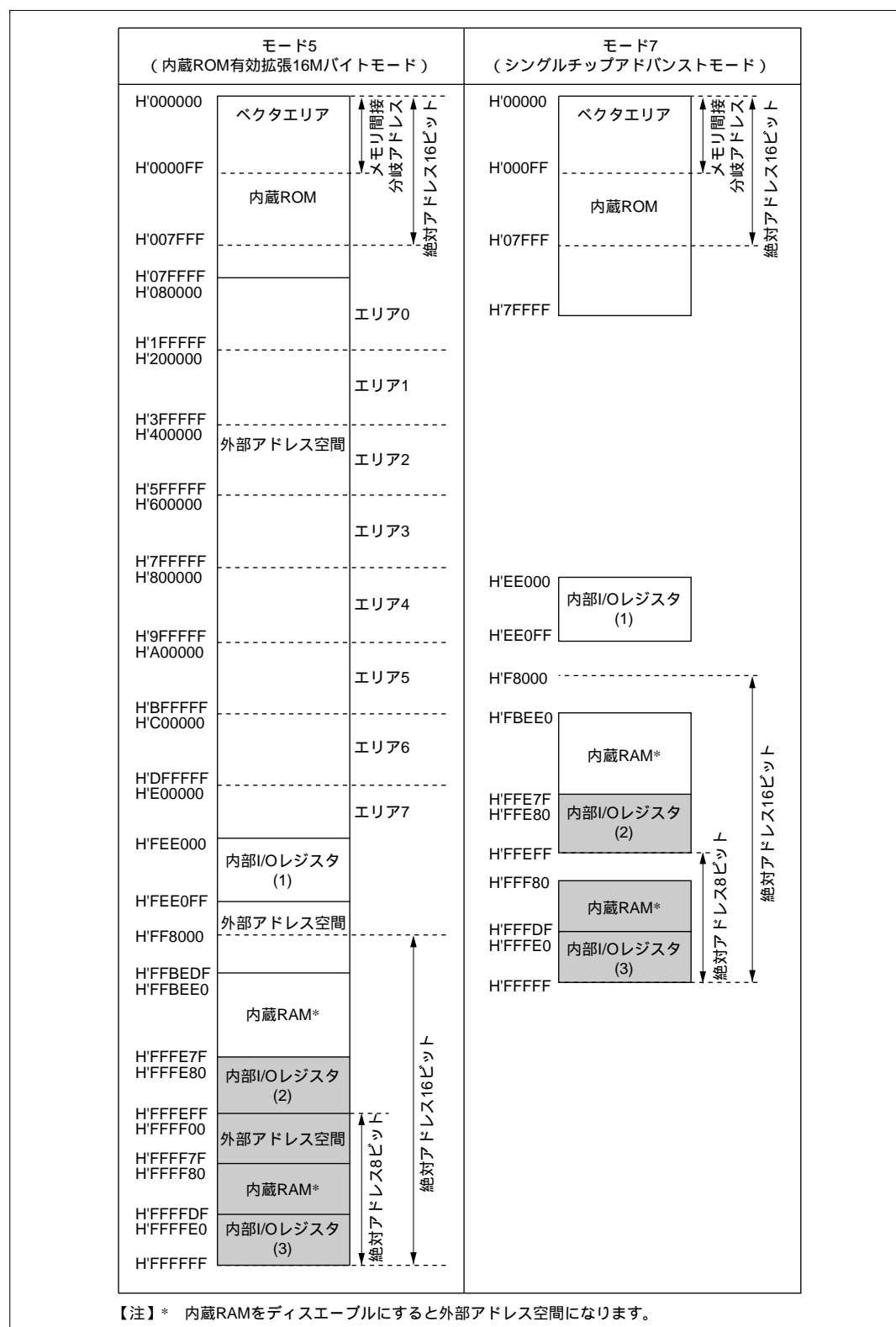


図 3.2 H8/3069F の各動作モードにおけるメモリマップ (EMC ビット=0 のとき) (2)

4. 例外処理

第4章 目次

4.1	概要	87
	4.1.1 例外処理の種類と優先度	87
	4.1.2 例外処理の動作	87
	4.1.3 例外処理要因とベクタテーブル	87
4.2	リセット	89
	4.2.1 概要	89
	4.2.2 リセットシーケンス	89
	4.2.3 リセット直後の割り込み	91
4.3	割り込み	92
4.4	トラップ命令	93
4.5	例外処理後のスタックの状態	94
4.6	スタック使用上の注意	95

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
<div style="display: flex; align-items: center;"> <div style="writing-mode: vertical-rl; text-orientation: upright; margin-right: 5px;">↑</div> <div style="text-align: center;">高</div> </div>	リセット	RES 端子が Low レベルから High レベルに変化すると、直ちに開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。
低		

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCR の割り込みマスクビットを 1 にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

【注】リセット例外処理の場合は上記 (2)、(3) の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

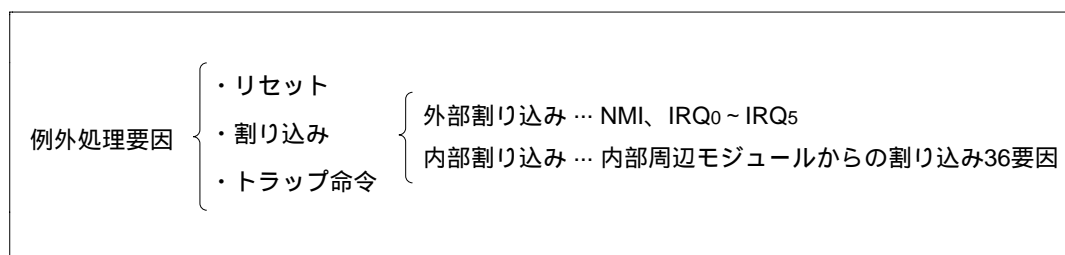


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

			ベクタアドレス ^{*1}	
			アドバンストモード	ノーマルモード ^{*3}
リセット		0	H'0000 ~ H'0003	H'0000 ~ H'0001
システム予約		1	H'0004 ~ H'0007	H'0002 ~ H'0003
		2	H'0008 ~ H'000B	H'0004 ~ H'0005
		3	H'000C ~ H'000F	H'0006 ~ H'0007
		4	H'0010 ~ H'0013	H'0008 ~ H'0009
		5	H'0014 ~ H'0017	H'000A ~ H'000B
		6	H'0018 ~ H'001B	H'000C ~ H'000D
外部割り込み NMI		7	H'001C ~ H'001F	H'000E ~ H'000F
トラップ命令 (4 要因)		8	H'0020 ~ H'0023	H'0010 ~ H'0011
		9	H'0024 ~ H'0027	H'0012 ~ H'0013
		10	H'0028 ~ H'002B	H'0014 ~ H'0015
		11	H'002C ~ H'002F	H'0016 ~ H'0017
外部割り込み	IRQ ₀	12	H'0030 ~ H'0033	H'0018 ~ H'0019
	IRQ ₁	13	H'0034 ~ H'0037	H'001A ~ H'001B
	IRQ ₂	14	H'0038 ~ H'003B	H'001C ~ H'001D
	IRQ ₃	15	H'003C ~ H'003F	H'001E ~ H'001F
	IRQ ₄	16	H'0040 ~ H'0043	H'0020 ~ H'0021
	IRQ ₅	17	H'0044 ~ H'0047	H'0022 ~ H'0023
システム予約		18	H'0048 ~ H'004B	H'0024 ~ H'0025
		19	H'004C ~ H'004F	H'0026 ~ H'0027
内部割り込み ^{*2}		20	H'0050 ~ H'0053	H'0028 ~ H'0029
		63	H'00FC ~ H'00FF	H'007E ~ H'007F

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

*3 H8/3069F では設定できません。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は、「第 12 章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 システムクロック () サイクルの間 Low レベルにしてください。リセット状態の各端子の状態は「付録 D.2 リセット時の端子状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後、High レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされ、CCR の I ビットが 1 にセットされます。
- (2) リセット例外処理ベクタアドレス (アドバンスモード時は H'0000 ~ H'0003、ノーマルモード時は H'0000 ~ H'0001) をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

【注】 H8/3069F では、ノーマルモードに設定できません。

モード 1、3 のリセットシーケンスを図 4.2 に、モード 2、4 のリセットシーケンスを図 4.3 に示します。

4. 例外処理

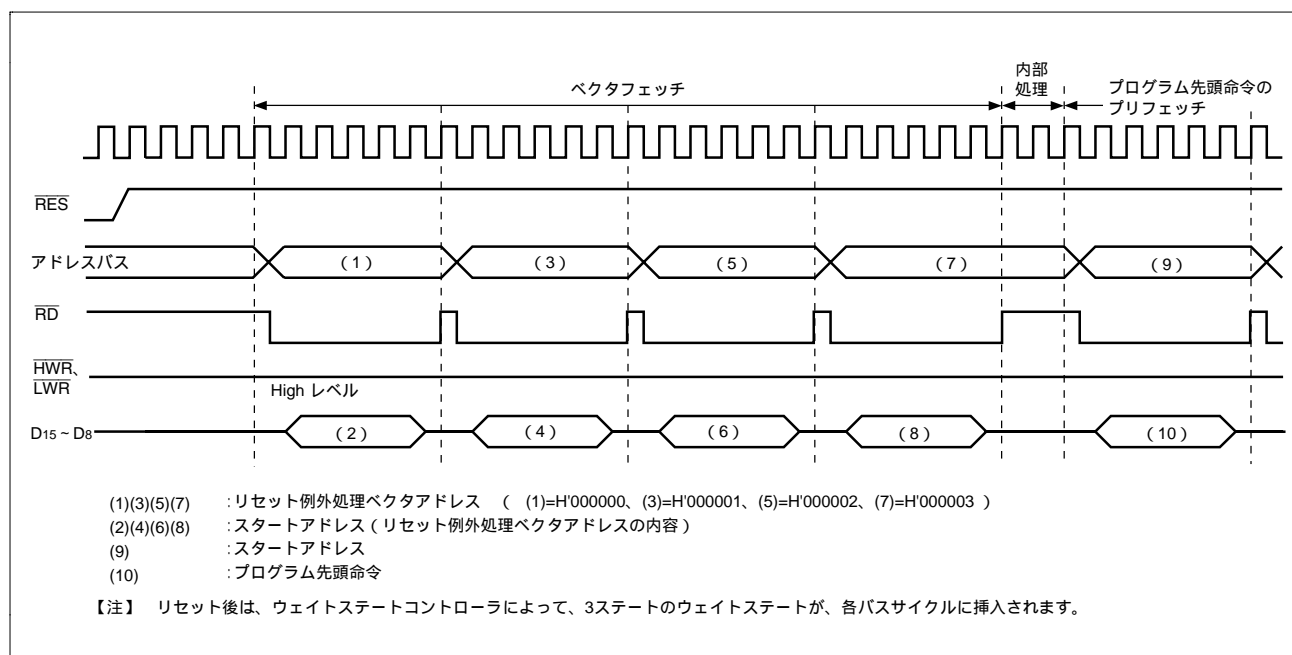


図 4.2 リセットシーケンス (モード 1、3)

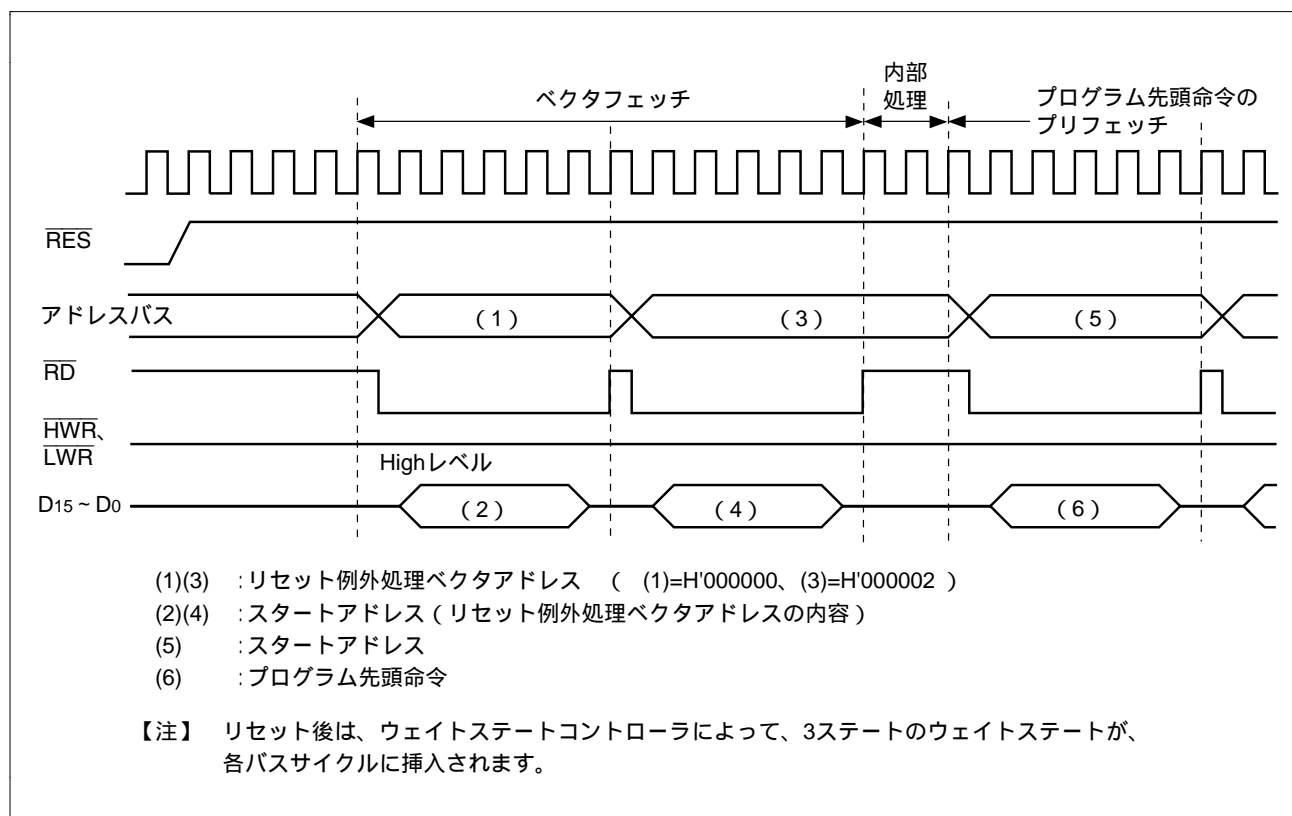


図 4.3 リセットシーケンス (モード 2、4)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP をイニシャライズする命令としてください (例 : MOV . L #xx : 32、SP)。

4.3 割り込み

割り込み例外処理を開始させる要因には、7つの外部割り込み（NMI、IRQ₀～IRQ₅）と、内蔵周辺モジュールからの要求による36の内部要因があります。割り込み要因と要因数を図4.4に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、DRAMインタフェース、16ビットタイマ、8ビットタイマ、DMAコントローラ（DMAC）、シリアルコミュニケーションインタフェース（SCI）、およびA/D変換器があります。割り込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割り込みで、常に受け付けられます*。割り込みは、割り込みコントローラによって制御されます。割り込みコントローラは、NMI以外の割り込みを2レベルの優先順位を設定して、多重割り込みの制御を行うことができます。割り込みの優先順位は、割り込みコントローラのインタラプトプライオリティレジスタA、B（IPRA、B）に設定します。

【注】* フラッシュメモリへの書き込み／消去動作時、NMI入力が禁止される場合があります。詳細は「18.4.5 フラッシュベクタアドレスコントロールレジスタ（FVACR）」を参照してください。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

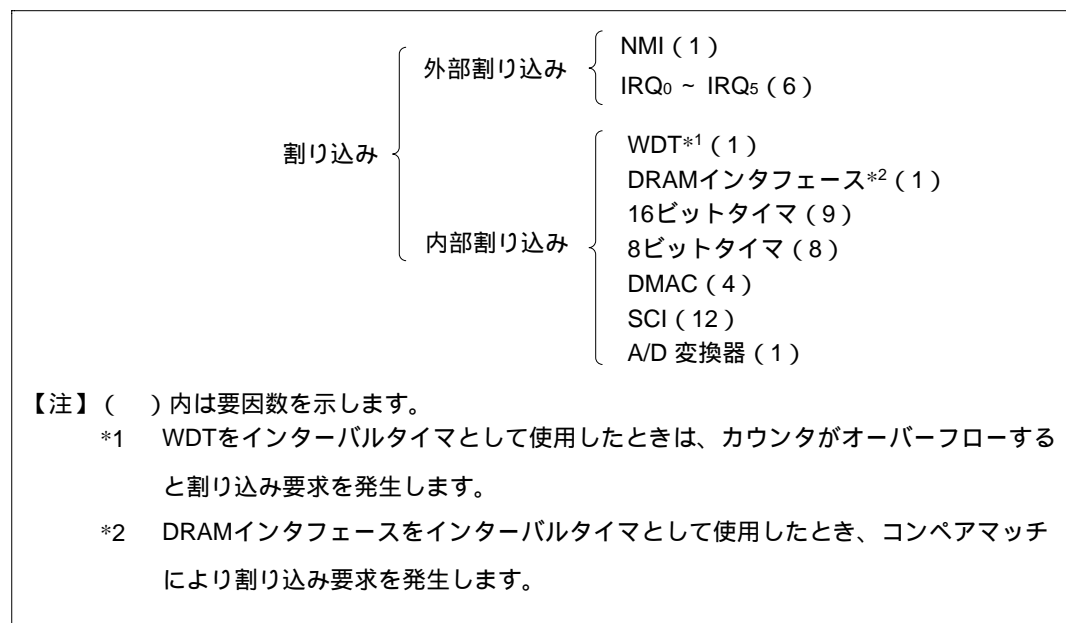


図 4.4 割り込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときには CCR の I ビット、UI ビットがそれぞれ 1 にセットされます。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

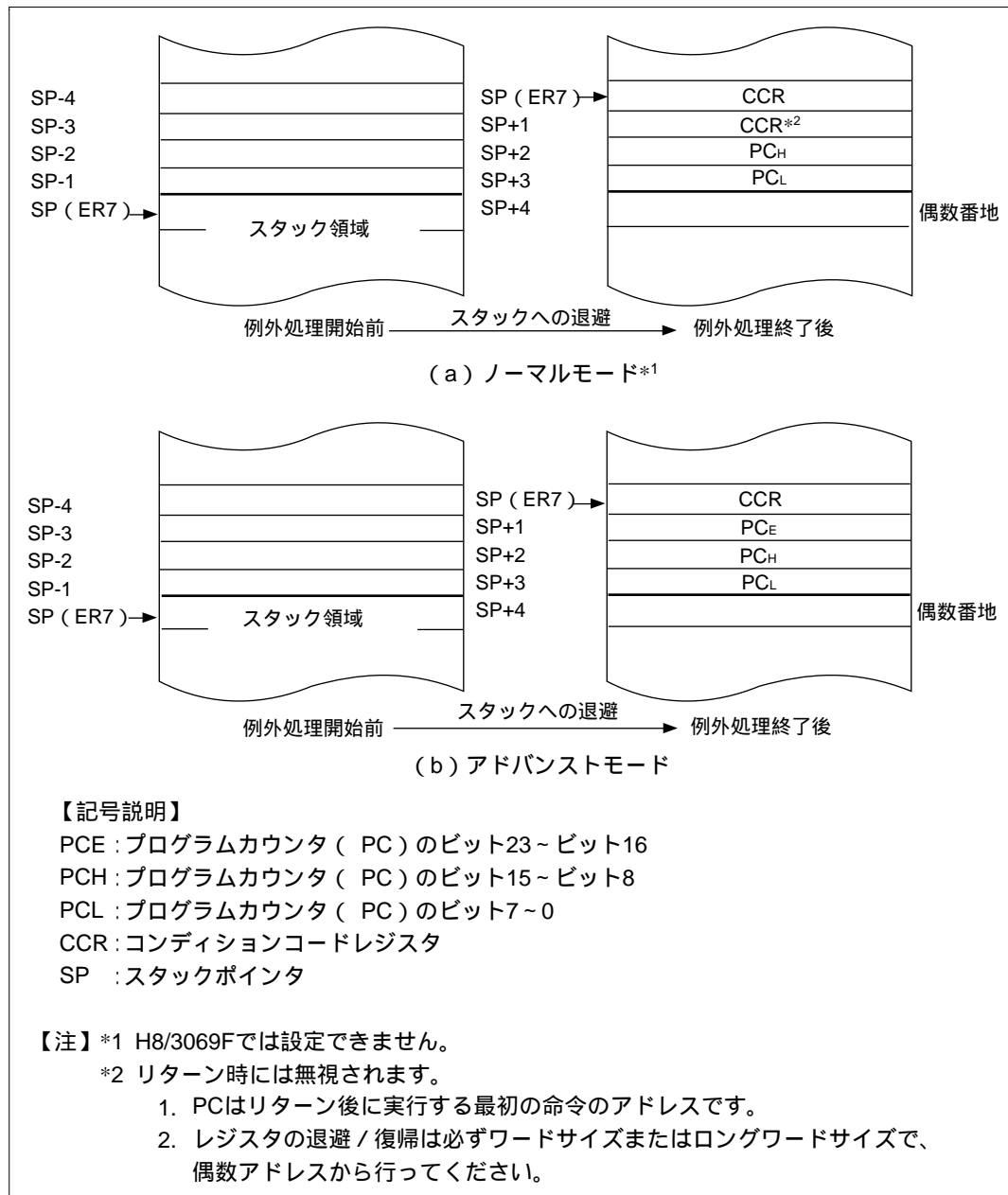


図 4.5 例外処理終了後のスタックの状態

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH . W  Rn  ( MOV . W  Rn , @ - SP )
```

```
PUSH . L  ERn ( MOV . L  ERn , @ - SP )
```

また、レジスタの復帰は、

```
POP . W  Rn  ( MOV . W  @SP+ , Rn )
```

```
POP . L  ERn ( MOV . L  @SP+ , ERn )
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

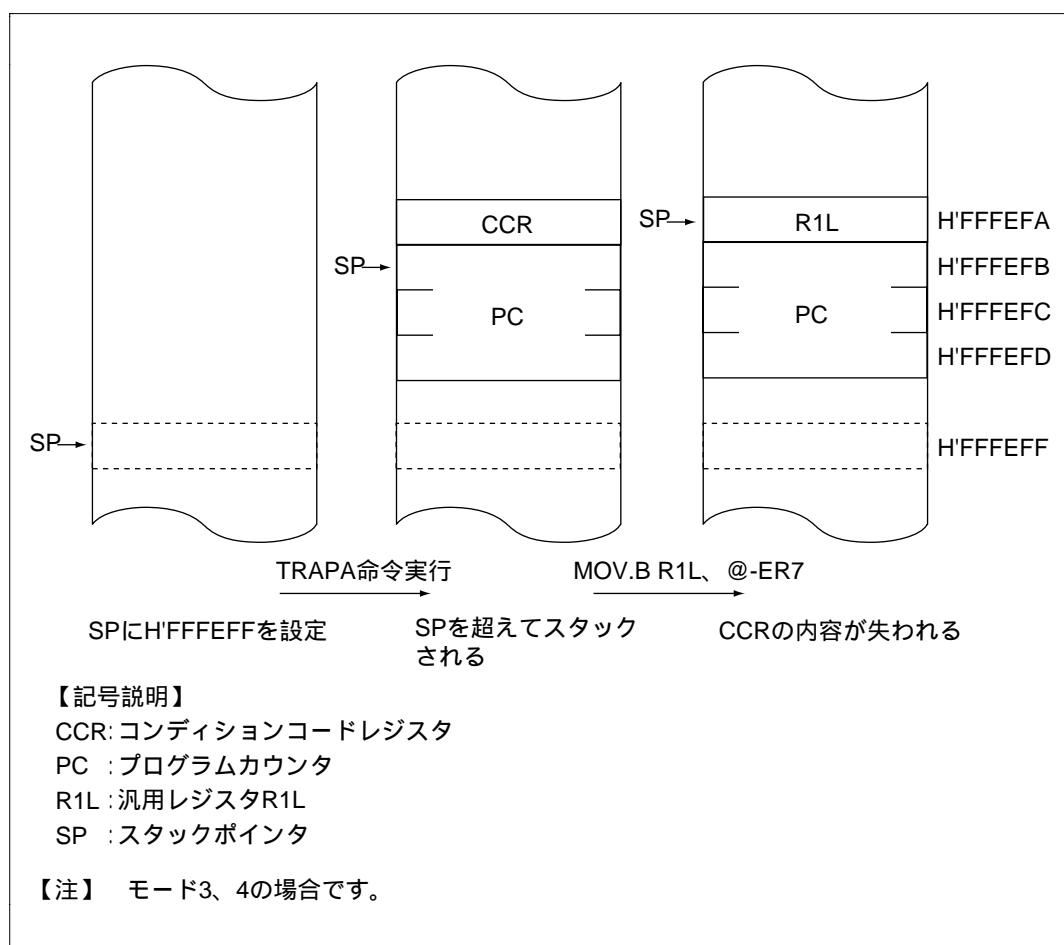


図 4.6 SP を奇数に設定したときの動作

5. 割り込みコントローラ

第5章 目次

5.1	概要	99
5.1.1	特長	99
5.1.2	ブロック図	100
5.1.3	端子構成.....	101
5.1.4	レジスタ構成	101
5.2	各レジスタの説明	102
5.2.1	システムコントロールレジスタ (SYSCR)	102
5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	103
5.2.3	IRQ ステータスレジスタ (ISR)	110
5.2.4	IRQ イネーブルレジスタ (IER)	111
5.2.5	IRQ センスコントロールレジスタ (ISCR)	112
5.3	割り込み要因	113
5.3.1	外部割り込み	113
5.3.2	内部割り込み	114
5.3.3	割り込み例外処理ベクタテーブル	115
5.4	割り込み動作	117
5.4.1	割り込み動作の流れ	117
5.4.2	割り込み例外処理シーケンス	122
5.4.3	割り込み応答時間	123
5.5	使用上の注意	124
5.5.1	割り込みの発生とディスエーブルとの競合	124
5.5.2	割り込みの受け付けを禁止している命令	125
5.5.3	EEPMOV 命令実行中の割り込み	125

5.1 概要

5.1.1 特長

割り込みコントローラには、次の特長があります。

IPR により、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ A、B (IPRA、B) を備えており、NMI 以外の割り込みを要因ごとまたはモジュールごとに 2 レベルの優先順位を設定できます。

CPU のコンディションコードレジスタ (CCR) の I、UI ビットにより、3 レベルの許可 / 禁止状態を設定可能

7 本の外部割り込み端子

NMI は最優先の割り込みで常に受け付けられます*。NMI は立ち上がりエッジ / 立ち下がりエッジを選択できます。また IRQ₀ ~ IRQ₅ は立ち下がりエッジ / レベルセンスを独立に選択できます。

【注】 * フラッシュメモリへの書き込み / 消去動作時、NMI 入力が禁止される場合があります。詳細は「18.4.5 フラッシュベクタアドレスコントロールレジスタ (FVACR) 」を参照してください。

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

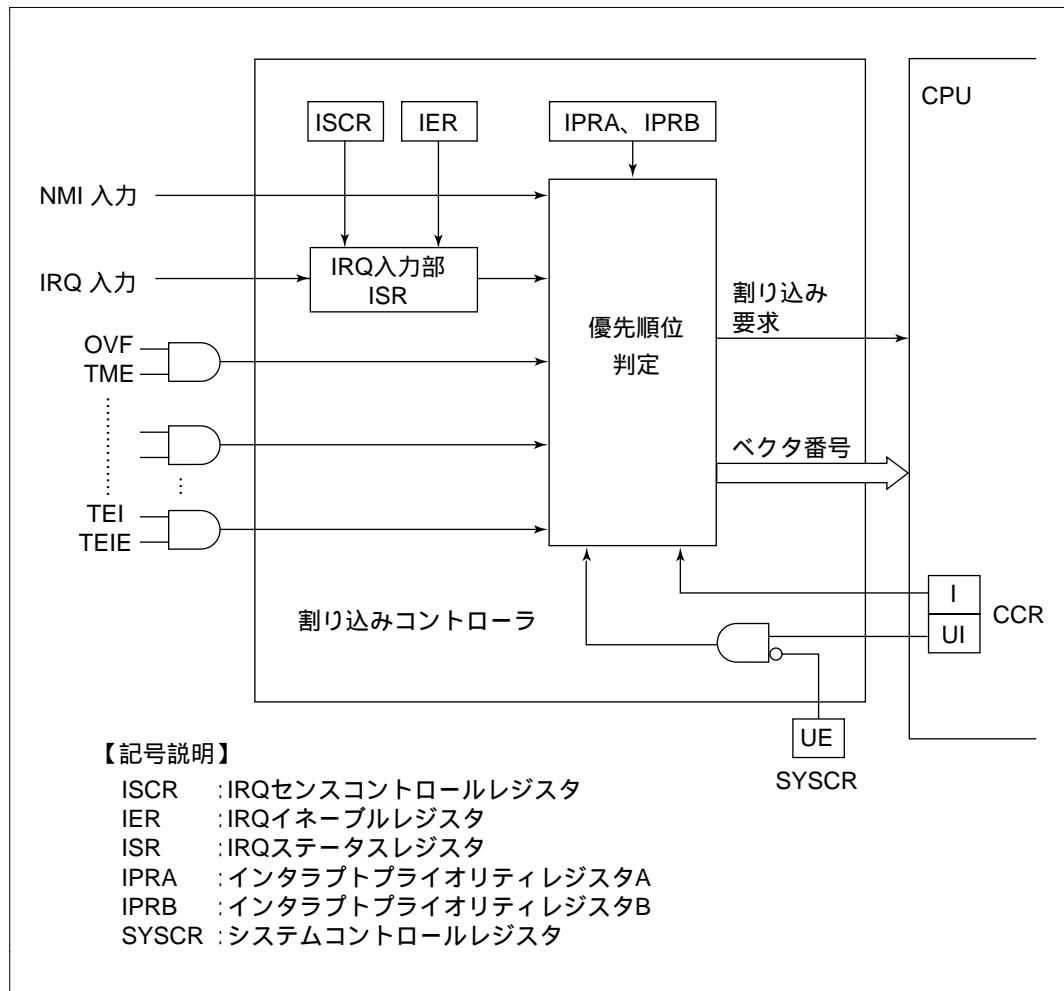


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	略 称	入出力	機 能
ノンマスカブル割り込み	NMI	入力	マスク不可能な外部割り込み*、立ち上がりエッジ / 立ち下がりエッジ選択可能
外部割り込み要求 5 ~ 0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$	入力	マスク可能な外部割り込み、立ち下がりエッジ / レベルセンス選択可能

【注】 * フラッシュメモリへの書き込み / 消去動作時、NMI 入力が禁止される場合があります。
詳細は「18.4.5 フラッシュベクタアドレスコントロールレジスタ (FVACR)」を参照してください。

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09
H'EE014	IRQ センスコントロールレジスタ	ISCR	R/W	H'00
H'EE015	IRQ イネーブルレジスタ	IER	R/W	H'00
H'EE016	IRQ ステータスレジスタ	ISR	R/(W) * ²	H'00
H'EE018	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'EE019	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

【注】 *¹ アドバンストモード時のアドレス下位 20 ビットを示しています。

*² フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCR の UI ビットの動作の選択、NMI の検出エッジの選択、および内蔵 RAM 有効/無効の選択を行います。

ここでは、ビット 3、2 についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセット、またはハードウェアスタンバイモード時に H'09 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ソフトウェアスタンバイ			スタンバイタイムセレクト2~0		ユーザビットイネーブル CCRのUIビットをユーザビットとして 使用するか、割り込みマスクビットと して使用するかを選択するビットです。		RAMイネーブル
								ソフトウェアスタンバイ 出力ポートイネーブル
						NMIエッジセレクト NMI端子の入力エッジを 選択するビットです。		

ビット3: ユーザビットイネーブル (UE)

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCR の UI ビットを割り込みマスクビットとして使用
1	CCR の UI ビットをユーザビットとして使用 (初期値)

ビット2: NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI 入力 of 立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力 of 立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A、B (IPRA、IPRB)

IPRA、IPRB は各々8 ビットのリード/ライト可能なレジスタで割り込みの優先順位を制御します。

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRA は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。

ビット:	7	6	5	4	3	2	1	0
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								<u>プライオリティレベルA0</u> 16ビットタイマチャンネル2の割り込み要求のプライオリティレベルを設定するビットです。
							<u>プライオリティレベルA1</u> 16ビットタイマチャンネル1の割り込み要求のプライオリティレベルを設定するビットです。	
						<u>プライオリティレベルA2</u> 16ビットタイマチャンネル0の割り込み要求のプライオリティレベルを設定するビットです。		
				<u>プライオリティレベルA3</u> WDT、DRAMインタフェース、A/D変換器の割り込み要求のプライオリティレベルを設定するビットです。				
			<u>プライオリティレベルA4</u> IRQ4、IRQ5の割り込み要求のプライオリティレベルを設定するビットです。					
		<u>プライオリティレベルA5</u> IRQ2、IRQ3の割り込み要求のプライオリティレベルを設定するビットです。						
	<u>プライオリティレベルA6</u> IRQ1の割り込み要求のプライオリティレベルを設定するビットです。							
		<u>プライオリティレベルA7</u> IRQ0の割り込み要求のプライオリティレベルを設定するビットです。						

IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7: プライオリティレベル A7 (IPRA7)

IRQ₀の割り込み要求のプライオリティレベルを設定します。

ビット7	説 明
IPRA7	
0	IRQ ₀ の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	IRQ ₀ の割り込み要求はプライオリティレベル1(優先)

ビット6: プライオリティレベル A6 (IPRA6)

IRQ₁の割り込み要求のプライオリティレベルを設定します。

ビット6	説 明
IPRA6	
0	IRQ ₁ の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	IRQ ₁ の割り込み要求はプライオリティレベル1(優先)

ビット5: プライオリティレベル A5 (IPRA5)

IRQ₂、IRQ₃の割り込み要求のプライオリティレベルを設定します。

ビット5	説 明
IPRA5	
0	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル1(優先)

ビット4: プライオリティレベル A4 (IPRA4)

IRQ₄、IRQ₅の割り込み要求のプライオリティレベルを設定します。

ビット4	説 明
IPRA4	
0	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル1(優先)

ビット3: プライオリティレベル A3 (IPRA3)

WDT、DRAM インタフェース、A/D 変換器の割り込み要求のプライオリティレベルを設定します。

ビット3	説 明
IPRA3	
0	WDT、DRAM インタフェース、A/D 変換器の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	WDT、DRAM インタフェース、A/D 変換器の割り込み要求はプライオリティレベル1 (優先)

ビット2: プライオリティレベル A2 (IPRA2)

16 ビットタイマチャンネル0 割り込み要求のプライオリティレベルを設定します。

ビット2	説 明
IPRA2	
0	16 ビットタイマチャンネル0 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	16 ビットタイマチャンネル0 の割り込み要求はプライオリティレベル1 (優先)

ビット1: プライオリティレベル A1 (IPRA1)

16 ビットタイマチャンネル1 の割り込み要求のプライオリティレベルを設定します。

ビット1	説 明
IPRA1	
0	16 ビットタイマチャンネル1 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	16 ビットタイマチャンネル1 の割り込み要求はプライオリティレベル1 (優先)

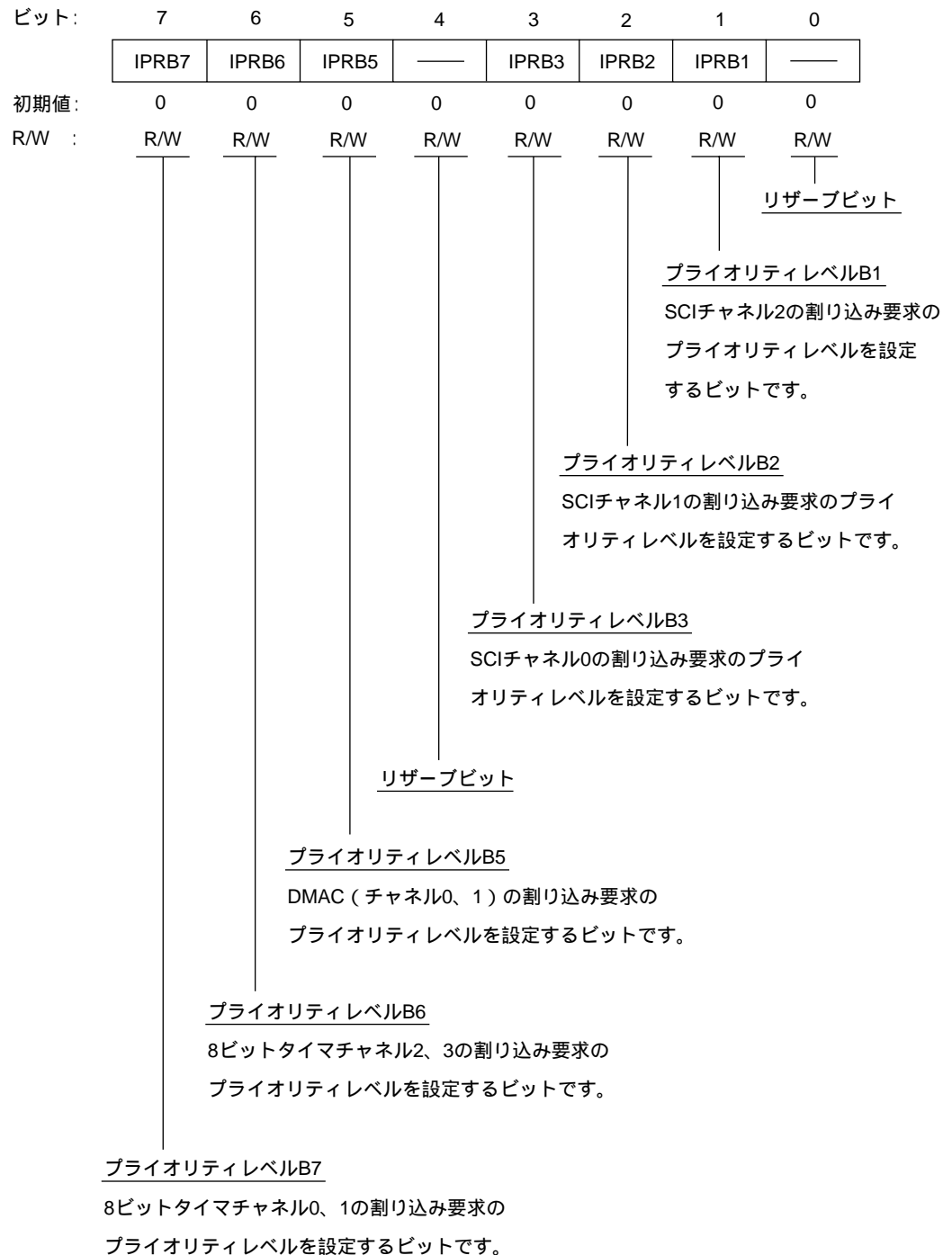
ビット0: プライオリティレベル A0 (IPRA0)

16 ビットタイマチャンネル2 の割り込み要求のプライオリティレベルを設定します。

ビット0	説 明
IPRA0	
0	16 ビットタイマチャンネル2 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	16 ビットタイマチャンネル2 の割り込み要求はプライオリティレベル1 (優先)

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7:プライオリティレベル B7 (IPRB7)

8ビットタイマチャネル0、1の割り込み要求のプライオリティレベルを設定します。

ビット7	説 明
IPRB7	
0	8ビットタイマチャネル0、1の割り込み要求はプライオリティレベル0（非優先） （初期値）
1	8ビットタイマチャネル0、1の割り込み要求はプライオリティレベル1（優先）

ビット6:プライオリティレベル B6 (IPRB6)

8ビットタイマチャネル2、3の割り込み要求のプライオリティレベルを設定します。

ビット6	説 明
IPRB6	
0	8ビットタイマチャネル2、3の割り込み要求はプライオリティレベル0（非優先） （初期値）
1	8ビットタイマチャネル2、3の割り込み要求はプライオリティレベル1（優先）

ビット5:プライオリティレベル B5 (IPRB5)

DMAC（チャネル0、1）の割り込み要求のプライオリティレベルを設定します。

ビット5	説 明
IPRB5	
0	DMAC（チャネル0、1）の割り込み要求はプライオリティレベル0（非優先） （初期値）
1	DMAC（チャネル0、1）の割り込み要求はプライオリティレベル1（優先）

ビット4:リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット3: プライオリティレベル B3 (IPRB3)

SCI チャンネル0 の割り込み要求のプライオリティレベルを設定します。

ビット3	説 明
IPRB3	
0	SCI チャンネル0 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCI チャンネル0 の割り込み要求はプライオリティレベル1 (優先)

ビット2: プライオリティレベル B2 (IPRB2)

SCI チャンネル1 の割り込み要求のプライオリティレベルを設定します。

ビット2	説 明
IPRB2	
0	SCI チャンネル1 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCI チャンネル1 の割り込み要求はプライオリティレベル1 (優先)

ビット1: プライオリティレベル B1 (IPRB1)

SCI チャンネル2 の割り込み要求のプライオリティレベルを設定します。

ビット1	説 明
IPRB1	
0	SCI チャンネル2 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCI チャンネル2 の割り込み要求はプライオリティレベル1 (優先)

ビット0: リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQ ステータスレジスタ (ISR)

ISR は 8 ビットのリード / ライト可能なレジスタで、IRQ₀ ~ IRQ₅ 割り込み要求のステータスの表示を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット
IRQ5 ~ IRQ0 フラグ
 IRQ5 ~ IRQ0 フラグ割り込み要求の
 ステータスを表示するビットです。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5 ~ 0: IRQ₅ ~ IRQ₀ フラグ (IRQ5F ~ IRQ0F)

IRQ₅ ~ IRQ₀ 割り込み要求のステータスの表示を行います。

ビット 5 ~ 0	説 明
IRQ5F ~ IRQ0F	
0	[クリア条件] (初期値) (1) IRQ _n F = 1 の状態で IRQ _n F フラグをリードした後、IRQ _n F フラグに 0 をライトしたとき (2) IRQ _n SC = 0、 $\overline{\text{IRQ}}_n$ 入力が High レベルの状態での割り込み例外処理を実行したとき (3) IRQ _n SC = 1 の状態で IRQ _n 割り込み例外処理を実行したとき
1	[セット条件] (1) IRQ _n SC = 0 の状態で $\overline{\text{IRQ}}_n$ 入力が Low レベルになったとき (2) IRQ _n SC = 1 の状態で $\overline{\text{IRQ}}_n$ 入力に立ち下がりエッジが発生したとき

(n = 5 ~ 0)

5.2.4 IRQ イネーブルレジスタ (IER)

IER は 8 ビットのリード / ライト可能なレジスタで、IRQ₅ ~ IRQ₀ 割り込み要求の許可 / 禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		IRQ ₅ ~ IRQ ₀ イネーブル					
			IRQ ₅ ~ IRQ ₀ 割り込みを許可 / 禁止するかを 選択するビットです。					

IER はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6: リザーブビット

リザーブビットです。リード / ライト可能ですが、割り込み要求の許可 / 禁止には関係ありません。

ビット 5 ~ 0: IRQ₅ ~ IRQ₀ イネーブル (IRQ5E ~ IRQ0E)

IRQ₅ ~ IRQ₀ 割り込みを許可 / 禁止するかを選択します。

ビット 5 ~ 0	説明
IRQ5E ~ IRQ0E	
0	IRQ ₅ ~ IRQ ₀ 割り込みを禁止 (初期値)
1	IRQ ₅ ~ IRQ ₀ 割り込みを許可

5.2.5 IRQ センスコントロールレジスタ (ISCR)

ISCR は 8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子の入力のレベルセンスまたは立ち下がりエッジを選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		IRQ5 ~ IRQ0センスコントロール					
	IRQ5 ~ IRQ0割り込みのレベルセンスまたは立ち下がりエッジを選択するビットです。							

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6: リザーブビット

リザーブビットです。リード/ライト可能ですが、レベルセンスまたは立ち下がりエッジの選択には関係ありません。

ビット 5 ~ 0: $\text{IRQ}_5 \sim \text{IRQ}_0$ センスコントロール (IRQ5SC ~ IRQ0SC)

$\text{IRQ}_5 \sim \text{IRQ}_0$ 割り込みを $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子のレベルセンスで要求するか、立ち下がりエッジで要求するかを選択します。

ビット 5 ~ 0	説明
IRQ5SC ~ IRQ0SC	
0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の Low レベルで割り込み要求を発生 (初期値)
1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がりエッジで割り込み要求を発生

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ₀～IRQ₅）と内部割り込み（36 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ₀～IRQ₅の7 要因があります。このうち、NMI、IRQ₀～IRQ₂はソフトウェアスタンバイモードからの復帰に使用できます。

（1）NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます*。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

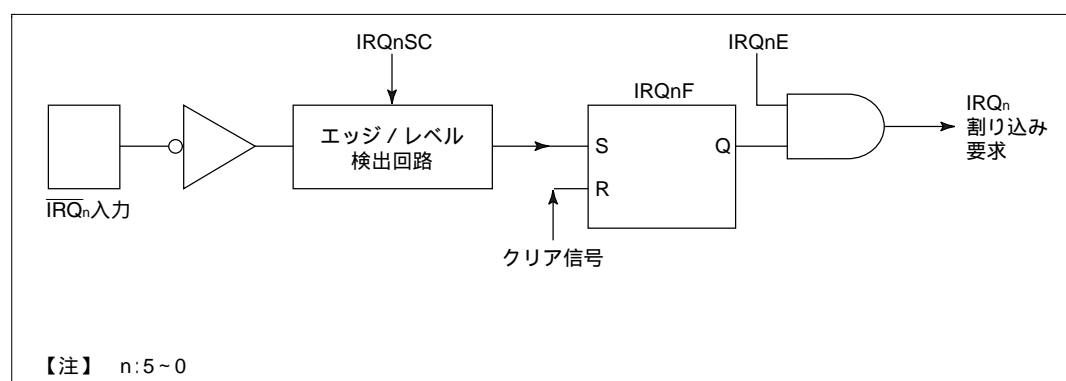
【注】* フラッシュメモリへの書き込み / 消去動作時、NMI 入力禁止される場合があります。詳細は「18.4.5 フラッシュベクタアドレスコントロールレジスタ（FVACR）」を参照してください。

（2）IRQ₀～IRQ₅ 割り込み

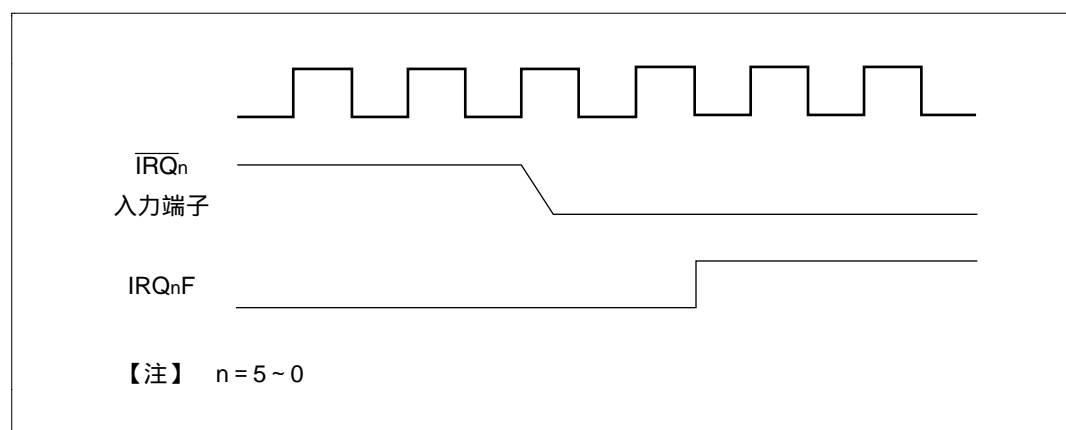
IRQ₀～IRQ₅ 割り込みは $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$ 端子の入力信号により要求されます。IRQ₀～IRQ₅ 割り込みには次の特長があります。

- $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$ 端子の Low レベルまたは立ち下がりエッジのどちらで割り込みを要求するか、ISCR で選択できます。
- IRQ₀～IRQ₅ 割り込み要求を許可するか禁止するかを、IER で選択できます。また、IPRA の IPRA7～IPRA4 ビットにより割り込みプライオリティレベルを設定できます。
- IRQ₀～IRQ₅ 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ₀～IRQ₅ 割り込みのブロック図を図 5.2 に示します。

図 5.2 IRQ₀ ~ IRQ₅ 割り込みのブロック図

IRQ_nF のセットタイミングを図 5.3 に示します。

図 5.3 IRQ_nF セットタイミング

IRQ₀ ~ IRQ₅ 割り込み例外処理のベクタ番号は 12 ~ 17 です。

IRQ₀ ~ IRQ₅ 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合は、対応する DDR を 0 にクリアし、チップセレクト出力端子、リフレッシュ出力端子、SCI の入出力端子、A/D 外部トリガ入力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みは 36 要因あります。

- (1) 各内蔵周辺モジュールには割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、B によって割り込みプライオリティレベルを設定できます。
- (3) 16 ビットタイマ、SCI、A/D 変換器の割り込み要求で DMAC の起動ができます。この場合、割り込みコントローラに対して割り込みは要求されません。このときは I、UI ビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、B により NMI 以外の割り込みの優先順位を変更することができます。

リセット後の割り込み優先順位は表 5.3 に示されるデフォルトの順位となります。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ	ベクタアドレス*1		IPR	優先 順位
		番号	アドバンストモード	ノーマルモード*2		
NMI	外部端子	7	H'001C ~ H'001F	H'000E ~ H'000F	———	高 ↑
IRQ0		12	H'0030 ~ H'0033	H'0018 ~ H'0019	IPRA7	
IRQ1		13	H'0034 ~ H'0037	H'001A ~ H'001B	IPRA6	
IRQ2		14	H'0038 ~ H'003B	H'001C ~ H'001D	IPRA5	
IRQ3		15	H'003C ~ H'003F	H'001E ~ H'001F		
IRQ4		16	H'0040 ~ H'0043	H'0020 ~ H'0021	IPRA4	
IRQ5		17	H'0044 ~ H'0047	H'0022 ~ H'0023		
リザーブ	———	18	H'0048 ~ H'004B	H'0024 ~ H'0025		
		19	H'004C ~ H'004F	H'0026 ~ H'0027		
WOVI (インターバルタイマ)	ウォッチ ドッグタイマ	20	H'0050 ~ H'0053	H'0028 ~ H'0029	IPRA3	
CMI (コンペアマッチ)	DRAM インタ フェース	21	H'0054 ~ H'0057	H'002A ~ H'002B		
リザーブ	———	22	H'0058 ~ H'005B	H'002C ~ H'002D		
ADI (A/D エンド)	A/D	23	H'005C ~ H'005F	H'002E ~ H'002F		
IMIA0 (コンペアマッチ / インプットキャプチャ A0)	16 ビット	24	H'0060 ~ H'0063	H'0030 ~ H'0031		
IMIB0 (コンペアマッチ / インプットキャプチャ B0)	タイマ	25	H'0064 ~ H'0067	H'0032 ~ H'0033		
OVI0 (オーバフロー-0)	チャンネル 0	26	H'0068 ~ H'006B	H'0034 ~ H'0035		
リザーブ	———	27	H'006C ~ H'006F	H'0036 ~ H'0037		
IMIA1 (コンペアマッチ / インプットキャプチャ A1)	16 ビット	28	H'0070 ~ H'0073	H'0038 ~ H'0039	IPRA1	
IMIB1 (コンペアマッチ / インプットキャプチャ B1)	タイマ	29	H'0074 ~ H'0077	H'003A ~ H'003B		
OVI1 (オーバフロー-1)	チャンネル 1	30	H'0078 ~ H'007B	H'003C ~ H'003D		
リザーブ	———	31	H'007C ~ H'007F	H'003E ~ H'003F		
IMIA2 (コンペアマッチ / インプットキャプチャ A2)	16 ビット	32	H'0080 ~ H'0083	H'0040 ~ H'0041	IPRA0	
IMIB2 (コンペアマッチ / インプットキャプチャ B2)	タイマ	33	H'0084 ~ H'0087	H'0042 ~ H'0043		
OVI2 (オーバフロー-2)	チャンネル 2	34	H'0088 ~ H'008B	H'0044 ~ H'0045		
リザーブ	———	35	H'008C ~ H'008F	H'0046 ~ H'0047		
CMIA0 (コンペアマッチ A0)	8 ビット	36	H'0090 ~ H'0093	H'0048 ~ H'0049	IPRB7	
CMIB0 (コンペアマッチ B0)	タイマ	37	H'0094 ~ H'0097	H'004A ~ H'004B		
CMIA1/CMIB1 (コンペアマッチ A1/B1)	チャンネル 0/1	38	H'0098 ~ H'009B	H'004C ~ H'004D		
TOVI0/TOVI1 (オーバフロー-0/1)		39	H'009C ~ H'009F	H'004E ~ H'004F		
CMIA2 (コンペアマッチ A2)	8 ビット	40	H'00A0 ~ H'00A3	H'0050 ~ H'0051	IPRB6	
CMIB2 (コンペアマッチ B2)	タイマ	41	H'00A4 ~ H'00A7	H'0052 ~ H'0053		
CMIA3/CMIB3 (コンペアマッチ A3/B3)	チャンネル 2/3	42	H'00A8 ~ H'00AB	H'0054 ~ H'0055		
TOVI2/TOVI3 (オーバフロー-2/3)		43	H'00AC ~ H'00AF	H'0056 ~ H'0057		

5. 割り込みコントローラ

[illegible]

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 H8/3069F では設定できません。

5.4 割り込み動作

5.4.1 割り込み動作の流れ

本 LSI では、割り込みの動作は UE ビットの状態によって異なります。UE = 1 のときは I ビットで割り込みの制御が行われます。UE = 0 のときは、I、UI ビットの組み合わせで割り込みの制御が行われます。表 5.4 に UE、I、UI ビットの各組み合わせのときの割り込みの状態を示します。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます*。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は無視されます。

【注】 * フラッシュメモリへの書き込み / 消去動作時、NMI 入力禁止される場合があります。詳細は「18.4.5 フラッシュベクタアドレスコントロールレジスタ (FVACR)」を参照してください。

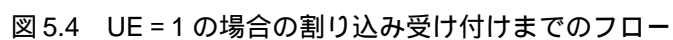
表 5.4 UE、I、UI ビットの組み合わせによる割り込みの状態

SYSCR	CCR		状 態
	UE	I UI	
1	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	-	NMI 以外の割り込みを受け付けません。
0	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	0	NMI およびプライオリティレベル 1 の割り込み要因のみを受け付けます。
	1	1	NMI 以外の割り込みを受け付けません。

(1) UE ビット = 1 の場合

IRQ₀ ~ IRQ₅ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I ビットにより一括して、許可 / 禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。プライオリティレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.4 に示します。



- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPR に設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。IPR の設定が同一の割り込み要求が同時に発生したときは、表 5.3 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] I ビットを参照します。I ビットが0にクリアされているときは、割り込み要求が受け付けられます。I ビットが1にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I ビットが1にセットされます。これにより、NMI を除く割り込みはマスクされます。
- [7] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

(2) UE ビット = 0 の場合

IRQ₀ ~ IRQ₃ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I、UI ビット、IPR によって3レベルの許可 / 禁止状態を実現できます。

- (a) プライオリティレベル0の割り込み要求は、I ビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割り込み要求は、I ビットまたは UI ビットが0にクリアされているとき許可状態、I ビットおよび UI ビットがいずれも1にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、IPRA、IPRBをそれぞれ H'20、H'00 に設定した場合 (IRQ₂、IRQ₃ 割り込み要求の優先順位を他の割り込みより高くした場合)、次のようになります。

- (a) I = 0 のとき、すべての割り込みを許可
(優先順位 : NMI > IRQ₂ > IRQ₃ > IRQ₀...)
- (b) I = 1、UI = 0 のとき、NMI、IRQ₂、IRQ₃ 割り込みのみを許可
- (c) I = 1、UI = 1 のとき、NMI 以外の割り込みを禁止

また、このときの状態遷移を図 5.5 に示します。

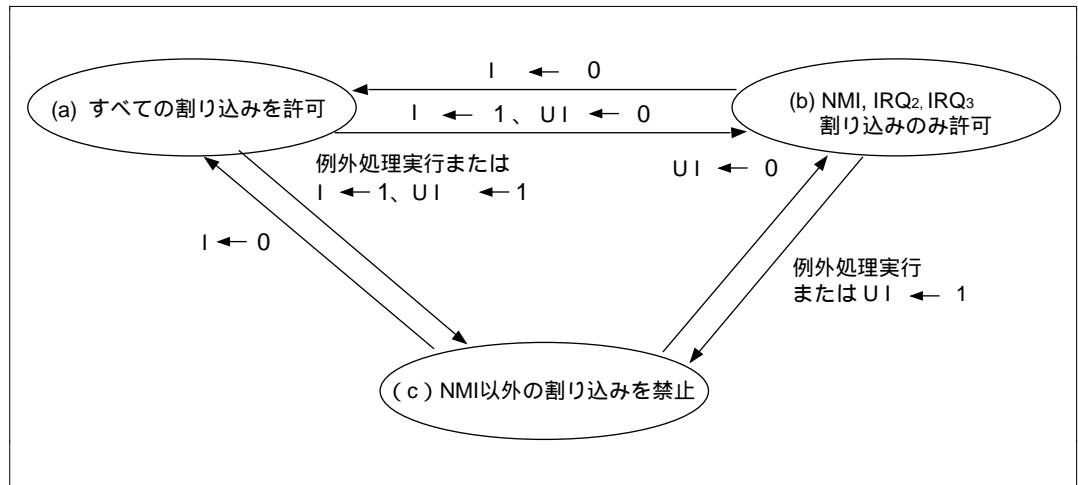


図 5.5 割り込み許可 / 禁止状態の遷移例

UE ビット = 0 のときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPR に設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。このとき、IPR の設定が同一の割り込み要求が同時に発生したときは、表 5.3 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] I ビットを参照します。I ビットが 0 にクリアされているときは、IPR に関係なく割り込み要求が受け付けられます。このときは UI ビットの影響を受けません。I ビットが 1 にセットされ、UI ビットが 0 にクリアされているときは、プライオリティレベル 1 の割り込み要求のみが受け付けられ、プライオリティレベル 0 の割り込み要求は保留となります。I、UI ビットがいずれも 1 にセットされているときは、割り込み要求は保留となります。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] CCR の I、UI ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
- [7] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

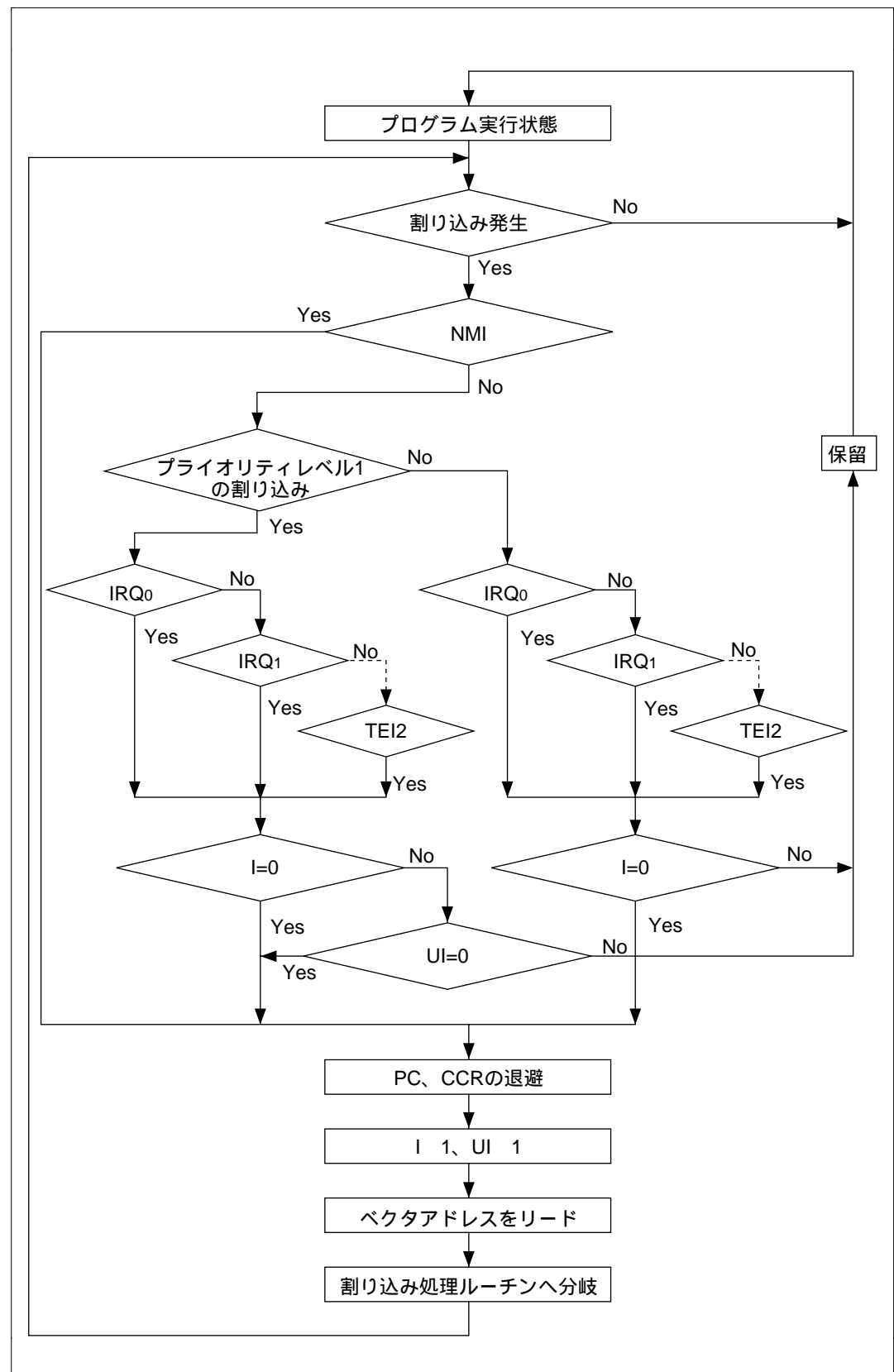


図 5.6 UE = 0 の場合の割り込み受け付けまでのフロー

5.4.2 割り込み例外処理シーケンス

モード2で、プログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間にとった場合の割り込みシーケンスを図5.7に示します。

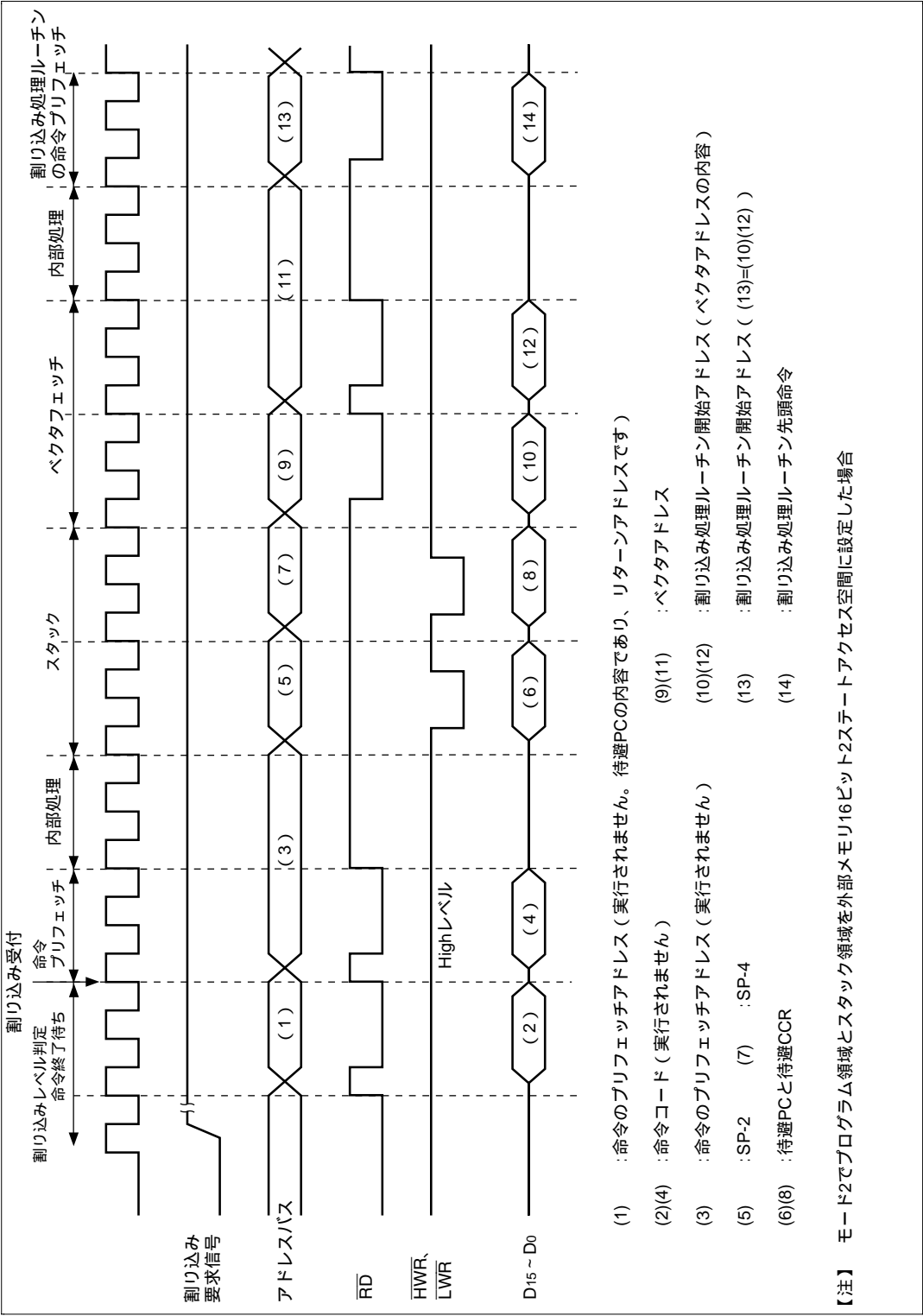


図 5.7 割り込み例外処理シーケンス

5.4.3 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 5.5 に示します。

表 5.5 割り込み応答時間

No.	項目	内蔵メモリ	外部メモリ			
			8 ビットバス		16 ビットバス	
			2 ステート	3 ステート	2 ステート	3 ステート
1	割り込み優先順位判定		2 ^{*1}			
2	実行中の命令が終了するまでの最大待ちステート数	1 ~ 23 ^{*5}	1 ~ 27 ^{*5*6}	1 ~ 41 ^{*4*6}	1 ~ 23 ^{*5}	1 ~ 25 ^{*4*5}
3	PC、CCR のスタック	4	8	12 ^{*4}	4	6 ^{*4}
4	ベクタフェッチ	4	8	12 ^{*4}	4	6 ^{*4}
5	命令フェッチ ^{*2}	4	8	12 ^{*4}	4	6 ^{*4}
6	内部処理 ^{*3}	4	4	4	4	4
合計		19 ~ 41	31 ~ 57	43 ~ 83	19 ~ 41	25 ~ 49

【注】 *1 内部割り込みの場合 1 ステートとなります。

*2 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ

*3 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理

*4 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

*5 DIVXS.W Rs, ERd、MULXS.W Rs, ERd の例です。

*6 MOV.L @(d:24, ERs), ERd、MOV.L ERs, @(d:24, ERd) の例です。

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを0にクリアする場合も同様です。

16ビットタイマのTISRAのIMIEAビットを0にクリアする場合の例を図5.8に示します。

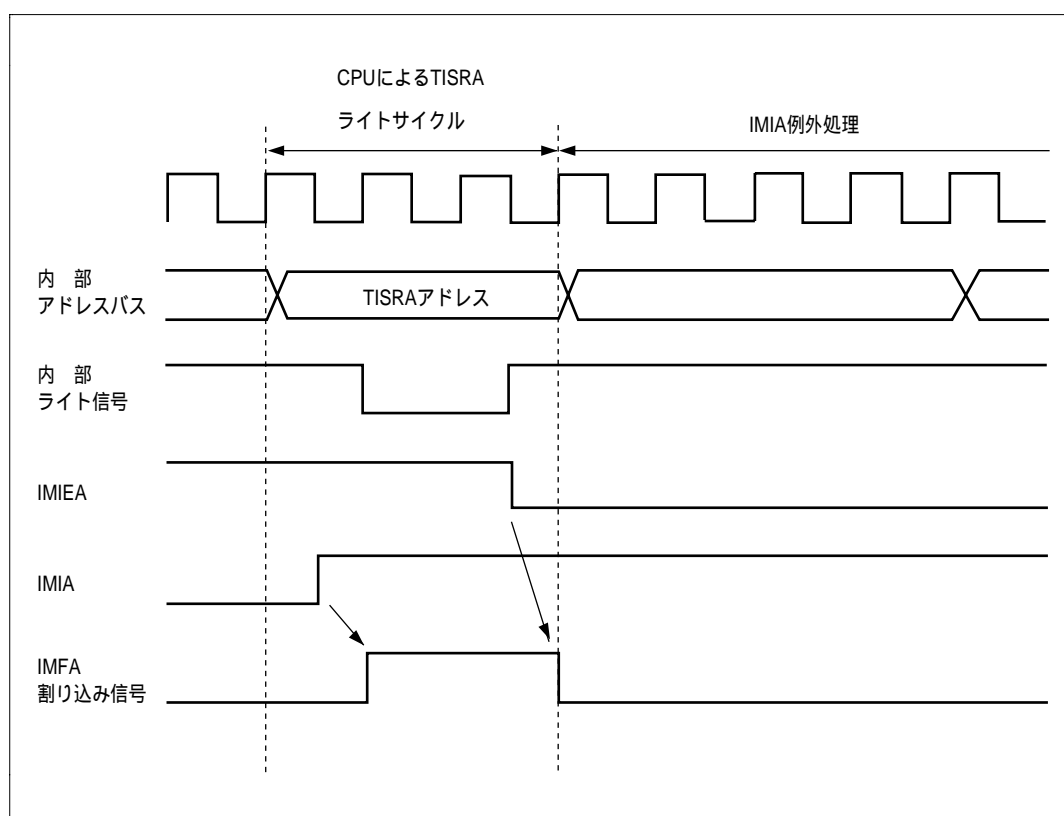


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラが優先順位を判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV . B 命令と EEPMOV . W 命令では、割り込み動作が異なります。

EEPMOV . B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV . W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV . W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1 :  EEPMOV . W
      MOV . W  R4 , R4
      BNE     L1
```

6. バスコントローラ

第6章 目次

6.1	概要	129
6.1.1	特長	129
6.1.2	ブロック図	131
6.1.3	端子構成.....	132
6.1.4	レジスタ構成	133
6.2	各レジスタの説明	134
6.2.1	バス幅コントロールレジスタ (ABWCR)	134
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	135
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	136
6.2.4	バスリリースコントロールレジスタ (BRCR)	140
6.2.5	バスコントロールレジスタ (BCR)	143
6.2.6	チップセレクトコントロールレジスタ (CSCR)	146
6.2.7	DRAM コントロールレジスタ A (DRCRA)	147
6.2.8	DRAM コントロールレジスタ B (DRCRB)	149
6.2.9	リフレッシュタイマコントロール / ステータスレジスタ (RTMCSR)	152
6.2.10	リフレッシュタイマカウンタ (RTCNT)	153
6.2.11	リフレッシュタイムコンスタントレジスタ (RTCOR)	154
6.2.12	アドレスコントロールレジスタ (ADRCR)	154
6.3	動作説明.....	155
6.3.1	エリア分割	155
6.3.2	バス仕様.....	157
6.3.3	メモリアインタフェース.....	158
6.3.4	チップセレクト信号	159
6.3.5	アドレス出力方式	160
6.4	基本バスインタフェース	162
6.4.1	概要	162
6.4.2	データサイズとデータアライメント.....	162

6.4.3	有効ストロープ.....	164
6.4.4	各エリアの説明.....	165
6.4.5	基本バス制御信号タイミング.....	167
6.4.6	ウェイト制御.....	175
6.5	DRAM インタフェース.....	177
6.5.1	概要.....	177
6.5.2	DRAM 空間と $\overline{\text{RAS}}$ 出力端子の設定.....	177
6.5.3	アドレスマルチプレクス.....	178
6.5.4	データバス.....	179
6.5.5	DRAM インタフェース使用端子.....	179
6.5.6	基本タイミング.....	180
6.5.7	プリチャージステート制御.....	181
6.5.8	ウェイト制御.....	182
6.5.9	バイトアクセス制御と $\overline{\text{CAS}}$ 出力端子.....	184
6.5.10	バースト動作.....	186
6.5.11	リフレッシュ制御.....	191
6.5.12	使用例.....	195
6.5.13	使用上の注意.....	200
6.6	インターバルタイマ.....	202
6.6.1	動作説明.....	202
6.7	割り込み要因.....	208
6.8	バースト ROM インタフェース.....	208
6.8.1	概要.....	208
6.8.2	基本タイミング.....	208
6.8.3	ウェイト制御.....	209
6.9	アイドルサイクル.....	210
6.9.1	動作説明.....	210
6.9.2	アイドルサイクルでの端子状態.....	213
6.10	バスアービタ.....	214
6.10.1	動作説明.....	214
6.11	レジスタと端子入力のタイミング.....	217
6.11.1	レジスタライトタイミング.....	217
6.11.2	$\overline{\text{BREQ}}$ 端子の入力タイミング.....	218

6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス調停権機能を持っており、内部バスマスタである CPU、DMA コントローラ (DMAC) および DRAM インタフェースの動作を制御すると共に、外部にバス権を解放することができます。

6.1.1 特長

バスコントローラの特長を次に示します。

外部アドレス空間をエリア単位で管理

- ・ 外部空間を、1M バイトモードでは 128k バイト単位、16M バイトモードでは 2M バイト単位の 8 エリア (エリア 0 ~ 7) に分割して管理
- ・ エリアごとにバス仕様を設定可能
- ・ DRAM / バースト ROM インタフェースを設定可能

基本バスインタフェース

- ・ エリア 0 ~ 7 に対してチップセレクト ($\overline{CS}_0 \sim \overline{CS}_7$) を出力可能
- ・ エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
- ・ エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- ・ エリアごとに、プログラムウェイトステートを挿入可能
- ・ 端子ウェイトを挿入可能

DRAM インタフェース

- ・ エリア 2 ~ 5 に対して DRAM インタフェースを設定可能
- ・ ロウアドレス / カラムアドレスのマルチプレクス出力 (8 / 9 / 10 ビット)
- ・ バイトアクセス方式は 2CAS 方式
- ・ バースト動作 (高速ページモード)
- ・ RAS プリチャージタイム確保のための T_p サイクル挿入
- ・ CAS ビフォ RAS リフレッシュとセルフリフレッシュを選択可能

バースト ROM インタフェース

- ・ エリア 0 に対してバースト ROM インタフェースを設定可能
- ・ バーストアクセスの 2 または 3 ステートを選択可能

アイドルサイクル挿入

- ・ 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- ・ 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

バス権調停機能（バスアービトレーション）

- ・バスアービタを内蔵し、CPU、DMAC、DRAM インタフェースおよび外部バスマスタのバス権を調停

その他

- ・リフレッシュ用カウンタ（リフレッシュタイマ）をインターバルタイマとして使用可能
- ・2つのアドレス更新モードを選択可能

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

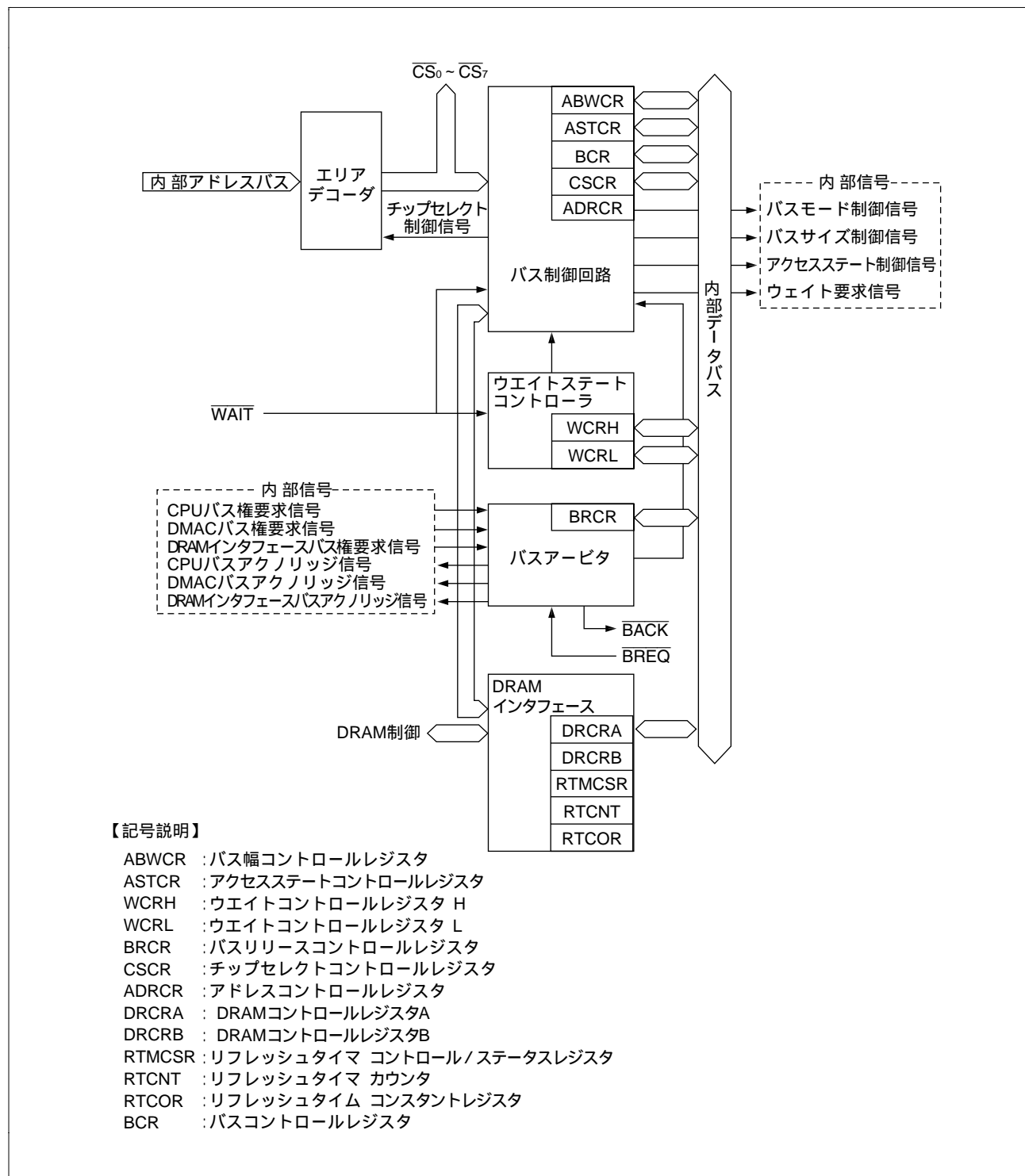


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
チップセレクト 0~7	$\overline{CS}_0 \sim \overline{CS}_7$	出力	エリア 0~7 が選択されていることを示すストローブ信号
アドレス ストローブ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストローブ信号
リード	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストローブ信号
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示すストローブ信号
ロウライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示すストローブ信号
ウェイト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号
バス権要求 アクノリッジ	\overline{BACK}	出力	バス権を外部に解放したことを示すアクノリッジ信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'EE020	バス幅コントロールレジスタ	ABWCR	R/W	H'FF* ²
H'EE021	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF
H'EE022	ウェイトコントロールレジスタ H	WCRH	R/W	H'FF
H'EE023	ウェイトコントロールレジスタ L	WCRL	R/W	H'FF
H'EE013	バスリリースコントロールレジスタ	BRCR	R/W	H'FE* ³
H'EE01F	チップセレクトコントロールレジスタ	CSCR	R/W	H'0F
H'EE01E	アドレスコントロールレジスタ	ADRCR	R/W	H'FF
H'EE024	バスコントロールレジスタ	BCR	R/W	H'C6
H'EE026	DRAM コントロールレジスタ A	DRCRA	R/W	H'10
H'EE027	DRAM コントロールレジスタ B	DRCRB	R/W	H'08
H'EE028	リフレッシュタイムコントロール / ステータスレジスタ	RTMCSR	R/(W)* ⁴	H'07
H'EE029	リフレッシュタイムカウンタ	RTCNT	R/W	H'00
H'EE02A	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 モード 2、4 のときは、初期値 H'00 になります。

*3 モード 3、4 のときは、初期値 H'EE になります。

*4 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値: (モード1、3、5、7)	1	1	1	1	1	1	1	1
(モード2、4)	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ABWCR の内容が H'FF (全エリア 8 ビットアクセス空間) の場合、8 ビットバスモードとなり、データバスは上位側 ($D_{15} \sim D_8$) が有効となります。このときポート 4 は入出力ポートとなります。ABWCR の少なくとも 1 ビットを 0 にクリアした場合には、16 ビットバスモードとなり、データバスは 16 ビット ($D_{15} \sim D_0$) となります。ABWCR はリセット、またはハードウェアスタンバイモード時にモード 1、3、5、7 では H'FF に、モード 2、4 では H'00 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7~0: エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか 16 ビットアクセス空間とするかを選択します。

ビット 7~0 ABW7 ~ ABW0	説 明
0	エリア 7~0 を 16 ビットアクセス空間に設定
1	エリア 7~0 を 8 ビットアクセス空間に設定

ABWCR は、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部 I/O レジスタのデータバス幅は ABWCR の設定値にかかわらず固定です。したがって、シングルチップモード (モード 7) では設定値には意味がありません。

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのアクセスステート数を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7~0: エリア 7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを 2 ステートアクセス空間とするか 3 ステートアクセス空間とするかを選択します。

ビット 7~0	説明
AST7 ~ AST0	
0	エリア 7~0 を 2 ステートアクセス空間に設定
1	エリア 7~0 を 3 ステートアクセス空間に設定 (初期値)

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。したがって、シングルチップモード (モード 7) では設定値は無効です。

なお、対応するエリアが DRAM コントロールレジスタ A (DRCRA) の DRAS2 ~ DRAS0 ビットにより DRAM 空間に設定されている場合、アクセスステート数は AST ビットの設定値に依存しません。また、AST ビットの値が 0 の場合は、プログラマブルウェイトは挿入されません。

6.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、それぞれ 8 ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は WCRH、WCRL の設定値にかかわらず固定です。

WCRH、WCRL は、リセットおよびハードウェアスタンバイモード時に、H'FF にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

(1) WCRH

ビット:	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6: エリア 7 ウェイトコントロール 1、0 (W71、W70)

ASTCR の AST7 ビットが 1 にセットされた状態でエリア 7 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 6	説 明
W71	W70	
0	0	エリア 7 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 7 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット5、4:エリア 6 ウェイトコントロール1、0 (W61、W60)

ASTCRのAST6ビットが1にセットされた状態でエリア6の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説 明
W61	W60	
0	0	エリア6の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア6の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア6の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア6の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット3、2:エリア 5 ウェイトコントロール1、0 (W51、W50)

ASTCRのAST5ビットが1にセットされた状態でエリア5の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説 明
W51	W50	
0	0	エリア5の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア5の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア5の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア5の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット1、0:エリア 4 ウェイトコントロール1、0 (W41、W40)

ASTCRのAST4ビットが1にセットされた状態でエリア4の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説 明
W41	W40	
0	0	エリア4の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア4の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア4の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア4の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

(2) WCRL

ビット:	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6: エリア 3 ウェイトコントロール1、0 (W31、W30)

ASTCR の AST3 ビットが1にセットされた状態でエリア3の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット5、4: エリア 2 ウェイトコントロール (W21、W20)

ASTCR の AST2 ビットが1にセットされた状態でエリア2の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W21	W20	
0	0	エリア2の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア2の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア2の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア2の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット3、2: エリア 1 ウェイトコントロール1、0 (W11、W10)

ASTCR の AST1 ビットが1にセットされた状態でエリア1の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説 明
W11	W10	
0	0	エリア1の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア1の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア1の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア1の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット1、0: エリア 0 ウェイトコントロール1、0 (W01、W00)

ASTCR の AST0 ビットが1にセットされた状態でエリア0の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説 明
W01	W00	
0	0	エリア0の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア0の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア0の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア0の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

6.2.4 バスリリースコントロールレジスタ (BRCR)

BRCR は 8 ビットのリード/ライト可能なレジスタで、アドレスバス ($A_{23} \sim A_{20}$) 出力の選択、バス権の外部に対する解放を許可/禁止します。

ビット:		7	6	5	4	3	2	1	0
		A23E	A22E	A21E	A20E	—	—	—	BRLE
モード1、2、7	初期値 :	1	1	1	1	1	1	1	0
	R/W :	—	—	—	—	—	—	—	R/W
モード3、4	初期値 :	1	1	1	0	1	1	1	0
	R/W :	R/W	R/W	R/W	—	—	—	—	R/W
モード5	初期値 :	1	1	1	1	1	1	1	0
	R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W

アドレス23~20イネーブル
PA₇ ~ PA₄をアドレス出力端子
A₂₃ ~ A₂₀として使用するため
のビットです。

リザーブビット

バスリリースイネーブル
バス権の外部に対する解放を
許可/禁止するビットです。

BRCR はリセット、またはハードウェアスタンバイモード時にモード 1、2、5、7 の場合は H'FE に、モード 3、4 の場合は H'EE にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7: アドレス 23 イネーブル (A23E)

PA₄ をアドレス出力端子 A₂₃ として使用するためのビットです。0 をライトするとアドレス出力 A₂₃ となります。モード 3、4、5 以外ではこのビットはライトできず、通常のポート機能となります。

ビット7	説 明
A23E	
0	PA ₄ はアドレス出力端子 A ₂₃
1	PA ₄ は入出力端子 (初期値)

ビット6: アドレス 22 イネーブル (A22E)

PA₅をアドレス出力端子 A₂₂として使用するためのビットです。0をライトするとアドレス出力 A₂₂となります。モード 3、4、5 以外ではこのビットはライトできず、通常のポート機能となります。

ビット 6	説 明
A22E	
0	PA ₅ はアドレス出力端子 A ₂₂
1	PA ₅ は入出力端子 (初期値)

ビット5: アドレス 21 イネーブル (A21E)

PA₆をアドレス出力端子 A₂₁として使用するためのビットです。0をライトするとアドレス出力 A₂₁となります。モード 3、4、5 以外ではこのビットはライトできず、通常のポート機能となります。

ビット 5	説 明
A21E	
0	PA ₆ はアドレス出力端子 A ₂₁
1	PA ₆ は入出力端子 (初期値)

ビット4: アドレス 20 イネーブル (A20E)

PA₇をアドレス出力端子 A₂₀として使用するためのビットです。0をライトするとアドレス出力 A₂₀となります。モード 5 以外ではこのビットはライトできません。

ビット 4	説 明
A20E	
0	PA ₇ はアドレス出力端子 A ₂₀ (モード 3、4 のときの初期値)
1	PA ₇ は入出力端子 (モード 1、2、5、7 のときの初期値)

ビット3~1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット0:バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可 / 禁止します。

ビット0	説 明
BRLE	
0	バス権の外部に対する解放を禁止し、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

6.2.5 バスコントロールレジスタ (BCR)

ビット:	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BROME	BRSTS1	BRSTS0	EMC	RDEA	WAITE
初期値:	1	1	0	0	0	1	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCR は8ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、アドレスマップの選択、エリアの分割単位の選択、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止を行います。

BCR は、リセットおよびハードウェアスタンバイモード時に、HIC6 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7:アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット7	説 明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット6:アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット6	説 明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット5:バースト ROM イネーブル (BROME)

エリア0をバーストROMインタフェースとするかを選択します。

ビット5	説 明
BROME	
0	エリア0は基本バスインタフェース (初期値)
1	エリア0はバーストROMインタフェース

ビット4:バーストサイクルセレクト 1 (BRSTS1)

バーストROMインタフェースのバーストサイクル数を選択します。

ビット4	説 明
BRSTS1	
0	バーストアクセスのサイクル数は2ステート (初期値)
1	バーストアクセスのサイクル数は3ステート

ビット3:バーストサイクルセレクト 0 (BRSTS0)

バーストROMインタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説 明
BRSTS0	
0	バーストアクセスは最大4ワード (A3より上位アドレス一致でバーストアクセス) (初期値)
1	バーストアクセスは最大8ワード (A4より上位アドレス一致でバーストアクセス)

ビット2:拡張メモリマップコントロール (EMC)

2種類のメモリマップを選択できます。

ビット2	説 明
EMC	
0	「3.6 各動作モードのメモリマップ」の図3.2のメモリマップ*となります。
1	「3.6 各動作モードのメモリマップ」の図3.1のメモリマップ*となります。 (初期値)

【注】 * 拡張メモリマップコントロールによるメモリマップの切り替え機能を使用する場合、内蔵RAMエリア内の下記組み合わせのエリアは使用できません。

	(EMC ビット = 1 のとき)	(EMC ビット = 0 のとき)
モード 1、2	(1) H'FDEE0 ~ H'FDF1F (2) H'FFE80 ~ H'FFEDF (3) H'FFEE0 ~ H'FFF1F	H'FBEE0 ~ H'FBF1F H'FFF80 ~ H'FFFDf H'FDEE0 ~ H'FDF1F
モード 3、4	(1) H'FFDEE0 ~ H'FFDF1F (2) H'FFFE80 ~ H'FF FEDF (3) H'FFFEE0 ~ H'FFFF1F	H'FFBEE0 ~ H'FFBF1F H'FFFF80 ~ H'FFFFDF H'FFDEE0 ~ H'FFDF1F
モード 5	(1) H'FFDEE0 ~ H'FFDF1F (2) H'FFFE80 ~ H'FF FEDF (3) H'FFFEE0 ~ H'FFFF1F	H'FFBEE0 ~ H'FFBF1F H'FFFF80 ~ H'FFFFDF H'FFDEE0 ~ H'FFDF1F
モード 7	(1) H'FDEE0 ~ H'FDF1F (2) H'FFE80 ~ H'FFEDF (3) H'FFEE0 ~ H'FFF1F	H'FBEE0 ~ H'FBF1F H'FFF80 ~ H'FFFDf H'FDEE0 ~ H'FDF1F

なお、本ビットを 0 にクリアすると内部 I/O レジスタのアドレスが一部移動しますので注意してください。移動後のアドレスは「付録 B.2 アドレス一覧 (EMC ビット = 0 のとき)」を参照してください。

また、RDEA ビットが 0 のとき、本ビットを 0 にクリアしないでください。

ビット 1: エリア分割単位選択 (RDEA)

メモリアップのエリアの分割単位を選択します。

本ビットはモード 3、4、5 で有効です。モード 1、2、7 では、無効です。

また、EMC ビットが 0 のとき、本ビットを 0 にしないでください。

ビット 1	説 明
RDEA	
0	エリア分割は、エリア 0: 2M バイト エリア 4: 1.93M バイト エリア 1: 2M バイト エリア 5: 4k バイト エリア 2: 8M バイト エリア 6: 23.75k バイト エリア 3: 2M バイト エリア 7: 22 バイト
1	エリア分割は、エリア 0 ~ エリア 7 まで等分割 (2M バイト) (初期値)

ビット0: WAIT 端子イネーブル (WAITE)

$\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説 明
WAITE	
0	$\overline{\text{WAIT}}$ 端子によるウェイト入力を禁止。 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可 (初期値)
1	$\overline{\text{WAIT}}$ 端子によるウェイト入力を許可

6.2.6 チップセレクトコントロールレジスタ (CSCR)

CSCR は8ビットのリード/ライト可能なレジスタで、チップセレクト信号 ($\overline{\text{CS}}_7 \sim \overline{\text{CS}}_4$) の出力を許可/禁止します。

本レジスタでチップセレクト信号 ($\overline{\text{CS}}_7 \sim \overline{\text{CS}}_4$) 出力を選択すると、端子機能は他の機能に優先してチップセレクト信号 ($\overline{\text{CS}}_7 \sim \overline{\text{CS}}_4$) 出力となります。なお、本レジスタはシングルチップモードではライトできません。

ビット:	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—
					リザーブビット			
	チップセレクト7~4イネーブル							
	チップセレクト信号の出力を許可 /							
	禁止するビットです。							

CSCR はリセット、またはハードウェアスタンバイモード時に H'0F にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7~4: チップセレクト 7~4 イネーブル (CS7E ~ CS4E)

対応するチップセレクト信号の出力を許可/禁止します。

ビット n	説 明
CSnE	
0	チップセレクト信号 ($\overline{\text{CS}}_n$) の出力を禁止 (初期値)
1	チップセレクト信号 ($\overline{\text{CS}}_n$) の出力を許可

【注】 n = 7 ~ 4

ビット3～0: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

6.2.7 DRAM コントロールレジスタ A (DRCRA)

ビット:	7	6	5	4	3	2	1	0
	DRAS2	DRAS1	DRAS0	—	BE	RDM	SRFMD	RFSHE
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

DRCRA は8ビットのリード/ライト可能なレジスタで、DRAM インタフェースの機能するエリアの選択、アクセスモード、セルフリフレッシュの許可/禁止およびリフレッシュ端子出力の許可/禁止の選択を行います。

DRCRA は、リセットおよびハードウェアスタンバイモード時に、H'10 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7～5: DRAM エリアセレクト (DRAS2～DRAS0)

拡張モードのときに、エリア 2～5 から DRAM インタフェースとして機能するエリア (DRAM 空間) を選択します。また、同時に各 DRAM 空間に対応する $\overline{\text{RAS}}$ 出力端子を選択します。

ビット 7	ビット 6	ビット 5	説 明			
DRAS2	DRAS1	DRAS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	0	通常	通常	通常	通常
		1	通常	通常	通常	DRAM 空間 ($\overline{\text{CS}}_2$)
	1	0	通常	通常	DRAM 空間 ($\overline{\text{CS}}_3$)	DRAM 空間 ($\overline{\text{CS}}_2$)
		1	通常	通常	DRAM 空 間 ($\overline{\text{CS}}_2$) *	
1	0	0	通常	DRAM 空間 ($\overline{\text{CS}}_4$)	DRAM 空間 ($\overline{\text{CS}}_3$)	DRAM 空間 ($\overline{\text{CS}}_2$)
		1	DRAM 空間 ($\overline{\text{CS}}_5$)	DRAM 空間 ($\overline{\text{CS}}_4$)	DRAM 空間 ($\overline{\text{CS}}_3$)	DRAM 空間 ($\overline{\text{CS}}_2$)
	1	0	DRAM 空 間 ($\overline{\text{CS}}_4$) *		DRAM 空 間 ($\overline{\text{CS}}_2$) *	
		1	DRAM 空 間 ($\overline{\text{CS}}_2$) *			

【注】 * 1本の $\overline{\text{CS}}_n$ 端子が複数エリアに共通の $\overline{\text{RAS}}$ 出力端子となります。このとき不要となる $\overline{\text{CS}}_n$ 端子は入出力ポートとして使用可能になります。

拡張モードのときに DRAS2 ~ 0 のいずれかが 1 にセットされていると、DRCRB、RTMCSR、RTCNT および RTCOR へのライトはできません。ただし、RTMCSR の CMF フラグについては、フラグをクリアするための 0 ライトのみ可能です。

なお、DRAS2 ~ DRAS0 に任意の値が設定されている場合、000 以外の異なる値のライトは行わないでください。

ビット 4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: バーストアクセスイネーブル (BE)

DRAM 空間に対するバーストアクセスの許可または禁止を選択します。DRAM 空間のバーストアクセスは高速ページモードになります。

ビット 3	説 明
BE	
0	バースト禁止 (常にフルアクセス) (初期値)
1	DRAM 空間アクセス時、高速ページモードでアクセス

ビット 2: RAS ダウンモード (RDM)

DRAM 空間に対するバーストアクセスが許可されている場合 (BE=1)、DRAM に対するアクセスが途切れたときに、 $\overline{\text{RAS}}$ 信号を Low レベルに保持したままで次の DRAM へのアクセスを待つか (RAS ダウンモード)、 $\overline{\text{RAS}}$ 信号を High レベルに戻すか (RAS アップモード) を選択します。

なお、 $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子として $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ を使用する場合、注意が必要です。

詳細は「6.5.10 バースト動作」の (2) RAS ダウンモードと RAS アップモードを参照してください。

ビット 2	説 明
RDM	
0	DRAM インタフェース: RAS アップモードを選択 (初期値)
1	DRAM インタフェース: RAS ダウンモードを選択

ビット 1: セルフリフレッシュモード (SRFMD)

ソフトウェアスタンバイモード時、DRAM のセルフリフレッシュを指定します。

エリア 2 ~ 5 のいずれかが DRAM 空間に設定されているとき、SRFMD ビットを 1 にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAM のセルフリフレッシュが可能となります。

SRFMD の設定にかかわらず、ソフトウェアスタンバイモードの解除により、通常のア

クセス状態に戻ります。

ビット 1	説 明
SRFMD	
0	ソフトウェアスタンバイモード時に、DRAM のセルフリフレッシュを禁止（初期値）
1	ソフトウェアスタンバイモード時に、DRAM のセルフリフレッシュが可能

ビット 0: リフレッシュ端子イネーブル（RFSHE）

$\overline{\text{RFSH}}$ 端子のリフレッシュ信号出力を許可 / 禁止します。エリア 2～5 を DRAM 空間に設定しない場合は、本ビットを 1 に設定しないでください。

ビット 0	説 明
RFSHE	
0	$\overline{\text{RFSH}}$ 端子のリフレッシュ信号出力を禁止（初期値） （ $\overline{\text{RFSH}}$ 端子は入出力ポートとして使用可）
1	$\overline{\text{RFSH}}$ 端子のリフレッシュ信号出力を許可

6.2.8 DRAM コントロールレジスタ B（DRCRB）

ビット:	7	6	5	4	3	2	1	0
	MXC1	MXC0	CSEL	RCYCE	—	TPC	RCW	RLW
初期値:	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

DRCRB は 8 ビットのリード / ライト可能なレジスタで、DRAM インタフェースのアドレスマルチプレクスのカラムアドレスビット数、カラムアドレスストローブの出力端子、リフレッシュサイクル挿入の許可 / 禁止、プリチャージサイクル数、 $\overline{\text{RAS}}$ ・ $\overline{\text{CAS}}$ 間のウェイトステート挿入の許可 / 禁止、およびリフレッシュサイクルのウェイトステート挿入の許可 / 禁止を選択します。

DRCRB は、リセットおよびハードウェアスタンバイモード時に、H'08 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

なお、DRCRA の DRAS2～DRAS0 がすべて 0 の時、本レジスタの設定は無効となります。

ビット7、6: マルチプレクスコントロール 1、0 (MXC1、MXC0)

DRAM インタフェースの、ロウアドレス / カラムアドレスのマルチプレクスの方法を選択します。バースト動作時に比較の対象となるロウアドレスは、本ビットの設定と ABWCR で設定された各エリアのバス幅で決まります。

ビット7	ビット6	説 明
MXC1	MXC0	
0	0	カラムアドレス: 8 ビット 比較対象アドレス: モード 1、2 8 ビットアクセス空間 $A_{19} \sim A_8$ 16 ビットアクセス空間 $A_{19} \sim A_9$ モード 3、4、5 8 ビットアクセス空間 $A_{23} \sim A_8$ 16 ビットアクセス空間 $A_{23} \sim A_9$
	1	カラムアドレス: 9 ビット 比較対象アドレス: モード 1、2 8 ビットアクセス空間 $A_{19} \sim A_9$ 16 ビットアクセス空間 $A_{19} \sim A_{10}$ モード 3、4、5 8 ビットアクセス空間 $A_{23} \sim A_9$ 16 ビットアクセス空間 $A_{23} \sim A_{10}$
1	0	カラムアドレス: 10 ビット 比較対象アドレス: モード 1、2 8 ビットアクセス空間 $A_{19} \sim A_{10}$ 16 ビットアクセス空間 $A_{19} \sim A_{11}$ モード 3、4、5 8 ビットアクセス空間 $A_{23} \sim A_{10}$ 16 ビットアクセス空間 $A_{23} \sim A_{11}$
	1	設定禁止

ビット5: $\overline{\text{CAS}}$ 出力端子選択 (CSEL)

エリア 2 ~ 5 を DRAM 空間に設定した場合の $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子を選択します。

ビット5	説 明
CSEL	
0	$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子: PB4、PB5 を選択 (初期値)
1	$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子: HWR、LWR を選択

ビット4:リフレッシュサイクルイネーブル (RCYCE)

CAS ピフォ RAS リフレッシュサイクルの挿入を許可または禁止します。エリア 2~5 のいずれも DRAM 空間に設定されていないときは、本ビットの設定によらずリフレッシュサイクルは挿入されません。

ビット 4	説 明
RCYCE	
0	リフレッシュサイクルを禁止 (初期値)
1	DRAM に対するリフレッシュサイクルを許可

ビット3:リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2: TP サイクルコントロール (TPC)

DRAM のリード/ライトサイクルおよび CAS ピフォ RAS リフレッシュサイクルのプリチャージサイクル (T_p) を 1 ステートにするか、2 ステートにするかを選択します。なお、本ビットの設定はセルフリフレッシュ機能には影響を与えません。

ビット 2	説 明
TPC	
0	プリチャージサイクルを 1 ステート挿入 (初期値)
1	プリチャージサイクルを 2 ステート挿入

ビット1: $\overline{RAS} \cdot \overline{CAS}$ 間ウェイト (RCW)

DRAM のリード/ライトサイクルの T_r - T_{Cl} 間ウェイトステート (T_{rw}) の挿入を制御します。なお、本ビットの設定はリフレッシュサイクルに対し影響を与えません。

ビット 1	説 明
RCW	
0	ウェイトステート (T_{rw}) の挿入を禁止 (初期値)
1	ウェイトステート (T_{rw}) を 1 ステート挿入

ビット0:リフレッシュサイクルウェイトコントロール (RLW)

CAS ピフォ RAS リフレッシュサイクルに対するウェイトステート (T_{rw}) の挿入を制御します。なお、本ビットの設定は DRAM のリード/ライトサイクルに対し影響を与えません。

ビット 0	説 明
RLW	
0	ウェイトステート (T_{rw}) の挿入を禁止 (初期値)
1	ウェイトステート (T_{rw}) を 1 ステート挿入

6.2.9 リフレッシュタイマコントロール/ステータスレジスタ (RTMCSR)

ビット:	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W :	R/(W)*	R/W	R/W	R/W	R/W	—	—	—

RTMCSR は 8 ビットのリード/ライト可能なレジスタで、リフレッシュタイマカウンタのクロックの選択を行います。また、インターバルタイマとして使用する場合は、割り込み要求の許可/禁止も行います。RTMCSR のビット 7、6 はリセットおよびスタンバイモード時に 0 にイニシャライズされます。ビット 5~3 はリセットおよびハードウェアスタンバイモード時に 0 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7: コンペアマッチフラグ (CMF)

RTCNT と RTCOR の値が一致したことを示すステータスフラグです。

ビット 7	説 明
CMF	
0	[クリア条件] (1) リセットまたはスタンバイモード時 (2) CMF = 1 の状態で、CMF フラグをリードした後、CMF フラグに 0 をライトしたとき (初期値)
1	[セット条件] RTCNT = RTCOR になったとき

ビット 6: コンペアマッチ割り込みイネーブル (CMIE)

RTMCSR の CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMF) を許可または禁止します。

エリア 2~5 のいずれかが DRAM 空間に設定されている場合、CMIE ビットは常に 0 にクリアされています。

ビット 6	説 明
CMIE	
0	CMF フラグによる割り込み要求 (CMI) を禁止 (初期値)
1	CMF フラグによる割り込み要求 (CMI) を許可

ビット5～3:リフレッシュカウンタクロックセレクト (CKS2～CKS0)

システムクロック () を分周して得られる7種類の内部クロックから RTCNTに入力するクロックを選択します。CKS2～CKS0 ビットで入力クロックを選択すると、RTCNT がカウントアップを開始します。

ビット5	ビット4	ビット3	説 明
CKS2	CKS1	CKS0	
0	0	0	カウント動作停止 (初期値)
		1	/2 でカウント
	1	0	/8 でカウント
		1	/32 でカウント
1	0	0	/128 でカウント
		1	/512 でカウント
	1	0	/2048 でカウント
		1	/4096 でカウント

ビット2～0:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

6.2.10 リフレッシュタイマカウンタ (RTCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNT は8ビットのリード/ライト可能なアップカウンタです。

RTCNT は、RTMCSR のCKS2～CKS0ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、RTMCSR のCMFフラグが1にセットされ、RTCNT は H'00 にクリアされます。このとき、DRCRB のRCYCE ビットが1にセットされていると、リフレッシュサイクルが起動されます。また、RTMCSR のCMIE ビットが1にセットされているとき、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、リセットおよびスタンバイモード時 H'00 にイニシャライズされます。

6.2.11 リフレッシュタイムコンスタントレジスタ (RTCOR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCOR は 8 ビットのリード / ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、RTMCSR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、リセットおよびハードウェアスタンバイモード時 H'FF にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

【注】 本レジスタへのアクセスは、必ずバイトアクセスとしてください。

6.2.12 アドレスコントロールレジスタ (ADRCR)

ADRCR は 8 ビットのリード / ライト可能なレジスタで、アドレスの出力方式をアドレス更新モード 1 またはアドレス更新モード 2 のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
								ADRCTL
初期値:	1	1	1	1	1	1	1	1
R/W :								R/W
	リザーブビット							アドレスコントロール
								アドレス更新モード 1 または更新モード 2 を選択

ADRCR は、リセット、またはハードウェアスタンバイモード時に、H'FF にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7 ~ 1: リザーブビット

ビット 7 ~ 1 をリードすると、常に 1 が読み出されます。ライトは無効です。

ビット 0: アドレスコントロールビット (ADRCTL)

アドレス出力方式を選択します。

ビット 0	説 明
ADRCTL	
0	アドレス更新モード 2 を選択
1	アドレス更新モード 1 を選択 (初期値)

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1M バイトモードのとき 128k バイト、16M バイトモードのとき 2M バイトごとのエリア 0～7 に分割されています。メモリマップの概要を図 6.2 に示します。

H' 00000	エリア0 (128 k バイト)	H' 000000	エリア0 (2M バイト)
H' 1FFFF		H' 1FFFFFF	
H' 20000	エリア1 (128 k バイト)	H' 200000	エリア1 (2M バイト)
H' 3FFFF		H' 3FFFFFF	
H' 40000	エリア2 (128 k バイト)	H' 400000	エリア2 (2M バイト)
H' 5FFFF		H' 5FFFFFF	
H' 60000	エリア3 (128 k バイト)	H' 600000	エリア3 (2M バイト)
H' 7FFFF		H' 7FFFFFF	
H' 80000	エリア4 (128 k バイト)	H' 800000	エリア4 (2M バイト)
H' 9FFFF		H' 9FFFFFF	
H' A0000	エリア5 (128 k バイト)	H' A00000	エリア5 (2M バイト)
H' BFFFF		H' BFFFFFF	
H' C0000	エリア6 (128 k バイト)	H' C00000	エリア6 (2M バイト)
H' DFFFF		H' DFFFFFF	
H' E0000	エリア7 (128 k バイト)	H' E00000	エリア7 (2M バイト)
H' FFFFF		H' FFFFFFF	

(a) 1M バイトモード (モード1、2)

(b) 16M バイトモード (モード3、4、5)

図 6.2 各動作モードにおけるアクセスエリアマップ

各エリアごとに選択信号 ($\overline{CS}_0 \sim \overline{CS}_7$) を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCRH、WCRL で指定されます。

また、16M バイトモードのとき BCR の RDEA ビットにより、エリア分割の単位を選択することができます。

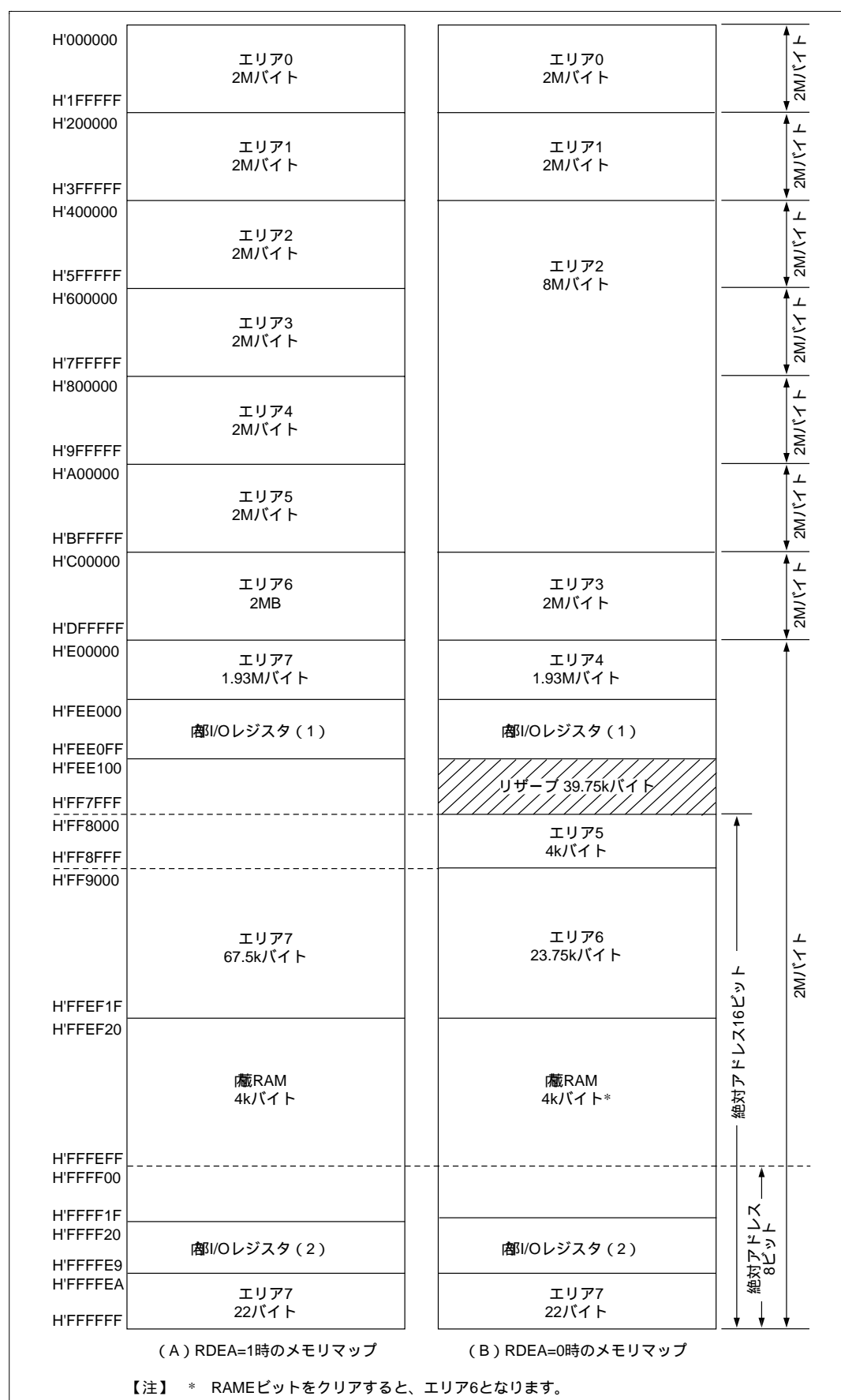


図 6.3 16Mバイトモード時のメモリマップ

6.3.2 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内蔵I/Oレジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅はABWCRにより、8ビットまたは16ビットを選択します。8ビットバスを選択したエリアが8ビットアクセス空間、16ビットバスを選択したエリアが16ビットアクセス空間です。

すべてのエリアを8ビットアクセス空間に設定すると8ビットバスモードに、いずれかのエリアを16ビットアクセス空間に設定すると16ビットバスモードになります。

(2) アクセスステート数

アクセスステート数は、ASTCRにより、2ステートまたは3ステートを選択します。2ステートアクセスを選択したエリアが2ステートアクセス空間、3ステートアクセスを選択したエリアが3ステートアクセス空間です。

なお、DRAM空間ではASTCRによらず4ステートアクセスとなります。

2ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCRによって3ステートアクセス空間に設定したとき、WCRH、WCRLにより、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは0~3ステートを選択可能です。

DRAM空間でASTCRを0にクリアした場合、プログラムウェイト(T_{C1} - T_{C2} 間ウェイト)は挿入されません。バーストROM空間のバーストサイクルもプログラムウェイトは挿入されません。

基本バスインタフェースの各エリアのバス仕様を表6.3に示します。

表 6.3 各エリアのバス仕様（基本バスインタフェース）

ABWCR	ASTCR	WCRH / WCRL		バス仕様（基本バスインタフェース）		
ABWn	ASTn	Wn1	Wn0	バス幅	アクセス ステート数	プログラムウェイト ステート数
0	0			16	2	0
	1	0	0		3	0
			1			1
		1	0			2
			1			3
1	0			8	2	0
	1	0	0		3	0
			1			1
		1	0			2
			1			3

【注】 n = 7 ~ 0

6.3.3 メモリインタフェース

本 LSI のメモリインタフェースは、ROM、SRAM などの直結が可能な基本バスインタフェース、DRAM の直結が可能な DRAM インタフェース、およびバースト ROM の直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間、バースト ROM インタフェースを設定したエリア 0 がバースト ROM 空間です。

6.3.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS}_0 \sim \overline{CS}_7$) を出力することができ、拡張モードで当該エリアが選択されたとき、Low レベルを出力します。

図 6.4 に \overline{CS}_n 信号出力タイミングを示します。

(1) $\overline{CS}_0 \sim \overline{CS}_3$ 出力方法

$\overline{CS}_0 \sim \overline{CS}_3$ の出力の許可または禁止は各 \overline{CS}_n 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

内蔵 ROM 無効拡張モード時、 \overline{CS}_0 端子はリセット直後に出力状態となっています。 $\overline{CS}_1 \sim \overline{CS}_3$ はリセット直後に入力状態となっていますので、 $\overline{CS}_1 \sim \overline{CS}_3$ を出力する場合には対応する DDR を 1 にセットしてください。内蔵 ROM 有効拡張モード時、 $\overline{CS}_0 \sim \overline{CS}_3$ 端子はリセット直後に入力状態になっていますので、 $\overline{CS}_0 \sim \overline{CS}_3$ を出力する場合には、対応する DDR を 1 にセットしてください。

詳細は「第 8 章 I/O ポート」を参照してください。

(2) $\overline{CS}_4 \sim \overline{CS}_7$ 出力方法

$\overline{CS}_4 \sim \overline{CS}_7$ の出力許可または禁止はチップセレクトコントロールレジスタ (CSCR) を設定することにより行います。 $\overline{CS}_4 \sim \overline{CS}_7$ 端子はリセット直後に入力状態となっていますので、 $\overline{CS}_4 \sim \overline{CS}_7$ 端子を出力する場合には CSCR の対応するビットを 1 にセットしてください。詳細は「第 8 章 I/O ポート」を参照してください。

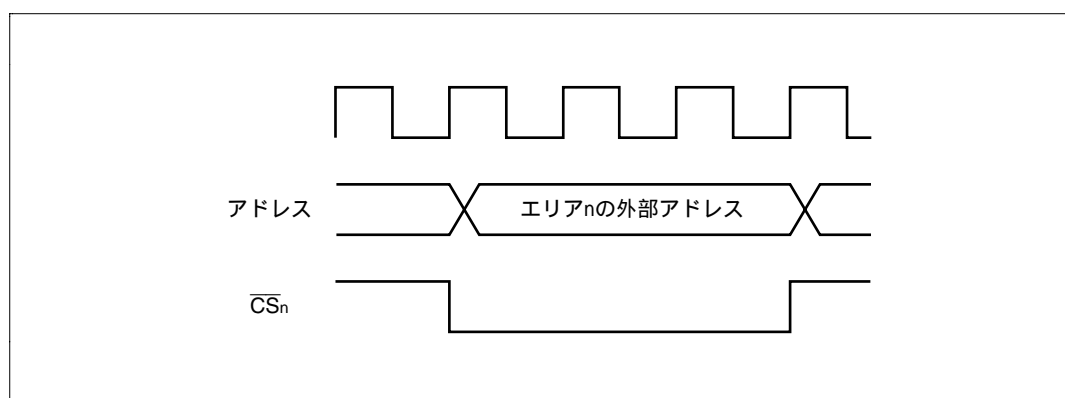


図 6.4 \overline{CS}_n 信号の出力タイミング (n=0~7)

内蔵 ROM、内蔵 RAM および内部 I/O レジスタを選択した場合、 $\overline{CS}_0 \sim \overline{CS}_7$ 端子は High レベルです。 \overline{CS}_n 信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

6.3.5 アドレス出力方式

本 LSI では、アドレス出力方式について、従来 H8/300H シリーズと同じ更新方式（アドレス更新モード 1）または、アドレス更新を外部空間アクセス時またはセルフリフレッシュサイクル時に限定する方式（アドレス更新モード 2）いずれかに設定することが可能です。

図 6.5 に 2 つの更新モードのアドレス出力例を示します。

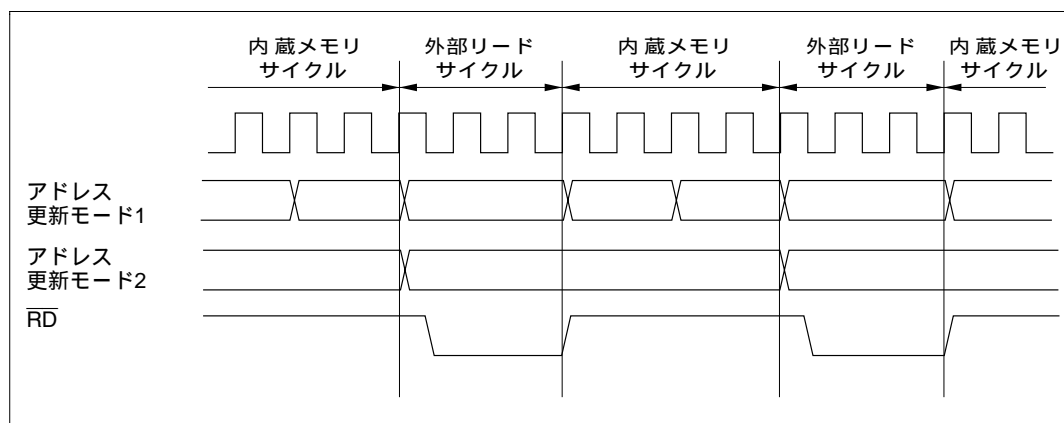


図 6.5 各アドレス更新モードにおけるアドレス出力例
（基本バスインタフェース、3 ステート空間の場合）

（1）アドレス更新モード 1

アドレス更新モード 1 は、従来の H8/300H シリーズと互換性のあるアドレス更新モードです。アドレスは各バスサイクルの切れ目で常に更新されます。

（2）アドレス更新モード 2

アドレス更新モード 2 は、アドレスの更新が外部空間アクセスまたはセルフリフレッシュサイクル時に限定されます。

アドレス更新モード 2 では、プログラムを内蔵メモリに配置することにより、外部空間リードサイクルと命令フェッチサイクル（内蔵メモリ）の間でアドレスを保持することができます。したがって \overline{RD} ストロープの立ち上がりに対して、アドレスのホールドを要求するデバイスを接続する場合に、アドレス更新モード 2 が有効です。

アドレス更新モード 1 とモード 2 の切り替えは、ADRCR の ADRCCTL ビットによって選択します。ADRCR の初期値はアドレス更新モード 1 となっており、従来 H8/300H シリーズと互換性があります。

(3) 注意事項

本アドレス更新モードを使用する際、以下の点に注意してください。

- ・ アドレス更新モード2を選択した場合、内部空間（内蔵メモリ、内部I/O）に対するアクセスサイクルのアドレスは外部に出力されません。
- ・ \overline{RD} の立ち上がりに対するアドレスのホールド確保を目的として、アドレス更新モード2を使用する場合、外部空間リードアクセスは、必ず単一のアクセスサイクルで終了してください。例えば、8ビットアクセス空間に対するワードアクセスは図6.6のようにバスサイクルが2回に分割され、単一のアクセスサイクルとはなりません。このようなケースでは、1回目のアクセスサイクル（偶数アドレス）と2回目のアクセスサイクル（奇数アドレス）の間の \overline{RD} の立ち上がりで、アドレスのホールドが保証されません。（図中の楕円で囲んだ部分）。

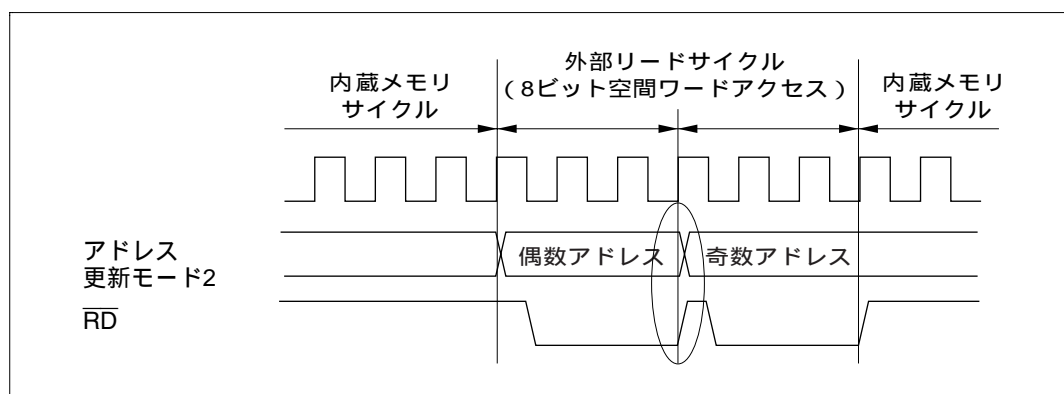


図 6.6 アドレス更新モード2での外部空間連続アクセス例

- ・ アドレス更新モード2を選択した場合、DRAM 空間に対する CAS ビフォ RAS (CBR) リフレッシュサイクル時には、直前のアドレスを保持します（エリア2の先頭アドレスは出力されません）。

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAMなどの直結が可能です。

ABWCR、ASTCR、WCRH、WCRLによってバス仕様を選択できます。表 6.3 を参照してください。

6.4.2 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス ($D_{15} \sim D_8$) を使用するか、下位側データバス ($D_7 \sim D_0$) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.7 に、8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス ($D_{15} \sim D_8$) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

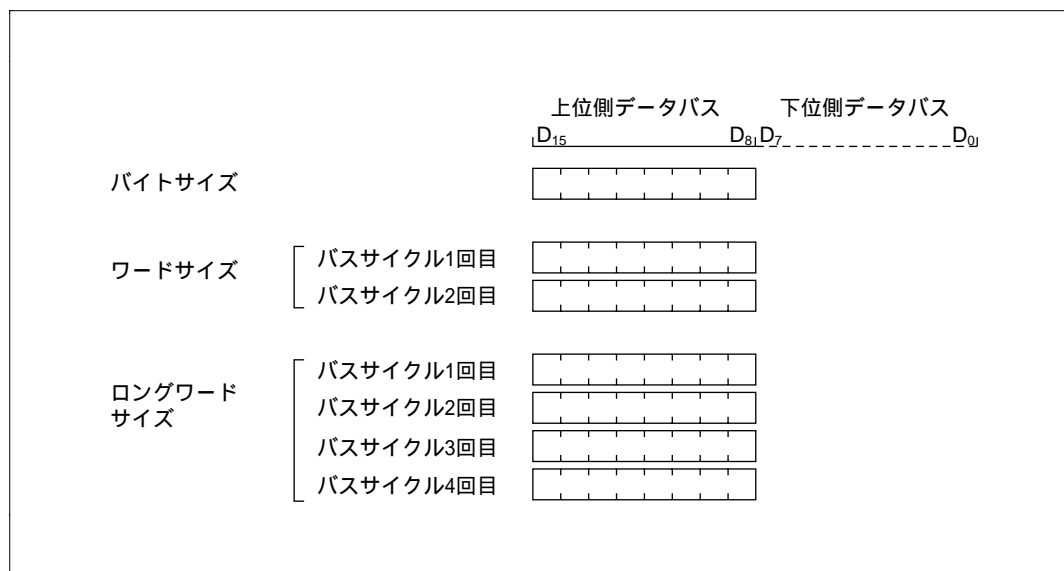


図 6.7 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.8 に、16 ビットアクセス空間の、データアライメント制御を示します。16 ビットアクセス空間では、上位側データバス ($D_{15} \sim D_8$) および下位側データバス ($D_7 \sim D_0$) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

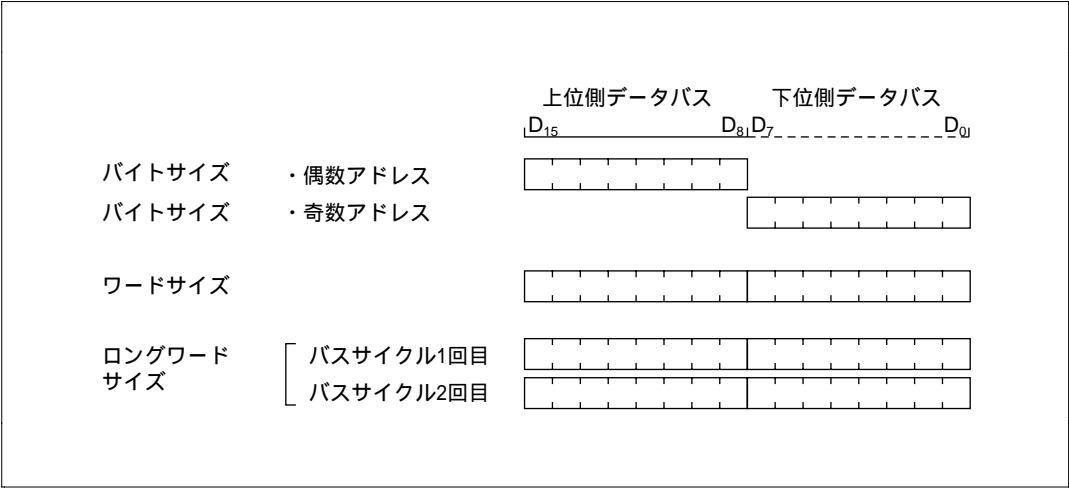


図 6.8 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.4.3 有効ストローブ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストローブを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.4 使用するデータバスと有効ストローブ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストローブ	データバス上位 ($D_{15} \sim D_8$)	データバス下位 ($D_7 \sim D_0$)
8 ビット アクセス 空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		不定
16 ビット アクセス 空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} , \overline{LWR}	有効	有効

【注】 不定: 不定データが出力されます。

無効: 入力状態であり、入力値は無視されます。

6.4.4 各エリアの説明

各エリアの初期状態は、基本バスインタフェース、かつ3ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「6.4 基本バスインタフェース」「6.5 DRAM インタフェース」「6.8 バースト ROM インタフェース」を確認してください。

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 \overline{CS}_0 信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

エリア 0 の大きさはモード 1、2 のときは 128k バイト、モード 3、4、5 のときは 2M バイトとなります。

(2) エリア 1、6

エリア 1、6 は、外部拡張モードのとき、エリアのすべての空間が外部空間となります。

エリア 1、6 の外部空間をアクセスするとき、それぞれ、 \overline{CS}_1 、 \overline{CS}_6 端子信号を出力することができます。

エリア 1、6 は、基本バスインタフェースのみを使用することができます。

エリア 1、6 の大きさはモード 1、2 のときは 128k バイト、モード 3、4、5 のときは 2M バイトとなります。

(3) エリア 2～5

エリア 2～5 は外部拡張モードのとき、エリア 2～5 のすべての空間が外部空間となります。

エリア 2～5 の外部空間をアクセスするとき、 $\overline{CS}_2 \sim \overline{CS}_5$ 信号を出力することができます。

エリア 2～5 は、基本バスインタフェース、DRAM インタフェースを選択することができます。DRAM インタフェースでは、 $\overline{CS}_2 \sim \overline{CS}_5$ 信号は \overline{RAS} 信号として使用されます。

エリア 2～5 の大きさはモード 1、2 のときは 128k バイト、モード 3、4、5 のときは 2M バイトとなります。

(4) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM および内蔵 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア 7 の外部空間をアクセスするとき、 \overline{CS}_7 信号を出力することができます。

エリア 7 のメモリアンタフェースには、基本バスインタフェースのみを使用することができます。

エリア 7 の大きさはモード 1、2 のときは 128k バイト、モード 3、4、5 のときは 2M バイトとなります。

6.4.5 基本バス制御信号タイミング

(1) 8 ビット 3 ステートアクセス空間

図 6.9 に 8 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合、データバスの上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルとなっています。ウェイトステートを挿入することができます。

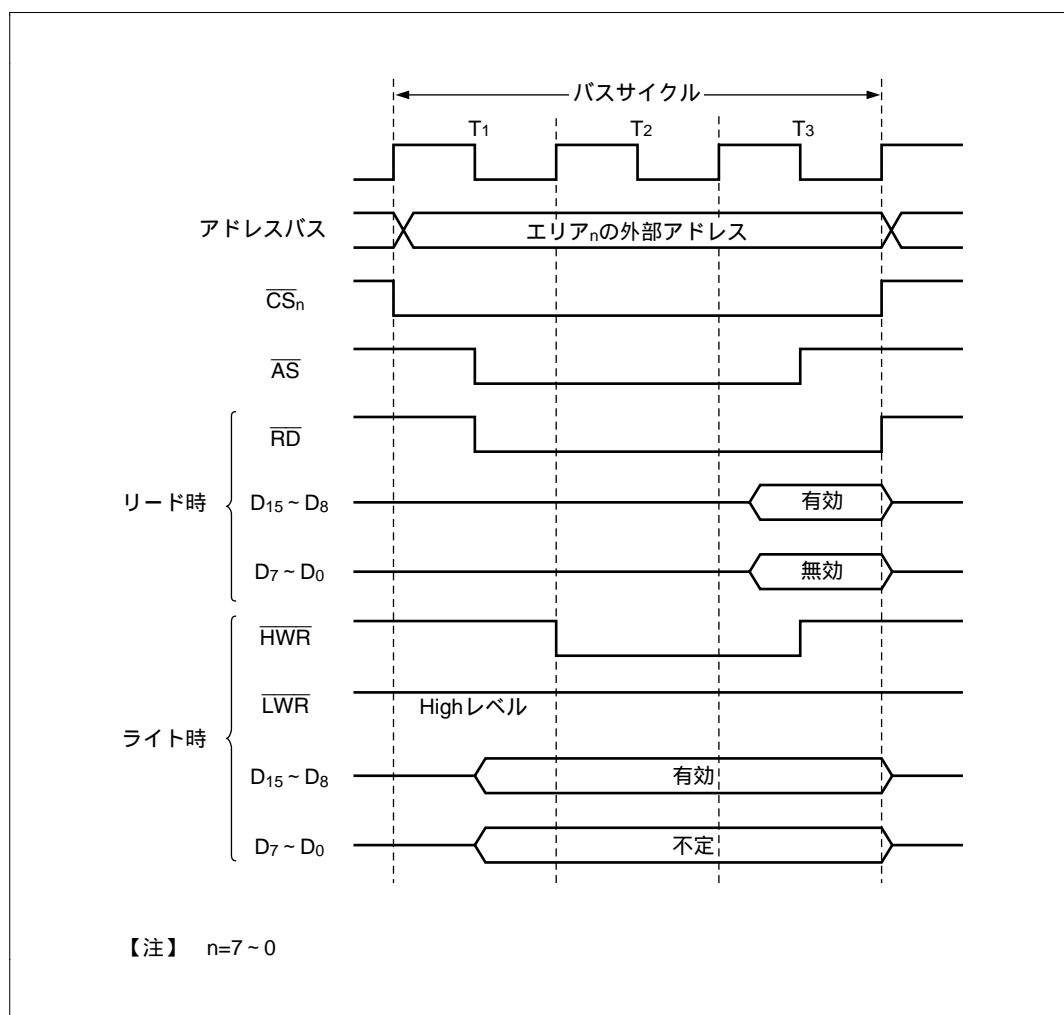


図 6.9 8 ビット 3 ステートアクセス空間のバス制御信号タイミング

(2) 8 ビット 2 ステートアクセス空間

図 6.10 に 8 ビット 2 ステート空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合、データバスの上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルとなっています。ウェイトステートを挿入することはできません。

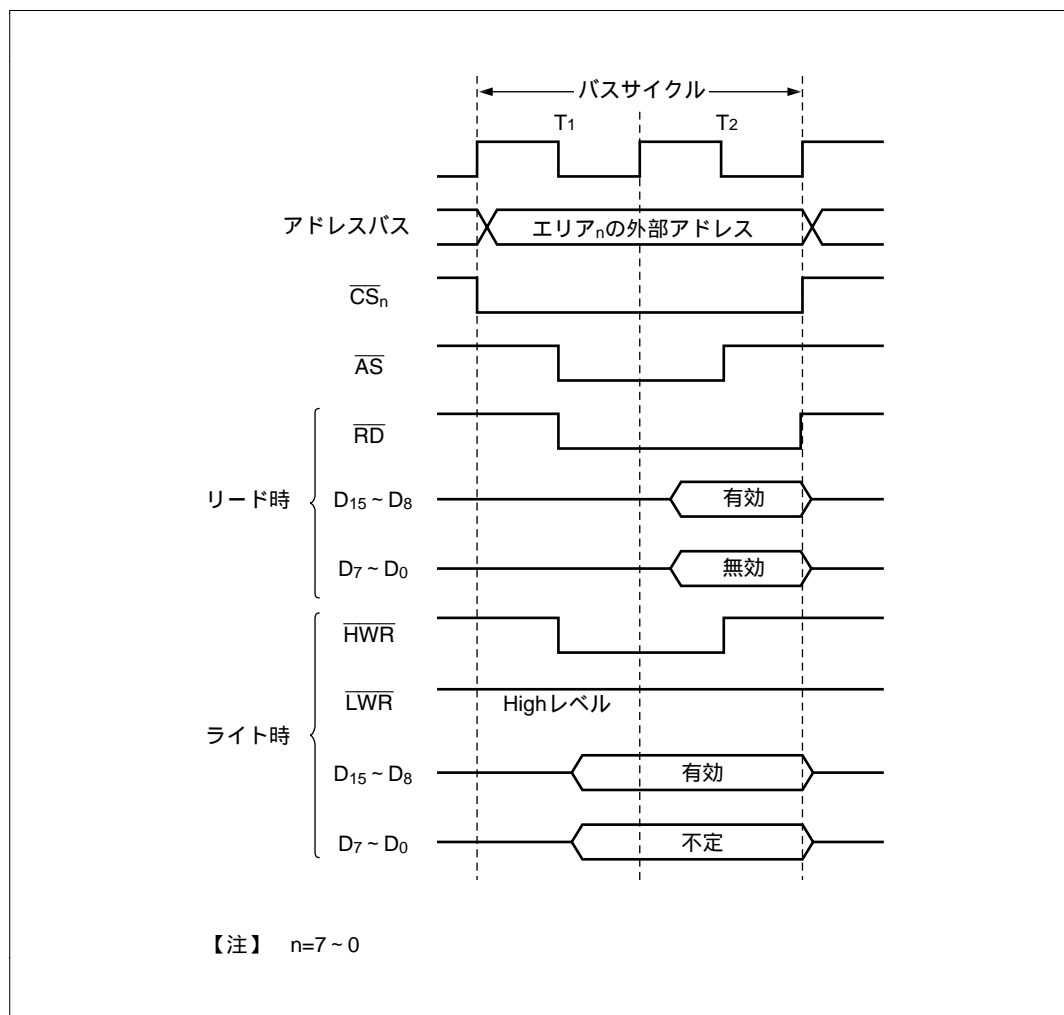


図 6.10 8 ビット 2 ステートアクセス空間のバス制御信号タイミング

(3) 16 ビット 3 ステートアクセス空間

図 6.11～図 6.13 に 16 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することができます。

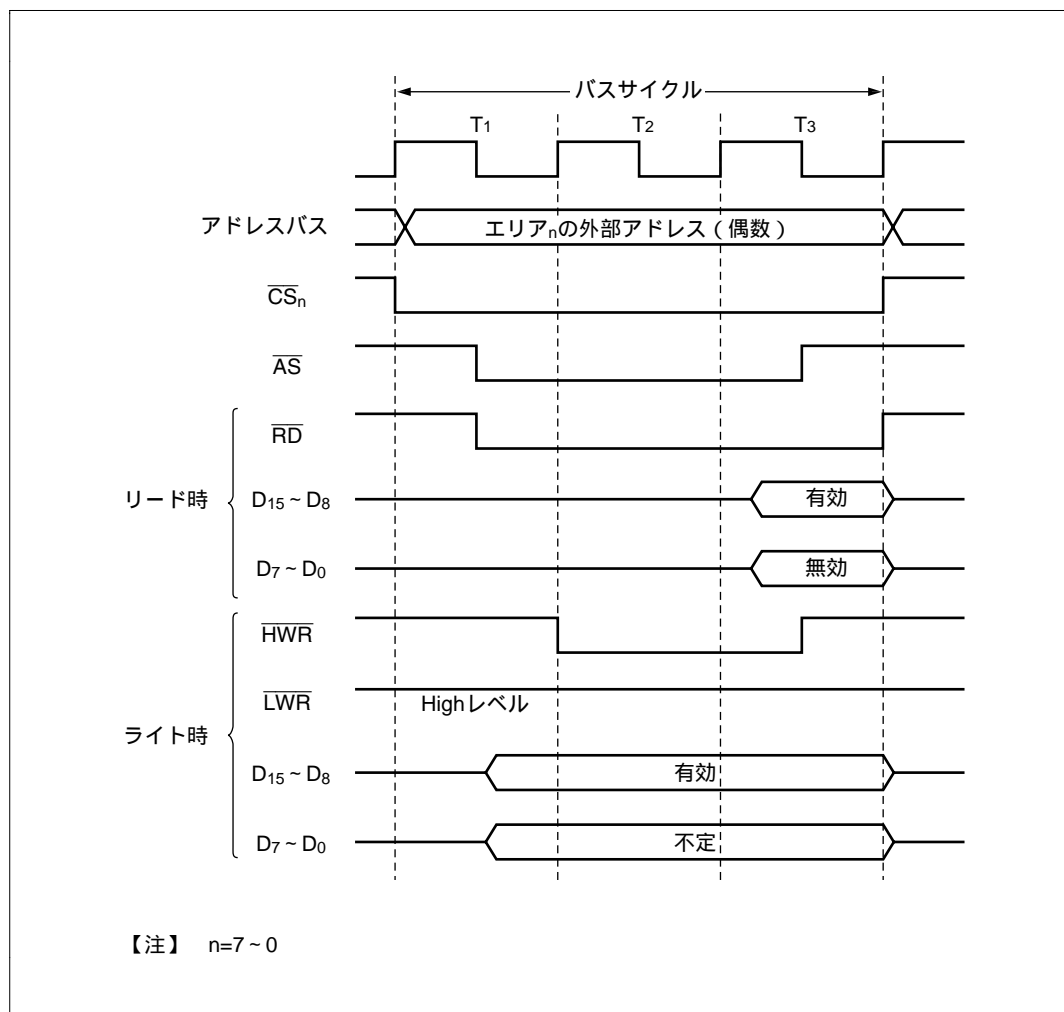


図 6.11 16 ビット 3 ステートアクセス空間のバス制御信号タイミング
(偶数アドレスバイトアクセス)

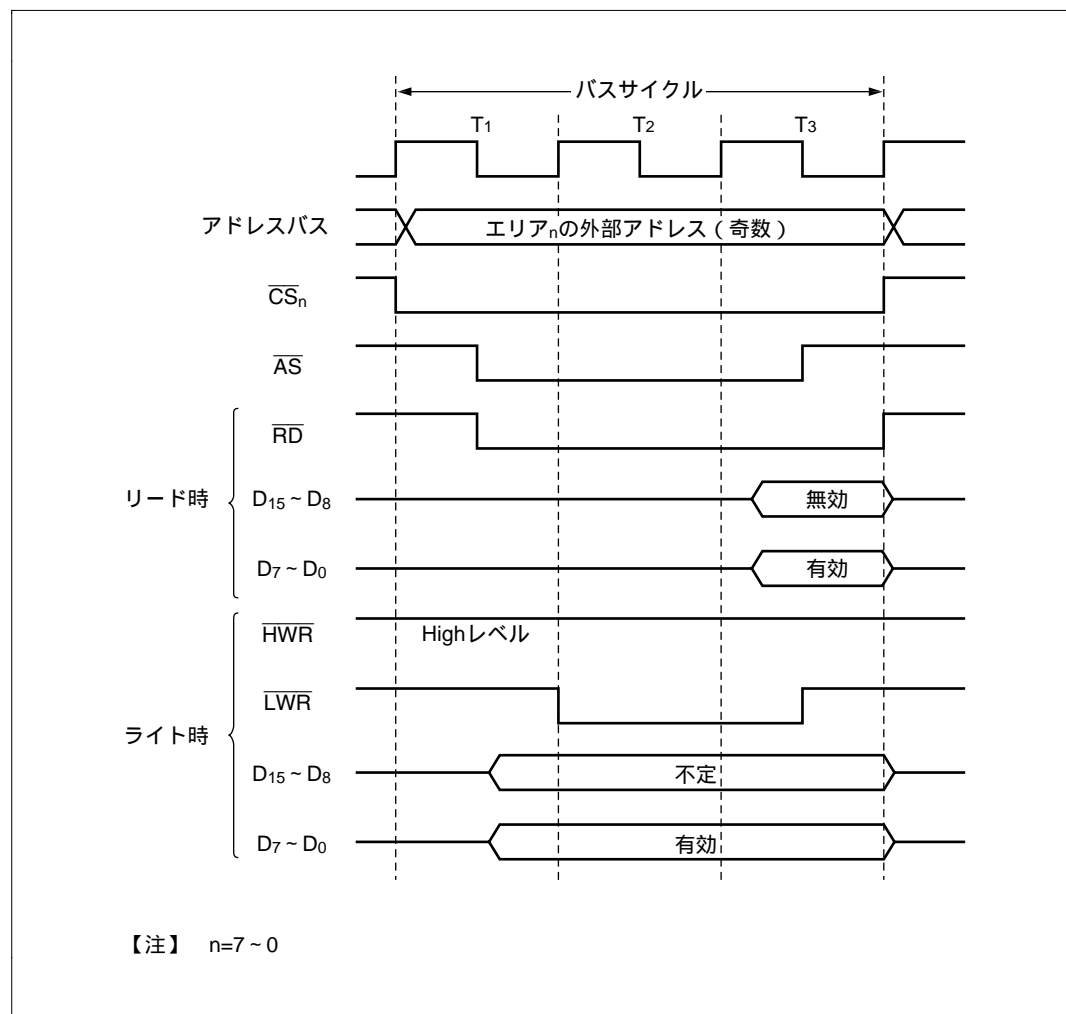


図 6.12 16 ビット 3 ステートアクセス空間のバス制御信号タイミング
(奇数アドレスバイトアクセス)

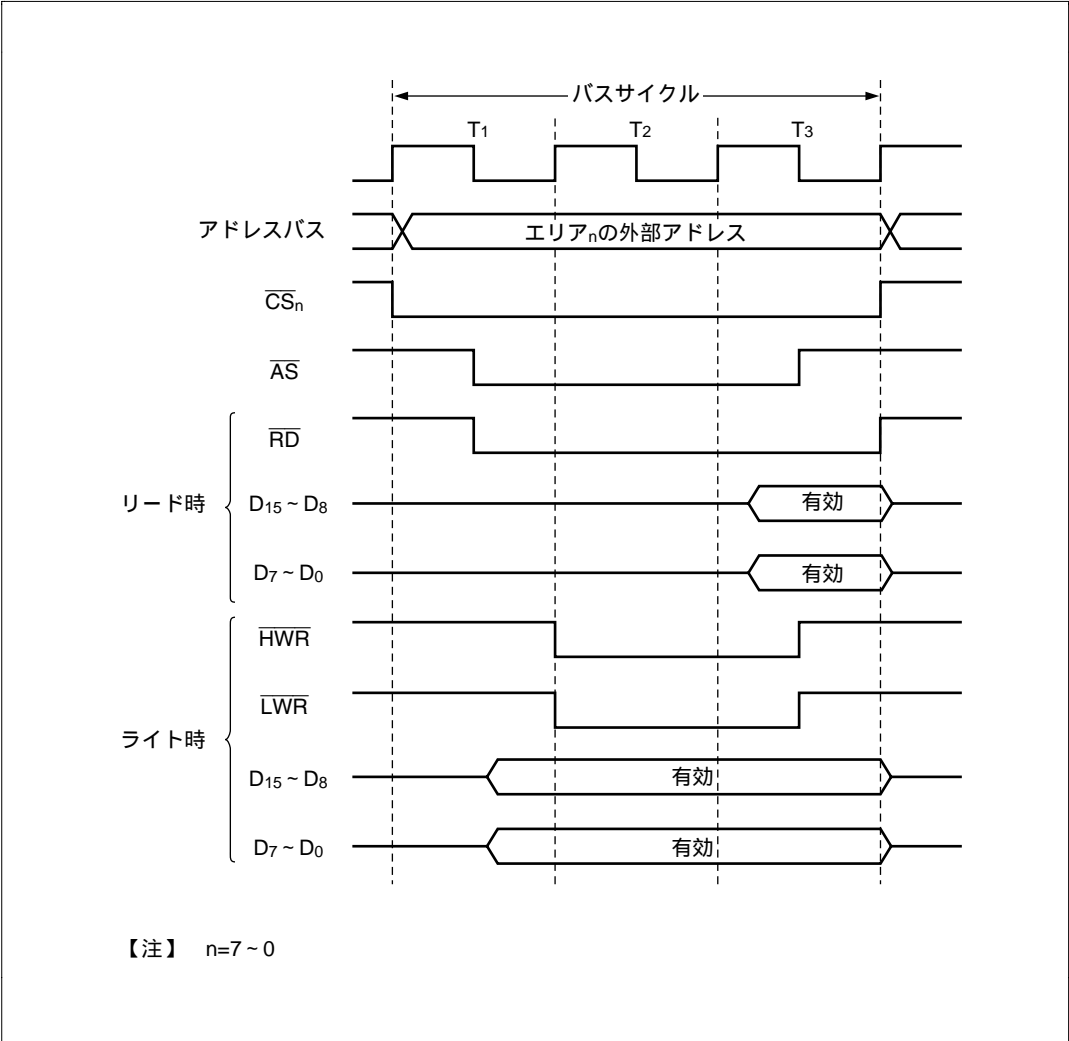


図 6.13 16 ビット 3 ステートアクセス空間のバス制御信号タイミング
(ワードアクセス)

(4) 16 ビット 2 ステートアクセス空間

図 6.14～図 6.16 に 16 ビット 2 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することはできません。

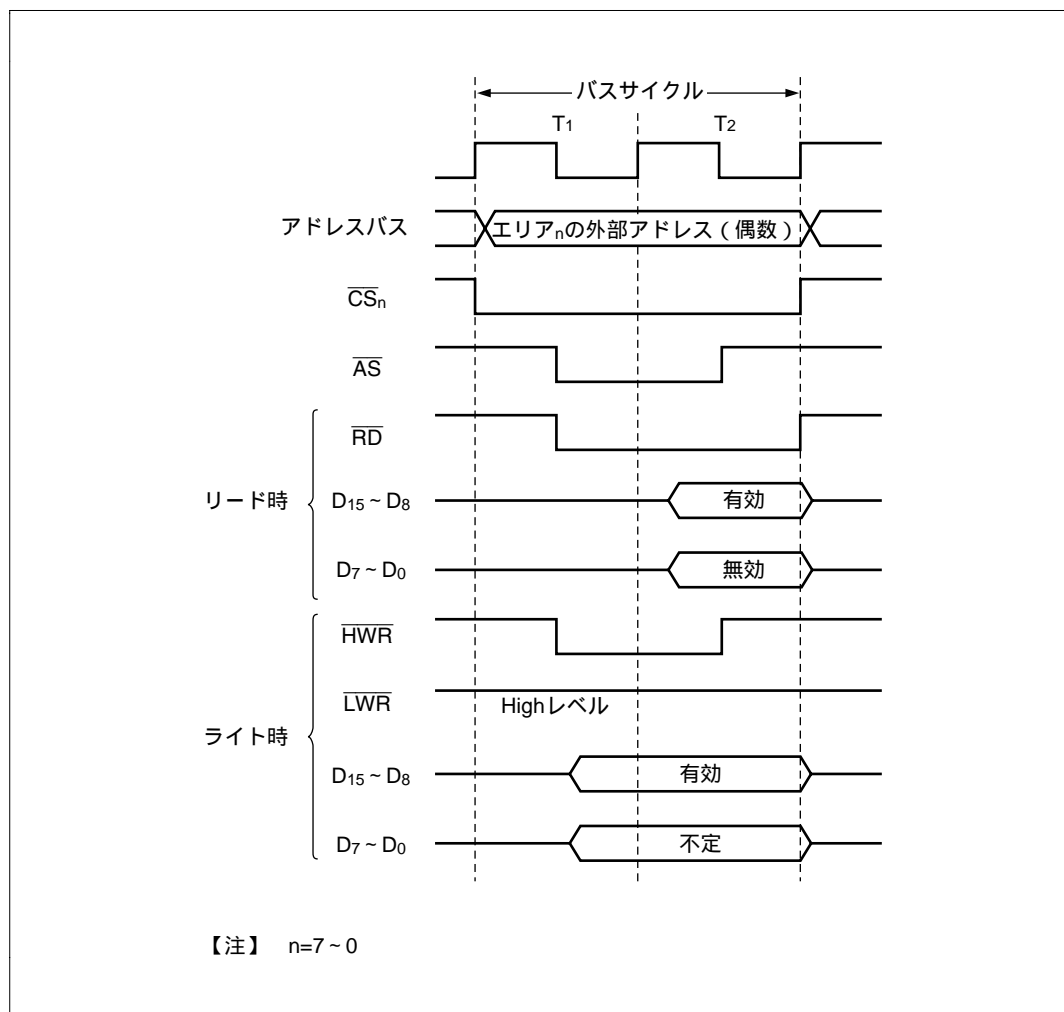


図 6.14 16 ビット 2 ステートアクセス空間のバス制御信号タイミング
(偶数アドレスバイトアクセス)

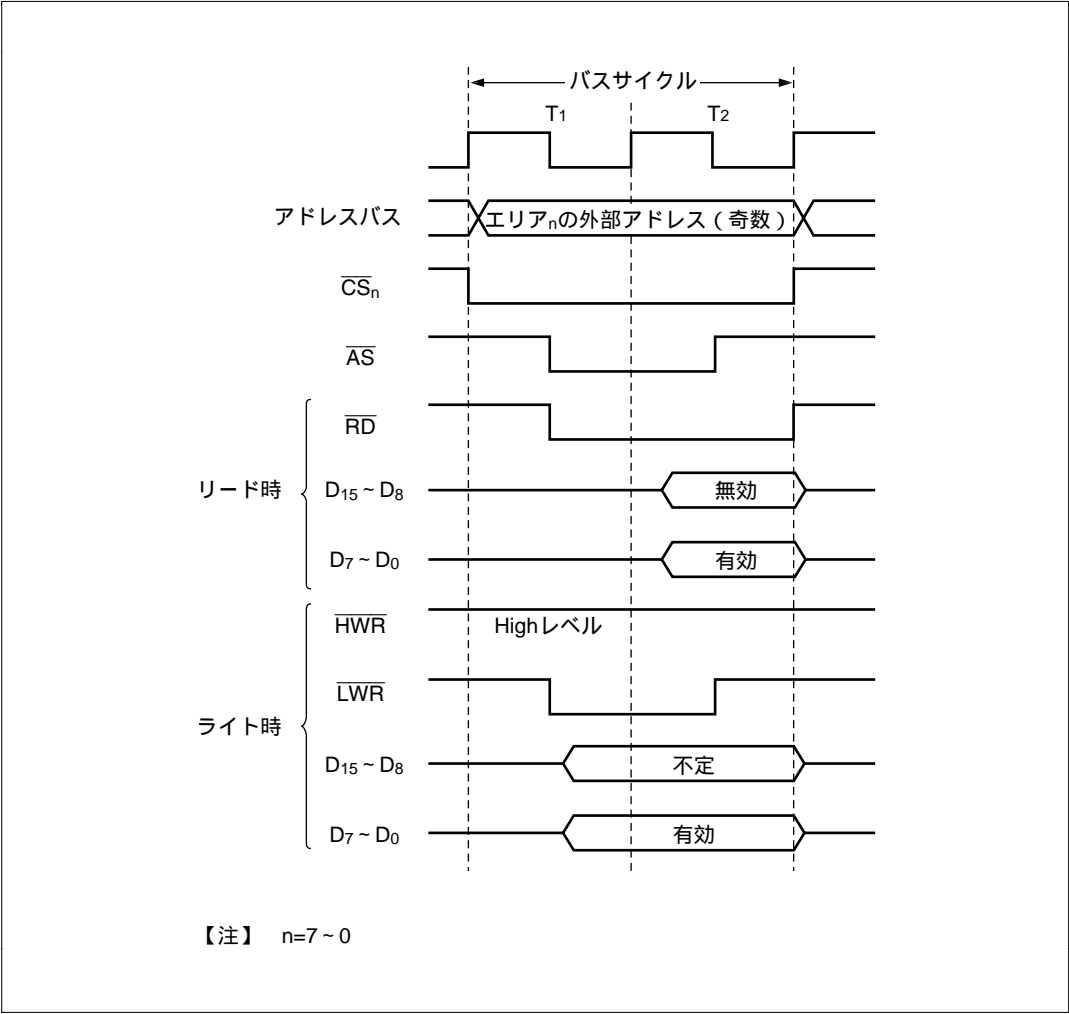


図 6.15 16 ビット 2 ステートアクセス空間のバス制御信号タイミング
(奇数アドレスバイトアクセス)

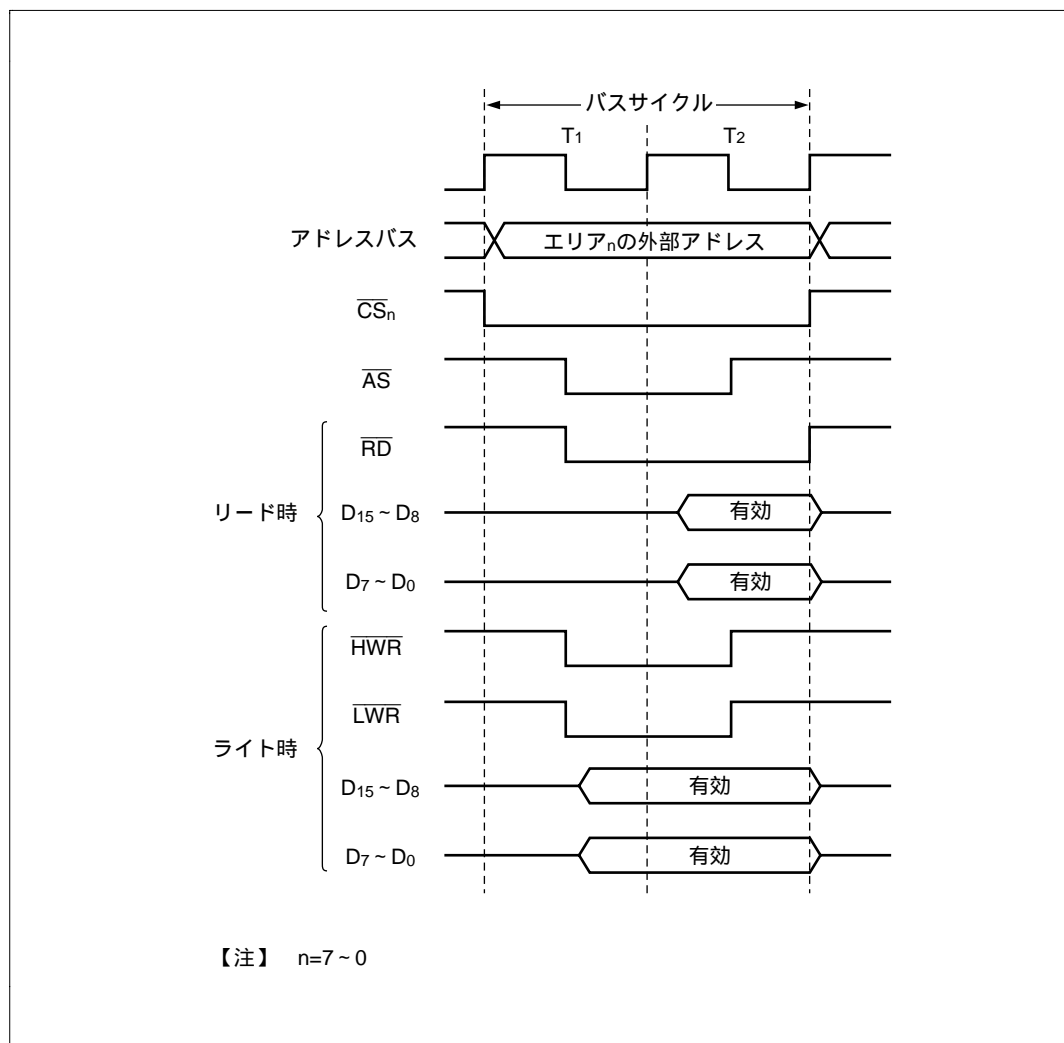


図 6.16 16 ビット 2 ステートアクセス空間のバス制御信号タイミング
(ワードアクセス)

6.4.6 ウェイト制御

本 LSI は、外部空間をアクセスするとき、ウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、

(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まずプログラムウェイトが挿入されます。 T_2 または T_w の最後のステートの 立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

WAITE ビットはすべてのエリアに対して共通です。

なお、DRAM 空間には端子ウェイトは挿入されません。

図 6.17 に 3 ステート空間プログラムウェイト 1 ステートのウェイトステート挿入のタイミング例を示します。

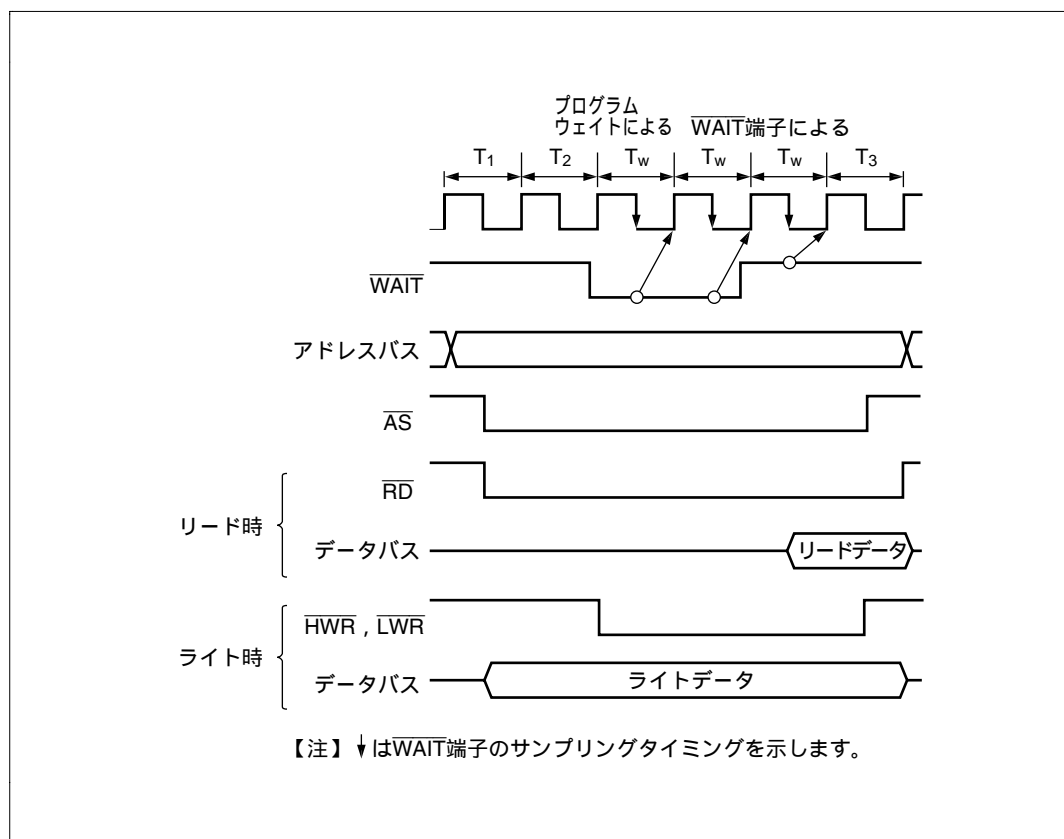


図 6.17 ウェイトステート挿入タイミング例

6.5 DRAM インタフェース

6.5.1 概要

本 LSI は、DRAM 制御信号 (\overline{RAS} 、 \overline{UCAS} 、 \overline{LCAS} 、 \overline{WE}) の出力機能、アドレスマルチプレクス機能、およびリフレッシュ機能を持った DRAM インタフェースを備えることにより DRAM を直結することができます。拡張モードのとき、エリア 2~5 の外部アドレス空間を、DRAM インタフェースが機能する DRAM 空間として割り付けることができます。DRAM 空間のデータバス幅は ABWCR の設定により 8 ビットと 16 ビットから選択できます。データバス幅として 16 ビットを選択した場合のバイトアクセス制御は CAS を用います。したがって×16 ビット構成の DRAM では 2CAS 方式のものが接続可能となります。アクセスモードとしては通常のリード、ライトアクセスに加え、高速ページモードをサポートします。

6.5.2 DRAM 空間と \overline{RAS} 出力端子の設定

エリア 2~5 に対する DRAM 空間の割り付けと DRAM 空間に設定された各エリアに対応する \overline{RAS} 出力端子の選択は、DRCRA の DRAS2~DRAS0 ビットを設定することにより行います。DRAS2~DRAS0 ビットの設定値と選択される DRAM 空間および \overline{RAS} 出力端子の関係を表 6.5 に示します。なお、DRAS2~DRAS0 に任意の値が設定されている場合、000 以外の異なる値のライトは行わないでください。

表 6.5 DRAS2~DRAS0 の設定値と DRAM 空間 (\overline{RAS} 出力端子) の関係

DRAS2	DRAS1	DRAS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	0	通常空間	通常空間	通常空間	通常空間
		1	通常空間	通常空間	通常空間	DRAM 空間 (\overline{CS}_2)
	1	0	通常空間	通常空間	DRAM 空間 (\overline{CS}_3)	DRAM 空間 (\overline{CS}_2)
		1	通常空間	通常空間	DRAM 空間 (\overline{CS}_2) *	
1	0	0	通常空間	DRAM 空間 (\overline{CS}_4)	DRAM 空間 (\overline{CS}_3)	DRAM 空間 (\overline{CS}_2)
		1	DRAM 空間 (\overline{CS}_5)	DRAM 空間 (\overline{CS}_4)	DRAM 空間 (\overline{CS}_3)	DRAM 空間 (\overline{CS}_2)
	1	0	DRAM 空間 (\overline{CS}_4) *		DRAM 空間 (\overline{CS}_2) *	
		1	DRAM 空間 (\overline{CS}_2) *			

【注】 * 1 本の \overline{CS}_n 端子が複数エリアに共通の \overline{RAS} 出力端子となります。このとき不要となる \overline{CS}_n 端子は入出力ポートとして使用可能となります。

6.5.3 アドレスマルチプレクス

DRAM 空間をアクセスする場合、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスの方法は、DRAM のカラムアドレスのビット数に合せ DRCRB の MXC1、MXC0 ビットにより選択します。表 6.6 に MXC1、MXC0 の設定値とアドレスマルチプレクスの関係を示します。

表 6.6 MXC1、MXC0 とアドレスマルチプレクスの関係

	DRCRB		カラム アドレス ビット数	アドレス端子													
	MXC1	MXC0		A ₂₃ ~ A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
ロウアドレス	0	0	8 ビット	A ₂₃ ~ A ₁₃	A ₂₀ *	A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈
		1	9 ビット	A ₂₃ ~ A ₁₃	A ₁₂	A ₂₀ *	A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉
	1	0	10 ビット	A ₂₃ ~ A ₁₃	A ₁₂	A ₁₁	A ₂₀ *	A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀
		1	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-
カラムアドレス	-	-	-	A ₂₃ ~ A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀

【注】 * 動作モードが 1M バイトモードの時、ロウアドレスの A₂₀ はマルチプレクスされません。

6.5.4 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると、当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では $\times 16$ ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では $D_{15} \sim D_8$ の上位側データバスが有効となり、16 ビット DRAM 空間では $D_{15} \sim D_0$ の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.4.2 データサイズとデータアライメント」を参照してください。

6.5.5 DRAM インタフェース使用端子

表 6.7 に DRAM インタフェースで使用する端子と機能を示します。

表 6.7 DRAM インタフェース端子構成

端子	DRAM 設定時	名 称	入出力	機 能
PB4	\overline{UCAS}	アッパーカラムアドレスストロープ	出力	DRAM 空間アクセス時のアッパーカラムアドレスストロープ (DRCRB の CSEL=0 のとき)
PB5	\overline{LCAS}	ロウアーカラムアドレスストロープ	出力	DRAM 空間アクセス時のロウアーカラムアドレスストロープ (DRCRB の CSEL=0 のとき)
HWR	\overline{UCAS}	アッパーカラムアドレスストロープ	出力	DRAM 空間アクセス時のアッパーカラムアドレスストロープ (DRCRB の CSEL=1 のとき)
LWR	\overline{LCAS}	ロウアーカラムアドレスストロープ	出力	DRAM 空間アクセス時のロウアーカラムアドレスストロープ (DRCRB の CSEL=1 のとき)
\overline{CS}_2	\overline{RAS}_2	ロウアドレスストロープ 2	出力	DRAM 空間アクセス時のロウアドレスストロープ
\overline{CS}_3	\overline{RAS}_3	ロウアドレスストロープ 3	出力	DRAM 空間アクセス時のロウアドレスストロープ
\overline{CS}_4	\overline{RAS}_4	ロウアドレスストロープ 4	出力	DRAM 空間アクセス時のロウアドレスストロープ
\overline{CS}_5	\overline{RAS}_5	ロウアドレスストロープ 5	出力	DRAM 空間アクセス時のロウアドレスストロープ
\overline{RD}	\overline{WE}	ライトイネーブル	出力	DRAM 空間ライトアクセス時のライトイネーブル*
P80	\overline{RFSH}	リフレッシュ	出力	リフレッシュサイクル時 Low レベルとなります
$A_{12} \sim A_0$	$A_{12} \sim A_0$	アドレス	出力	ロウアドレス / カラムアドレスのマルチプレクス出力
$D_{15} \sim D_0$	$D_{15} \sim D_0$	データ	入出力	データ入出力端子

【注】 * リードアクセス時は High レベル固定となります。

6.5.6 基本タイミング

DRAM 空間の基本アクセスタイミングを図 6.18 に示します。DRAM の基本タイミングは 4 ステートで、プリチャージサイクル (T_p) 1 ステート、ロウアドレス出力サイクル (T_r) 1 ステート、カラムアドレス出力サイクル (T_{c1} 、 T_{c2}) 2 ステートで構成されています。基本バスインタフェースとは異なり、ASTCR の対応するビットは T_{c1} - T_{c2} 間ウェイトステートの挿入の許可または禁止のみを制御し、アクセスステート数に影響は与えません。ASTCR の当該ビットを 0 にクリアしてある場合、DRAM アクセスサイクルの T_{c1} - T_{c2} 間ウェイトステートの挿入を行うことができません。

なお、 \overline{UCAS} 、 \overline{LCAS} の出力端子として \overline{HWR} 、 \overline{LWR} を選択した場合、DRAM のリード/ライトサイクルに続き DRAM 空間以外の外部エリアに対するアクセスサイクルが連続すると、DRAM アクセスサイクルの直後に無条件にアイドルサイクル (T_i) が挿入されます。詳細は「6.9 アイドルサイクル」を参照してください。

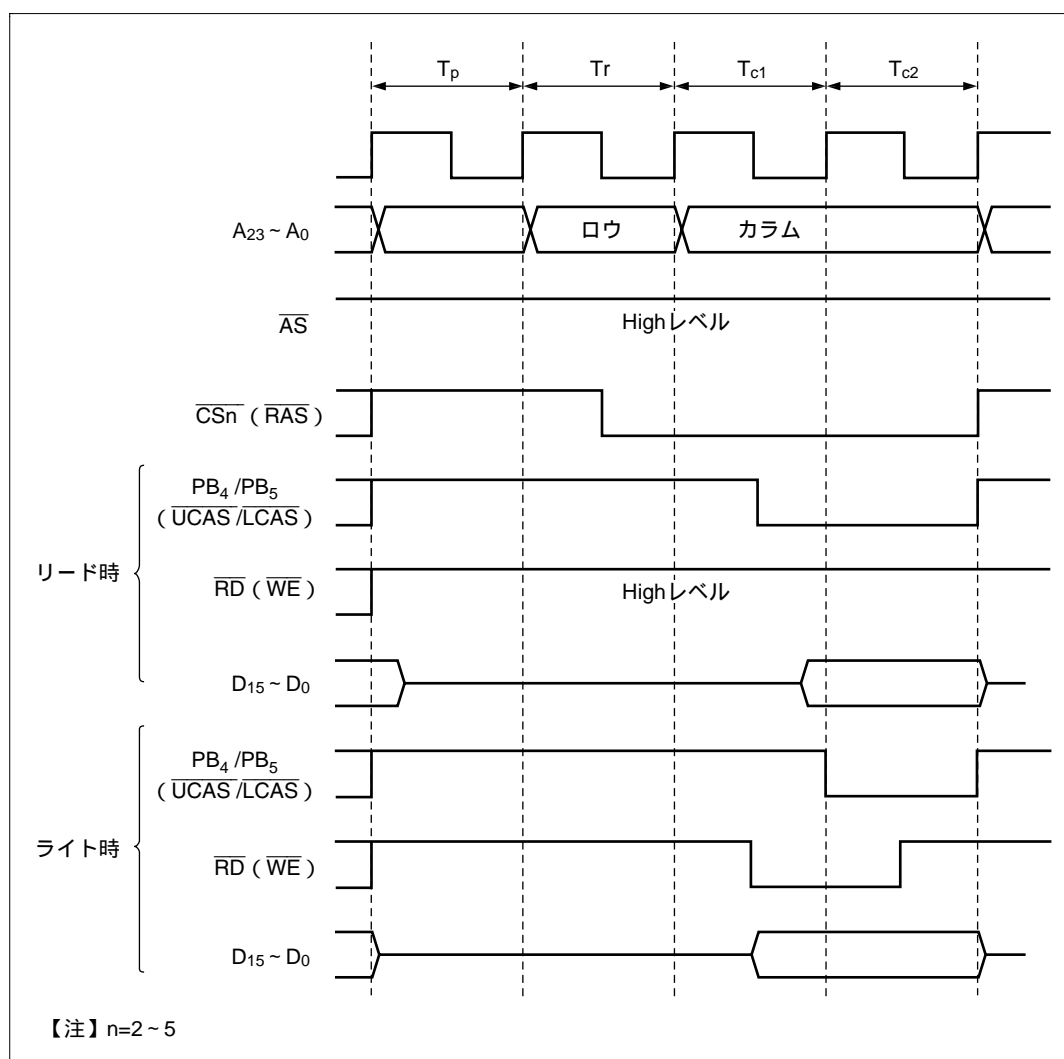


図 6.18 基本アクセスタイミング (DRCRB の CSEL=0 の場合)

6.5.7 プリチャージステート制御

本 LSI では、DRAM の RAS プリチャージ時間を考慮し、DRAM 空間をアクセスするとき、RAS プリチャージステート (T_p) を必ず 1 ステート挿入します。さらに、DRCRB の TPC ビットを 1 にセットすることにより、 T_p を 1 ステートから 2 ステートへ変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な T_p サイクル数を設定してください。図 6.19 に T_p を 2 ステートとしたときのタイミングを示します。

TPC ビットを 1 にセットすると、CAS ビフォア RAS リフレッシュサイクルの T_p も 2 ステートとなります。

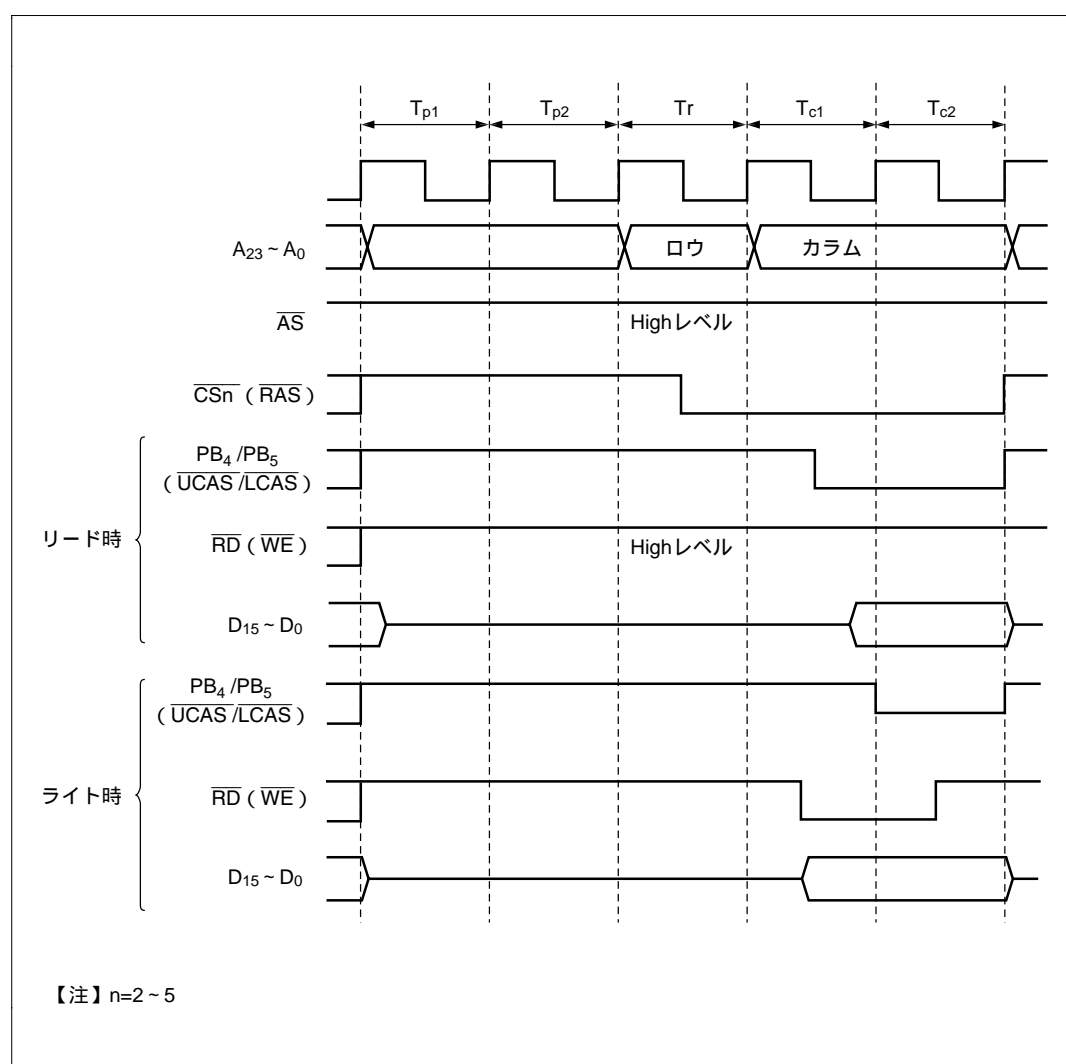


図 6.19 プリチャージサイクル 2 ステート時のタイミング
(DRCRB の CSEL=0 の場合)

6.5.8 ウェイト制御

DRAM アクセスサイクルの(1) T_r ステートと T_{c1} ステートの間および(2) T_{c1} ステートと T_{c2} ステートの間にウェイトステートを挿入することができます。

(1) $T_r - T_{c1}$ 間ウェイトステート (T_{rw}) の挿入

DRCRB の RCW ビットを 1 に設定することにより T_{rw} を T_r ステートと T_{c1} ステートの間に 1 ステート挿入することができます。

(2) $T_{c1} - T_{c2}$ 間ウェイトステート (T_w) の挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WCRH、WCRL の設定により、0~3 ステートの T_w を、 T_{c1} ステートと T_{c2} ステートの間に挿入することができます。

図 6.20 にウェイトステート挿入のタイミング例を示します。

なお、DRCRB の RCW ビットの設定および ASTCR、WCRH、WCRL の設定はリフレッシュサイクルに対し影響を与えません。また、DRAM 空間のアクセスサイクルには $\overline{\text{WAIT}}$ 端子によるウェイトステートの挿入はできません。

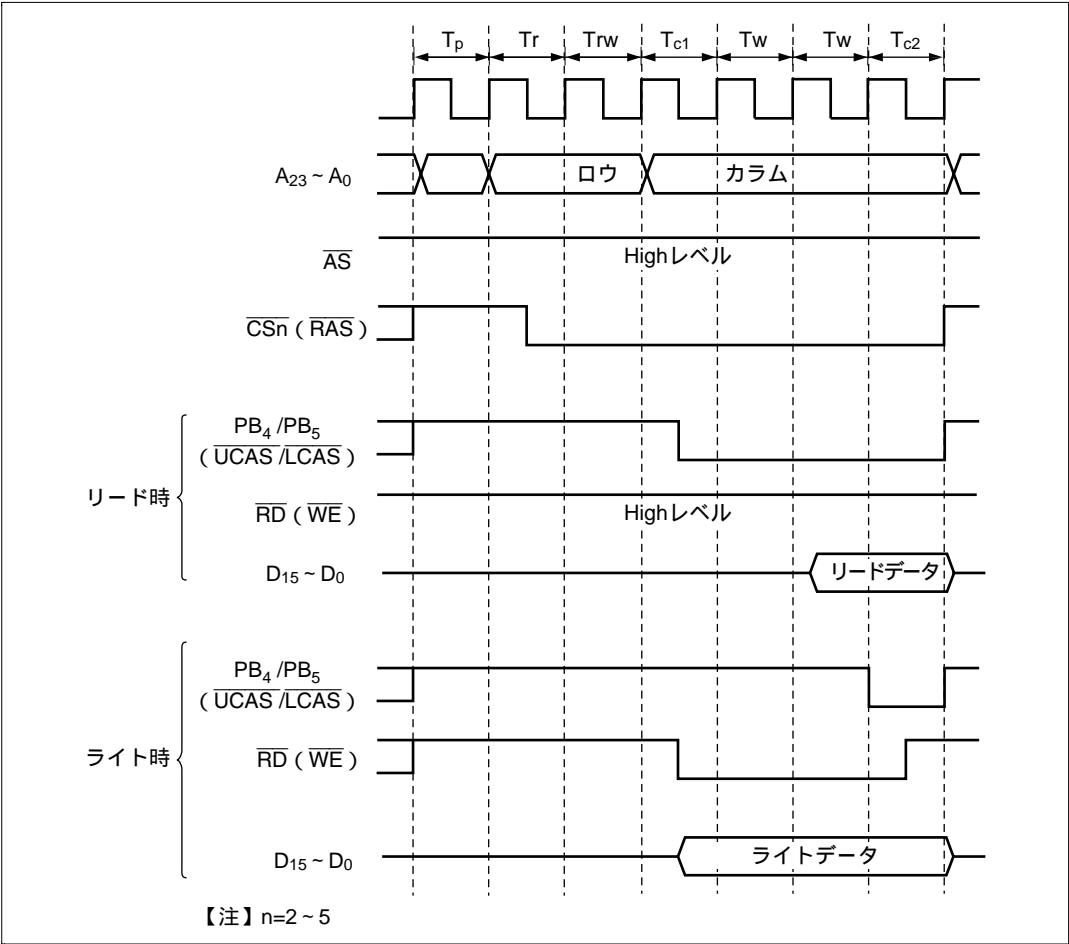


図 6.20 ウェイトステート挿入タイミング例 (CSEL=0 の場合)

6.5.9 バイトアクセス制御と $\overline{\text{CAS}}$ 出力端子

ABWCR により 16 ビットアクセス空間に指定された DRAM 空間をアクセスする場合、外部データバスの上位側、下位側にそれぞれ対応するカラムアドレスストロープ ($\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$) を出力します。×16 ビット構成の DRAM では 2CAS 方式のものが接続できます。

$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子として PB4、PB5 および $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ があり DRCRB の CSEL ビットの設定により選択することができます。表 6.8 に CSEL の設定値と $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子の関係を示します。

ABWCR により 8 ビットアクセス空間に設定された DRAM 空間をアクセスする場合、 $\overline{\text{UCAS}}$ のみ出力します。すべての DRAM 空間が 8 ビットアクセス空間に設定されており、CSEL=0 の場合、PB5 は入出力ポートとして使用することができます。

なお、外部空間に DRAM 以外のデバイスを接続し、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ をライトストロープとして使用する場合、 $\overline{\text{RAS}}$ ダウンモードは使用できませんので注意してください。また、この場合 DRAM 空間アクセス後に DRAM 空間以外の外部アクセスが発生すると、必ずアイドルサイクル (T_i) が挿入されます。詳細は「6.9 アイドルサイクル」を参照してください。

表 6.8 CSEL の設定値と $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子の関係

CSEL	$\overline{\text{UCAS}}$	$\overline{\text{LCAS}}$
0	PB4	PB5
1	$\overline{\text{HWR}}$	$\overline{\text{LWR}}$

図 6.21 に制御タイミングを示します。

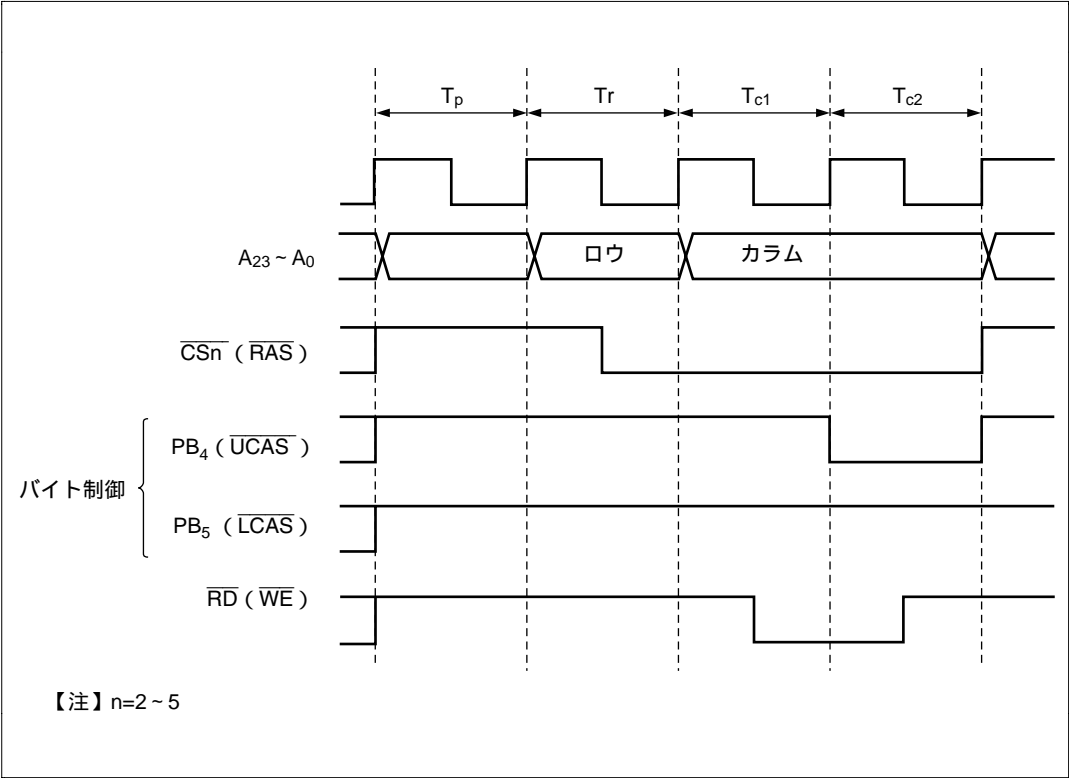


図 6.21 制御タイミング (CSEL=0 の場合の上位バイトライトアクセス時)

6.5.10 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後、カラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。DRCRA の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

（１）バーストアクセス（高速ページモード）の動作タイミング

図 6.22 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、各アクセスサイクルのロウアドレスが一致している間、カラムアドレスと $\overline{\text{CAS}}$ 信号の出力サイクル（2 ステート）が連続して行われます。バーストアクセスにおいても $T_{\text{C1}}-T_{\text{C2}}$ 間ウェイトステートを挿入してバスサイクルを引き延ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.5.8 ウェイト制御」を参照してください。

比較対象となるロウアドレスは DRCRB の MXC1、MXC0 ビットと ABWCR で設定された各エリアのバス幅で決まります。表 6.9 に MXC1、MXC0 ビットおよび ABWCR の設定値と比較対象となるロウアドレスの関係を示します。

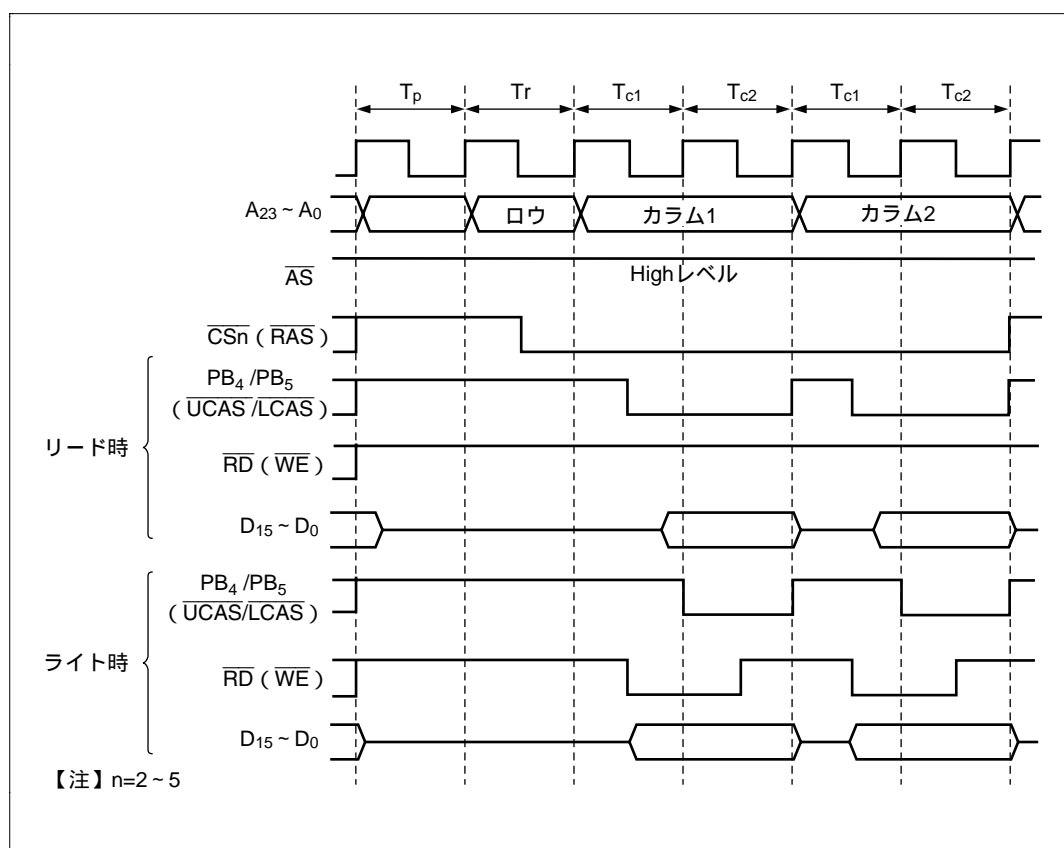


図 6.22 高速ページモードの動作タイミング

表 6.9 MXC1、MXC0 および ABWCR の設定値とバーストアクセス時に比較対象となる
ロウアドレスの関係

動作モード	DRCRB		ABWCR	バス幅	比較対象の ロウアドレス
	MXC1	MXC0	ABWn		
モード 1、2 (1M バイト)	0	0	0	16 ビット	A19 ~ A9
			1	8 ビット	A19 ~ A8
		1	0	16 ビット	A19 ~ A10
			1	8 ビット	A19 ~ A9
	1	0	0	16 ビット	A19 ~ A11
			1	8 ビット	A19 ~ A10
		1			設定禁止
モード 3、4、5 (16M バイト)	0	0	0	16 ビット	A23 ~ A9
			1	8 ビット	A23 ~ A8
		1	0	16 ビット	A23 ~ A10
			1	8 ビット	A23 ~ A9
	1	0	0	16 ビット	A23 ~ A11
			1	8 ビット	A23 ~ A10
		1			設定禁止

【注】 n=2 ~ 5

(2) RAS ダウンモードと RAS アップモード

高速ページモードを備えた DRAM では、アクセスが連続していない場合でも同一ロウアドレスへのアクセスならば、 $\overline{\text{RAS}}$ 信号を Low レベルに保持しておくことにより、バースト動作を断続的に続けることができます。

(a) RAS ダウンモード

RAS ダウンモードを選択するときは、DRCRA の BE、RDM ビットを 1 にセットしてください。DRAM 空間に対するアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致した場合、バーストアクセスが行われます。図 6.23 に RAS ダウンモードのタイミング例を示します。

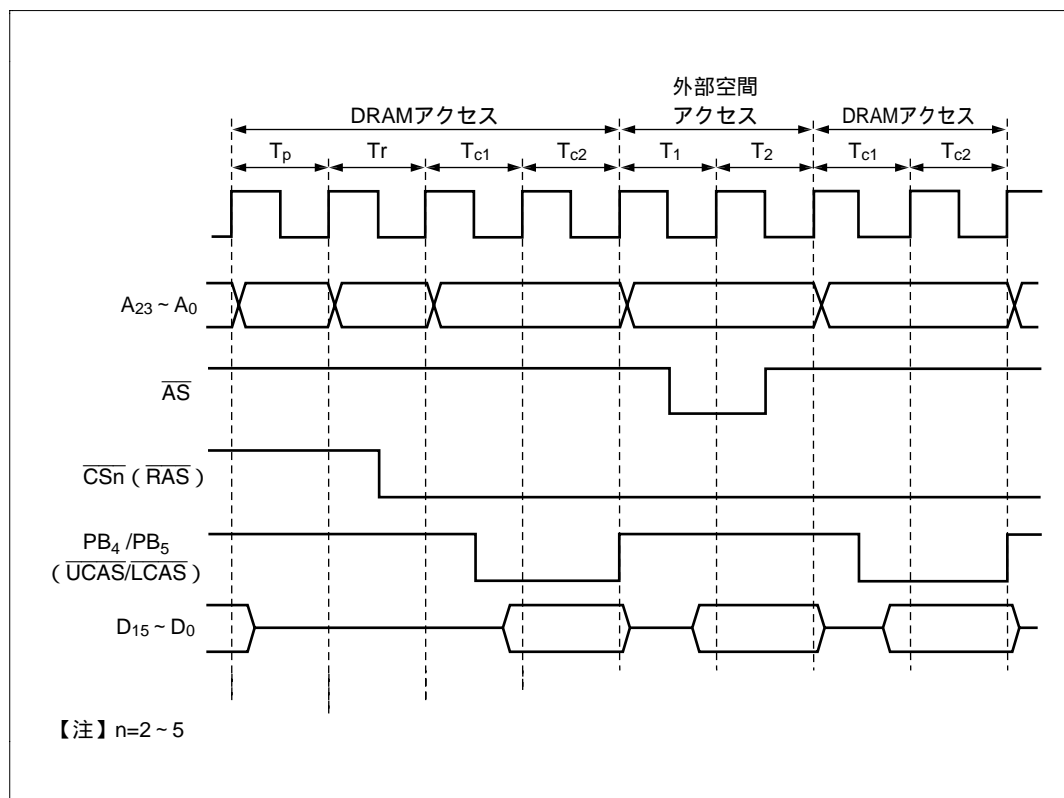


図 6.23 RAS ダウンモードの動作タイミング例
(CSEL=0 の場合)

RAS ダウンモードを選択している場合、いったんアサートされた $\overline{\text{RASn}}$ 信号が High レベルに戻る条件は以下のとおりです。そのときのタイミング図を図 6.24 に示します。

- (a) 異なるロウアドレスの DRAM 空間をアクセスする場合
- (b) CAS ビフォ RAS リフレッシュサイクルの直前
- (c) DRCRA の BE ビットまたは RDM ビットへの 0 セット
- (d) 外部バス権解放の直前

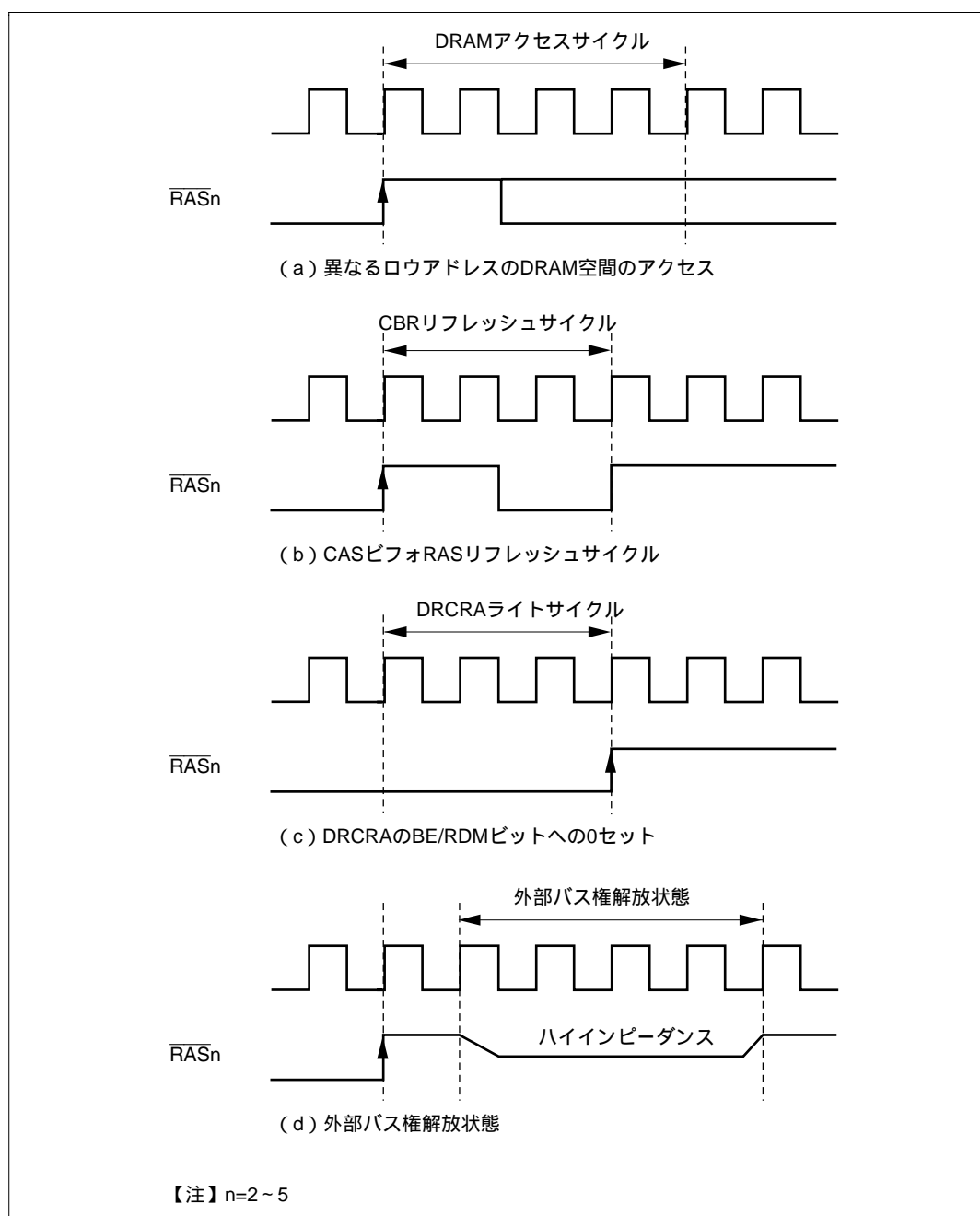


図 6.24 RAS ダウンモード選択時の $\overline{\text{RASn}}$ のネゲートタイミング

RAS ダウンモードを選択する場合には、DRAM のリフレッシュの方法として必ず、本 DRAM インタフェースの CAS ビフォ RAS リフレッシュ機能を使用してください。リフレッシュ動作を行う時、 $\overline{\text{RAS}}$ 信号はその直前に High レベルになります。DRAM の $\overline{\text{RAS}}$ パルス幅の最大規定を満たすように、リフレッシュ間隔の設定を行ってください。

また、セルフリフレッシュ機能を使用する場合には、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行する前に必ず RDM ビットを 0 にクリアし、RAS アップモードを選択してください。RAS ダウンモードの選択はソフトウェアスタンバイ解除後、改めて行ってください。

なお、 $\overline{\text{UCAS}}/\overline{\text{LCAS}}$ として $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ を選択し、かつ外部空間に DRAM 以外のデバイスを接続し、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ をライトストロープとして使用する場合、RAS ダウンモードは使用できませんので注意してください。

(b) RAS アップモード

RAS アップモードを選択するときは、DRCRA の RDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号を High レベルに戻します。DRAM 空間が連続している場合だけ、バースト動作が行われます。

図 6.25 に RAS アップモードのタイミング例を示します。

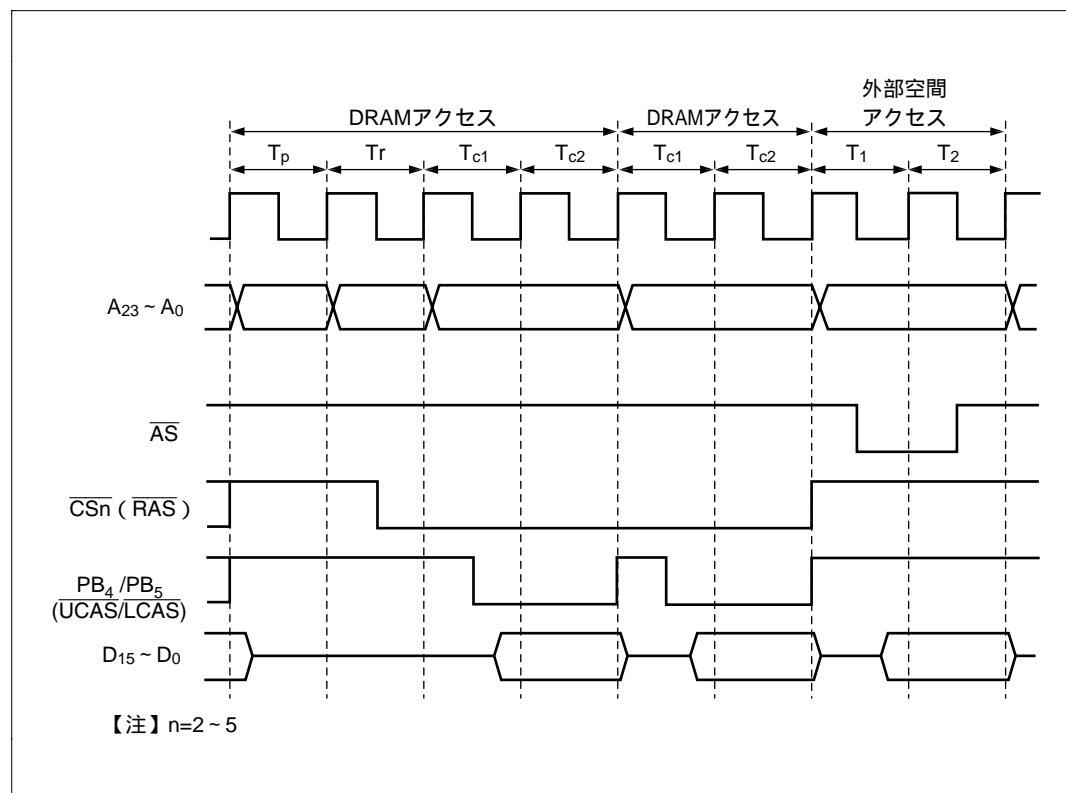


図 6.25 RAS アップモードの動作タイミング例

6.5.11 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能として、CAS ビフォ RAS(CBR)リフレッシュ機能、およびセルフリフレッシュ機能を備えています。

(1) CAS ビフォ RAS(CBR)リフレッシュ

CBR リフレッシュを選択するためには、DRCRB の RCYCE ビットを 1 にセットしてください。

CBR リフレッシュでは、RTMCSR の CKS2~CKS0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ要求が発生します。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュ要求は RTCOR と CKS2~CKS0 ビットで決まる一定間隔で繰り返し、発生します。リフレッシュサイクルの実行は、このリフレッシュ要求を受け、DRAM インタフェースがバス権を獲得した後に行われます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2~CKS0 ビットの値を設定してください。また、RAS ダウンモードを使用する場合には、 $\overline{\text{RAS}}$ パルス幅の最大規定を満たすようにリフレッシュ間隔の設定を行ってください。

RTCNT のカウントアップは、CKS2~CKS0 ビットの設定を行うことにより開始されます。したがって、CKS2~CKS0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。

なお、バス権要求中に発生したリフレッシュの再要求、あるいはリフレッシュサイクル実行中のリフレッシュ要求は無視されるので注意してください。

図 6.26 に RTCNT の動作を、図 6.27 にコンペアマッチのタイミングを、図 6.28、図 6.29 に CBR リフレッシュのタイミングを示します。

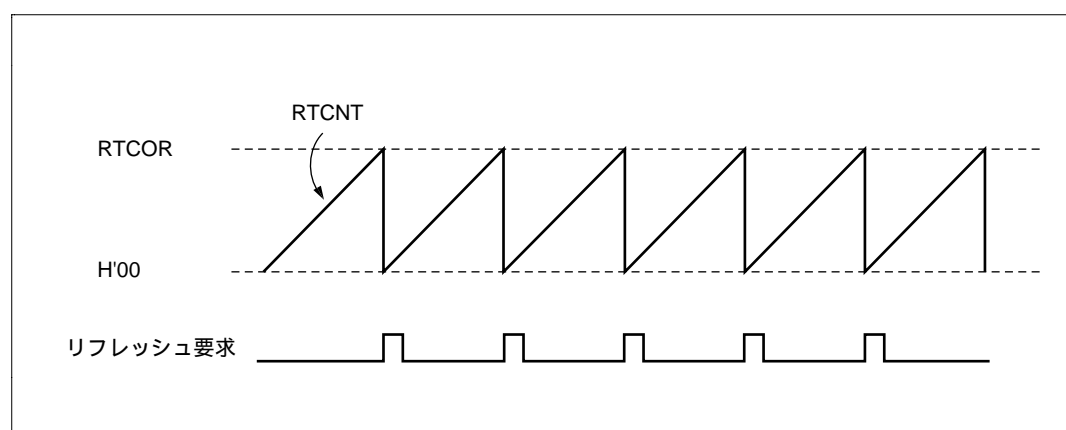


図 6.26 RTCNT の動作

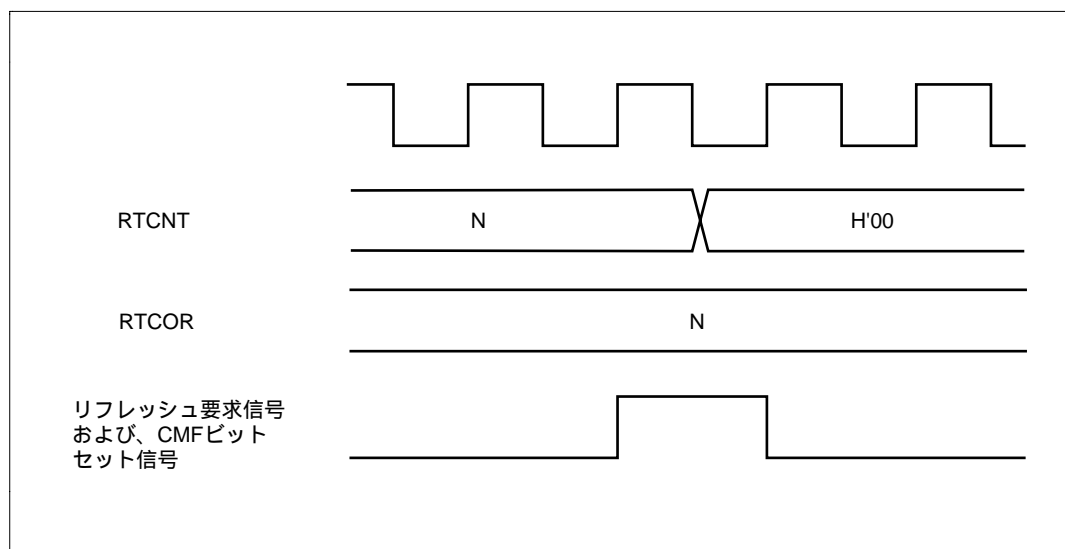


図 6.27 コンペアマッチのタイミング

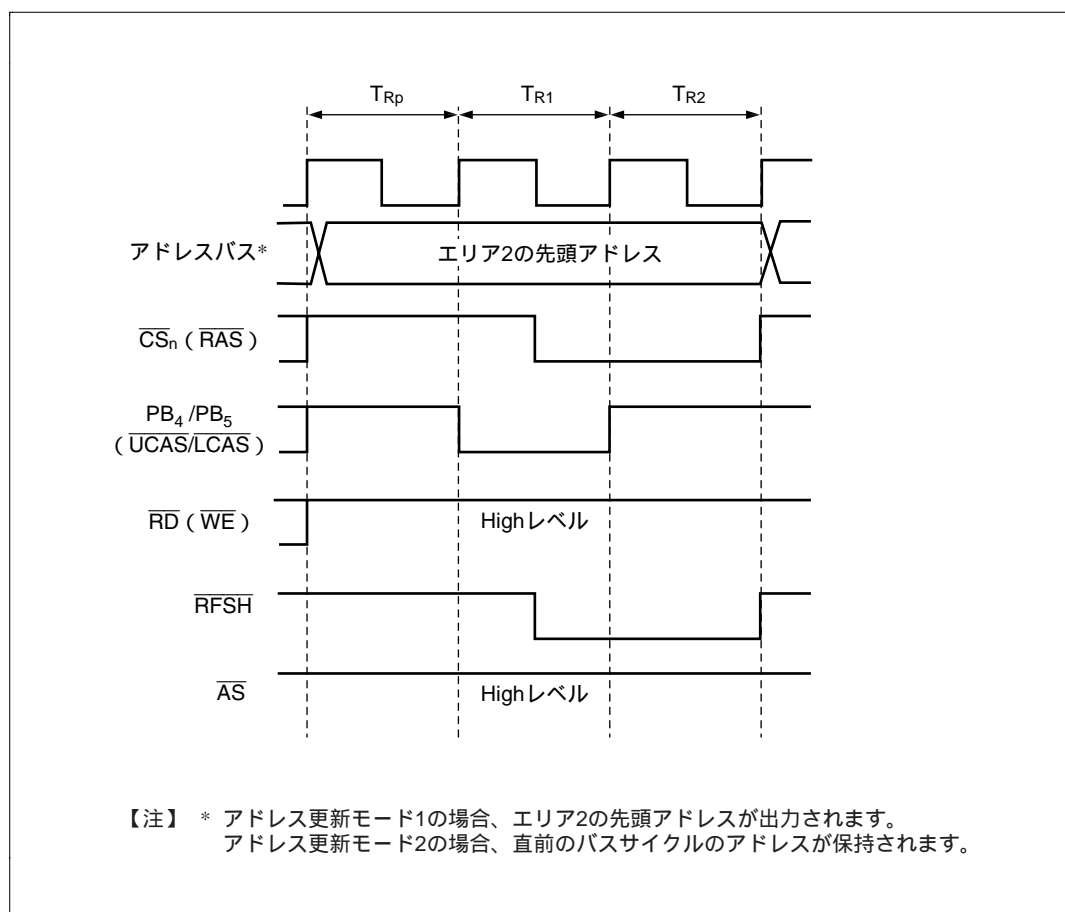


図 6.28 CBR リフレッシュタイミング (CSEL=0,TPC=0,RLW=0 の場合)

CBS リフレッシュサイクルの基本タイミングは、3 ステートで、RAS プリチャージサイクル (T_{RP}) 1 ステート、RAS 出力サイクル (T_{R1} 、 T_{R2}) 2 ステートで構成されます。RAS プリチャージサイクルのステート数は1ステートまたは2ステートから選択することができます。DRCRB の TPC ビットを1に設定した場合、 \overline{RAS} 信号が1サイクル遅れて出力されます。このとき、 \overline{UCAS} 、 \overline{LCAS} の出力タイミングは変化しません。

\overline{RAS} 信号幅は、DRCRB の RLW ビットで調整してください。RLW ビットを1に設定することにより T_{R1} ステートと T_{R2} ステートの間にリフレッシュウェイトステート (T_{RW}) を1ステート挿入することができます。

なお、RLW ビットの設定は、CBR リフレッシュサイクルに対してのみ有効になり、DRAM のリード/ライトサイクルに対しては影響を与えません。また、ASTCR、WCRH、WCRL の設定値および \overline{WAIT} 端子の状態は、CBR リフレッシュサイクルのステート数には影響を与えません。

図 6.29 に TPC ビットおよび RLW ビットにそれぞれ1を設定したときのタイミングを示します。

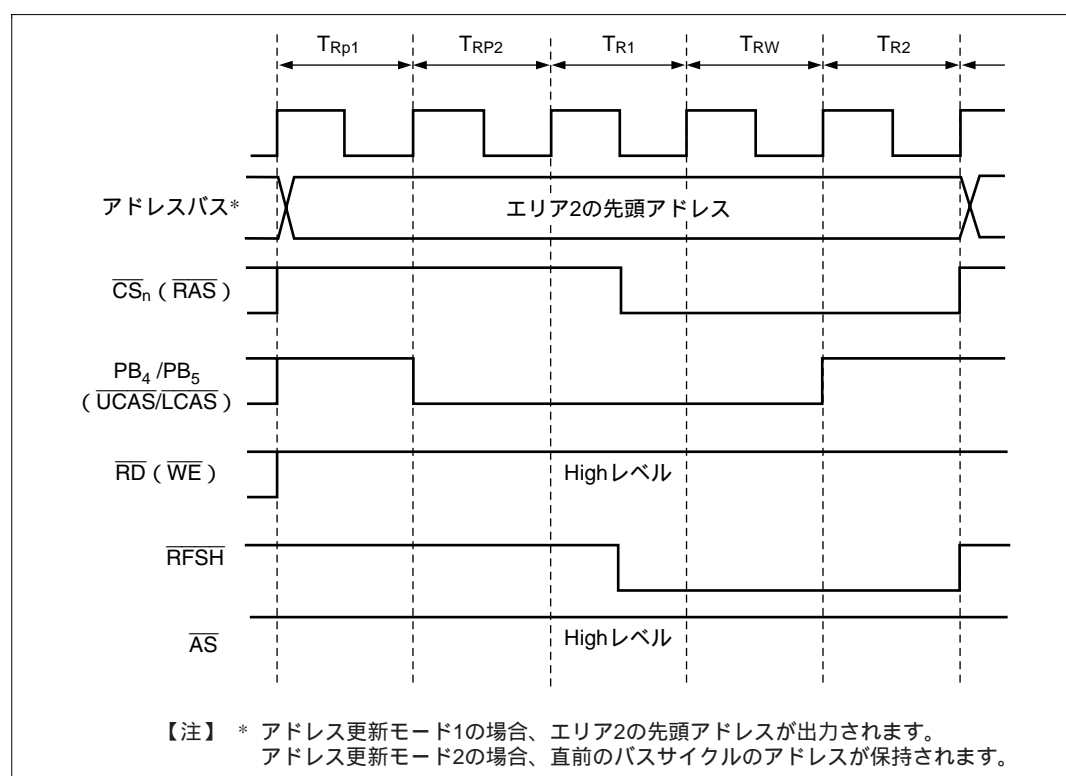


図 6.29 CBR リフレッシュタイミング (CSEL=0、TPC=1、RLW=1 の場合)

DRAM は、電源投入直後、内部状態を安定させるためにリフレッシュを必要とします。したがって、本 LSI の CAS ビフォ RAS リフレッシュ機能を使用する場合には DRCRA の DRAS2 ~ 0 の設定直後、他のタイマモジュールによる割り込み、あるいは RTMCSR のビット 7 (CMF) がセットされる回数を数えるなどして、DRAM の安定期間を確保してください。

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード(バッテリバックアップモード)を備えているものがあります。本 LSI は、ソフトウェアスタンバイモード時に、DRAM をセルフリフレッシュモードに遷移させる機能を備えています。

セルフリフレッシュ機能を使用するためには、DRCRA の SRFMD ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.30 に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され DRAM はセルフリフレッシュモードに遷移します。

ソフトウェアスタンバイモードが解除されると、 $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ は High レベル出力となります。

なお、セルフリフレッシュ機能を使用する場合、次の条件を守ってください。

- (1) バーストアクセスを選択している場合、ソフトウェアスタンバイモードに遷移するための SLEEP 命令の実行は、必ず RAS アップモードを選択した状態で行ってください。したがって、RAS ダウンモードを選択している場合には、SLEEP 命令を実行する前に必ず DRCRA の RDM ビットを 0 にクリアし RAS アップモードを選択してください。この場合、RAS ダウンモードの選択はソフトウェアスタンバイモード解除後に改めて行ってください。
- (2) SLEEP 命令の直後の命令を DRAM 空間に設定されたエリアに置かないでください。

以上の条件が満たされない場合、セルフリフレッシュ機能は正しく動作しませんので注意してください。

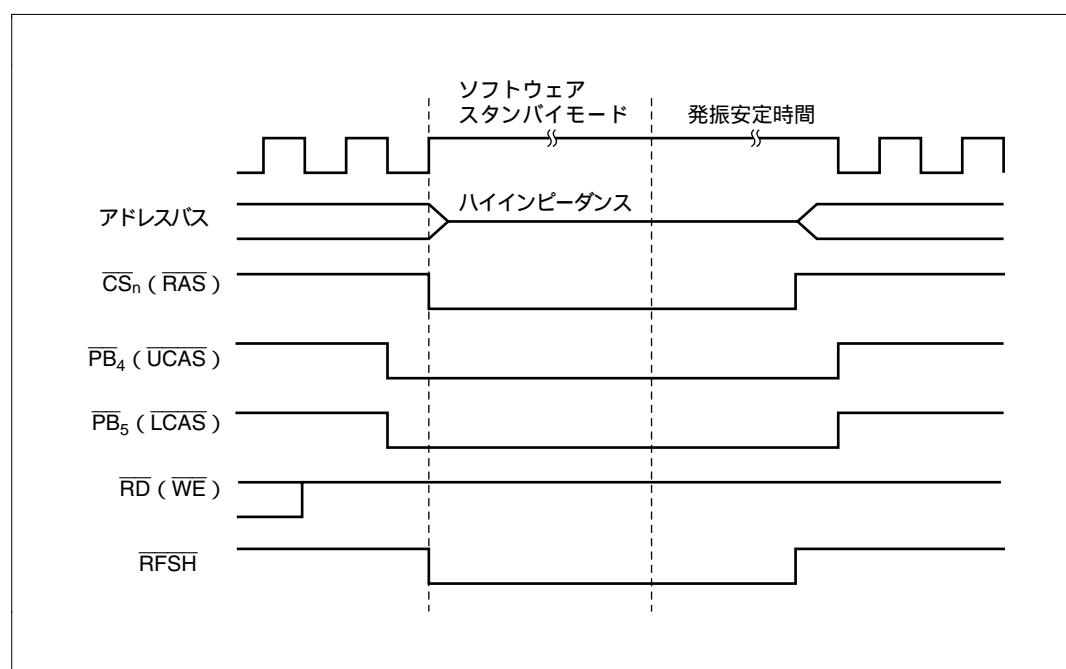


図 6.30 セルフリフレッシュタイミング (CSEL=0 の場合)

(3) リフレッシュ信号 ($\overline{\text{RFSH}}$)

DRCRA の RFSHE ビットを 1 にセットすることで、リフレッシュサイクルを外部に伝えるリフレッシュ信号 ($\overline{\text{RFSH}}$) を出力することができます。 $\overline{\text{RFSH}}$ の出力タイミングは図 6.28、図 6.29、図 6.30 を参照してください。

6.5.12 使用例

以下に DRAM の接続例とプログラム設定手順例を示します。DRAM インタフェースを使用する場合には、DRAM デバイス特性を確認の上、そのデバイスに適合する使い方をしてください。

(1) 接続例

- (1) 図 6.31 に $\times 16$ ビット構成 (2CAS 方式) の 16M ビット DRAM を 2 個使用する場合の接続例とそのアドレスマップを示します。本例では 10 ビットロウアドレス \times 10 ビットコラムアドレスのタイプのものを使用しています。エリア 2～5 を DRAM 空間に設定することにより最大 4 個の DRAM を接続できます。

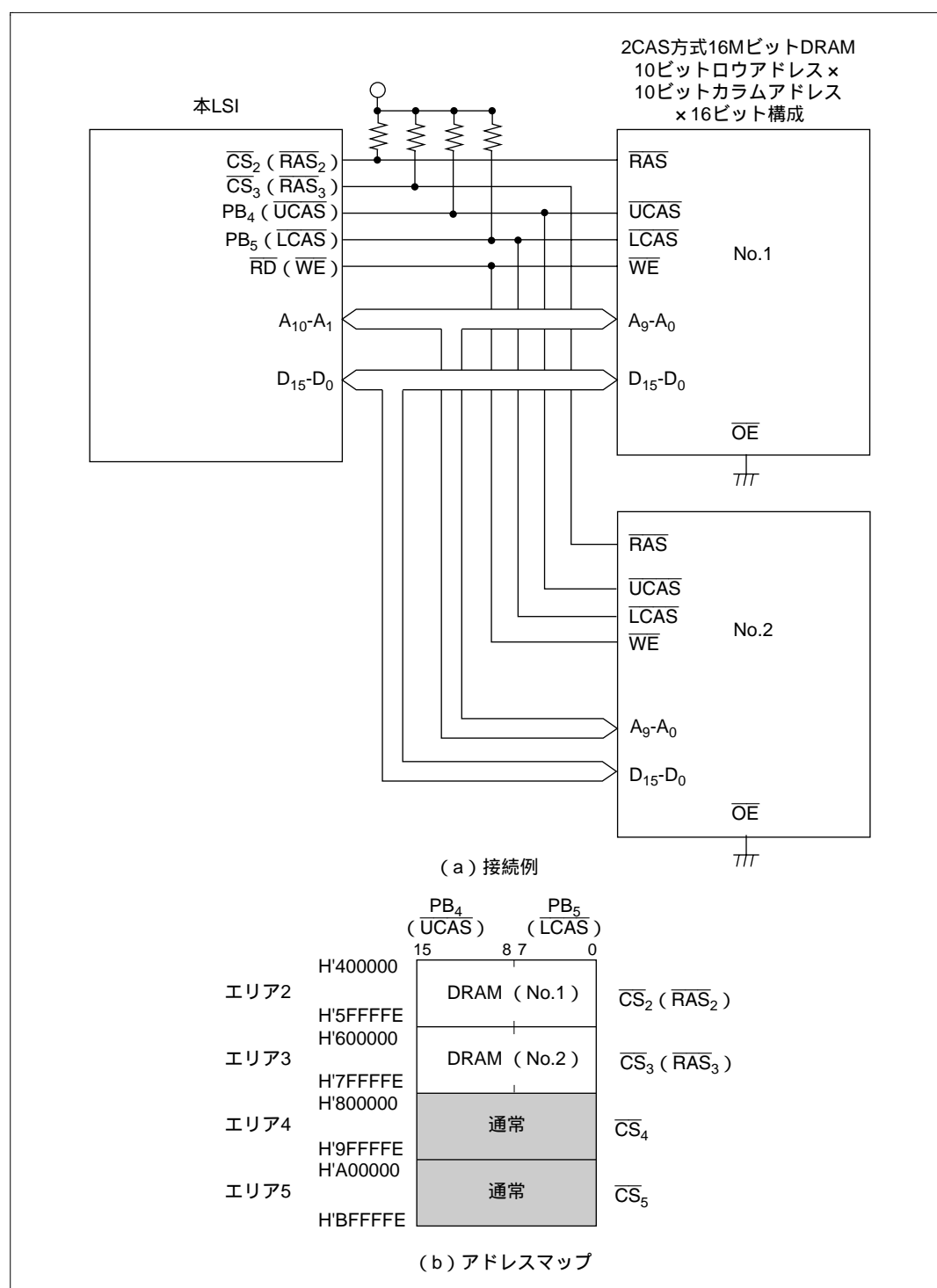


図 6.31 ×16 ビット構成(2CAS 方式)の 16M ビット DRAM の接続例とアドレスマップ

- (2) 図 6.32 に ×8 ビット構成の 16M ビット DRAM を 2 個使用する場合の接続例とそのアドレスマップを示します。本例では 11 ビットロウアドレス × 10 ビットカラムアドレスのタイプのものを使用しています。 \overline{CS}_2 端子をエリア 2 およびエリア 3 に共通の \overline{RAS} 出力端子として使用しています。本例のように DRAM のアドレス空間が複数エリアにまたがって連続する場合、DRAS2 ~ 0 の設定により、一本の \overline{CS} 端子が複数エリアに共

通常の $\overline{\text{RAS}}$ 出力端子として使用でき、アドレス空間が最大 4 エリアにまたがる大容量 DRAM を直接接続することができます。この場合不要となる $\overline{\text{CS}}$ 端子（本例では $\overline{\text{CS}}_3$ 端子）は入出力ポートとして使用することができます。

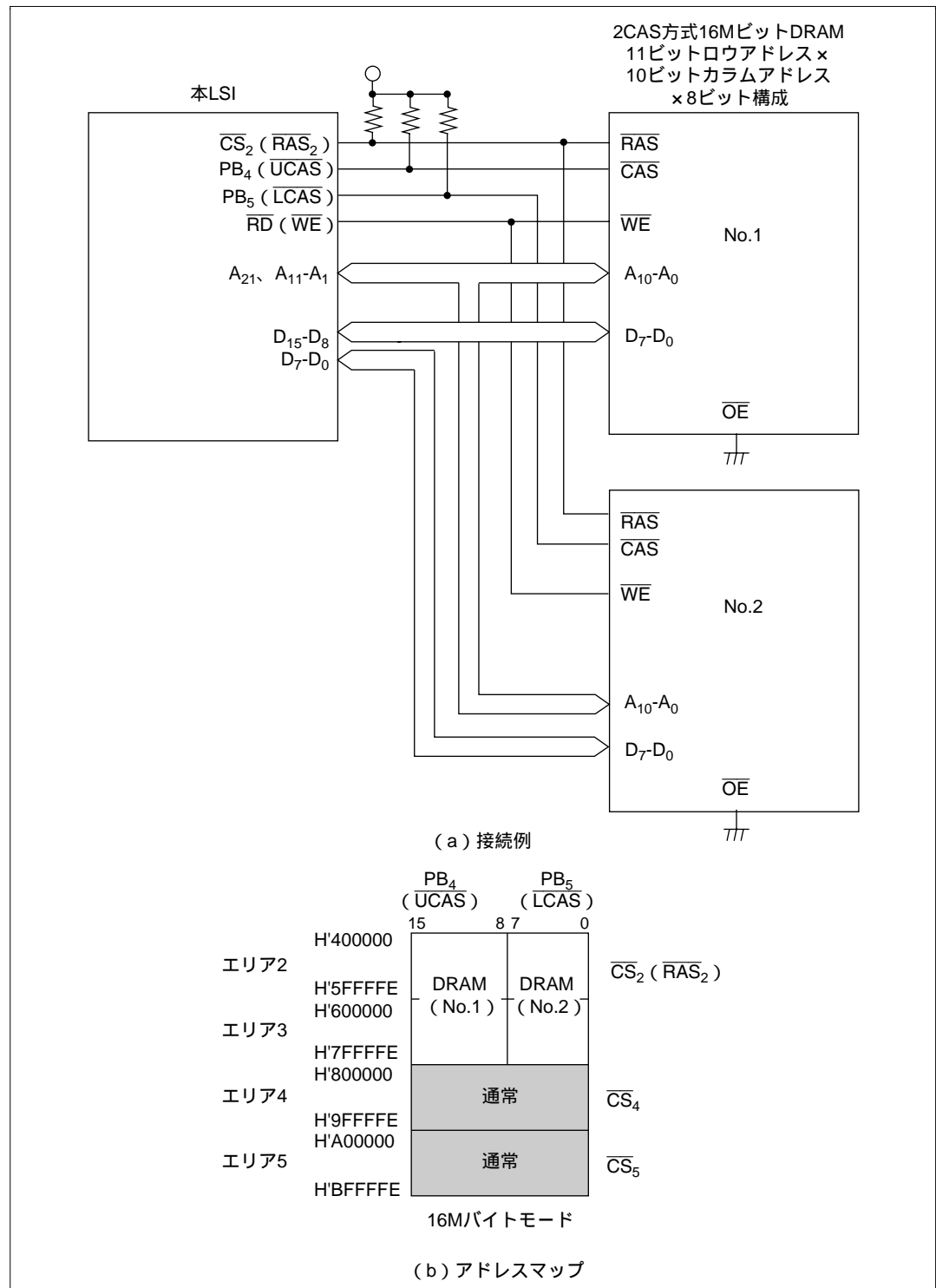


図 6.32 ×8 ビット構成の 16M ビット DRAM の接続例とアドレスマップ

- (3) 図 6.33 に 4M ビット DRAM を 2 個使用する場合の接続例とそのアドレスマップを示します。9 ビットロウアドレス × 9 ビットコラムアドレスのタイプのものを使用しています。本例では上位アドレスをデコードすることにより、複数の DRAM を一つのエリアに接続しています。この場合、すべての DRAM を同時にリフレッシュするため、 $\overline{\text{RFSH}}$ 端子を使用します。
- ただし本接続例では、RAS ダウンモードは使用できませんので注意してください。

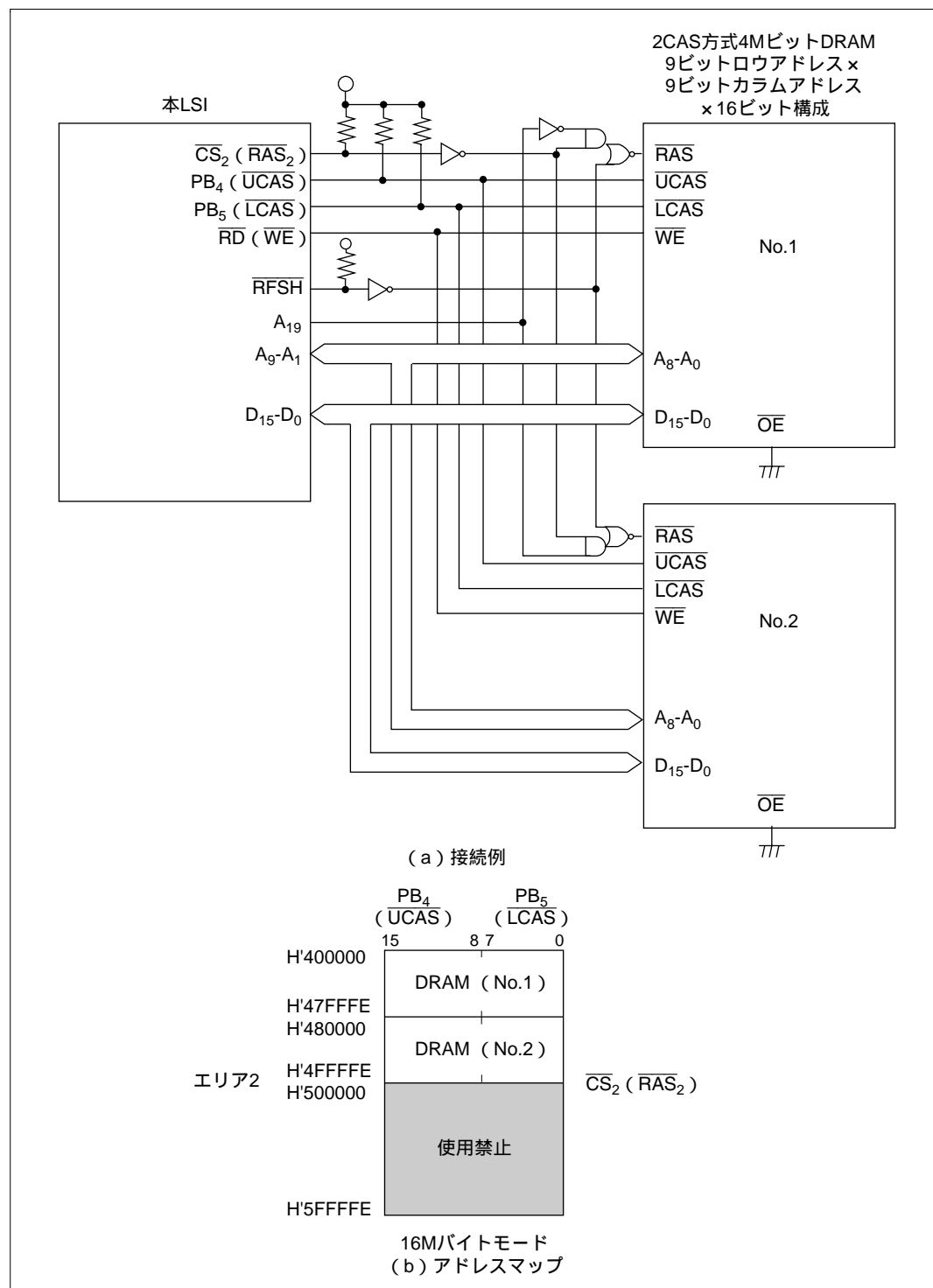


図 6.33 × 16 ビット構成 (2CAS 方式) の 4M ビット DRAM の接続例とアドレスマップ

(2) プログラムの設定順序例

図 6.34 にプログラムの設定順序例を示します。



図 6.34 DRAM インタフェースの使用時の設定手順例

6.5.13 使用上の注意

DRAM リフレッシュ機能の使用に際して以下の点に注意してください。

- (1) 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。
したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。
- (2) 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。
図 6.35 にその場合のバスサイクルを示します。
- (3) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。
- (4) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移時に $\overline{\text{BACK}}$ とストローブの状態が不確定になる場合があります（図 6.36 参照）。
ソフトウェアスタンバイモードを使用するときは、SLEEP 命令を実行する前に、BRCR の BRLE ビットを 0 にクリアしてください。
また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これも BRCR の BRLE ビットを 0 にクリアすることにより防止できます。
- (5) セルフリフレッシュ解除直後、CPU サイクルが始まるまでの一定期間、外部バス権解放が可能です。セルフリフレッシュ直後の $\overline{\text{RAS}}$ プリチャージ時間の規定を満たすよう $\overline{\text{RAS}}$ の状態に注意してください。

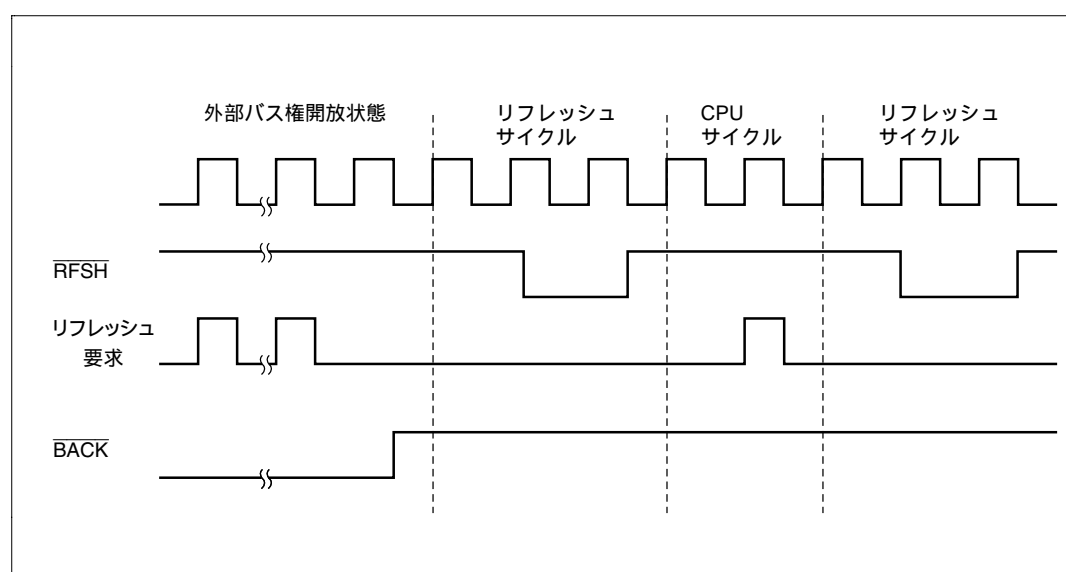


図 6.35 バス解放状態時のリフレッシュサイクル

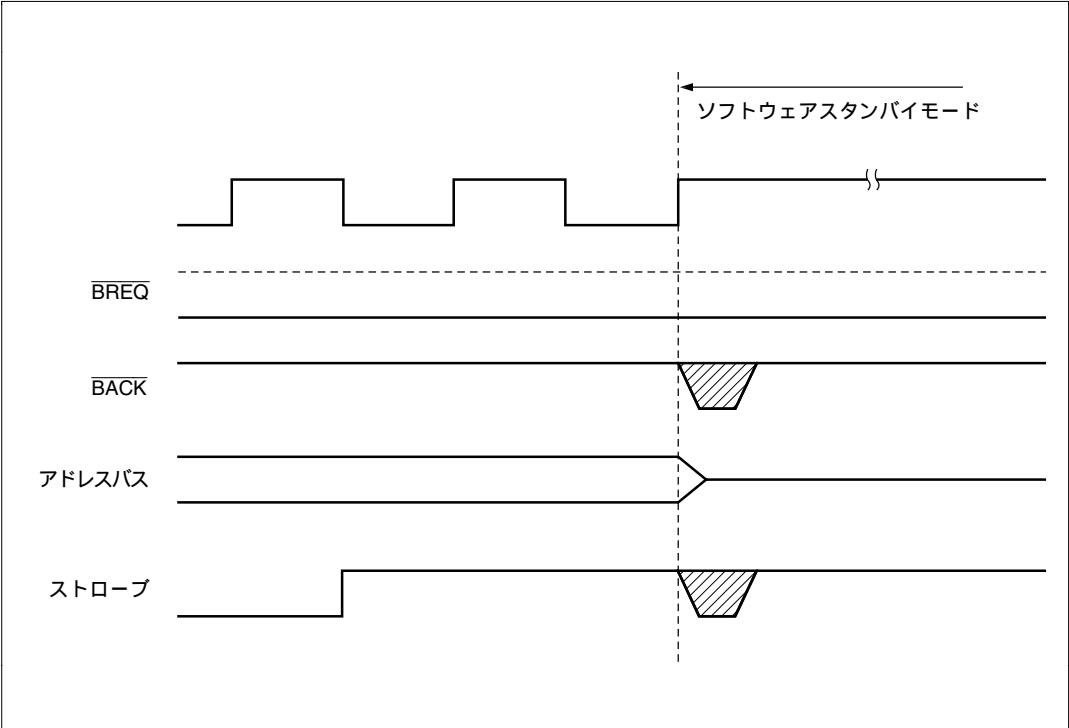


図 6.36 バス解放状態とソフトウェアスタンバイモード

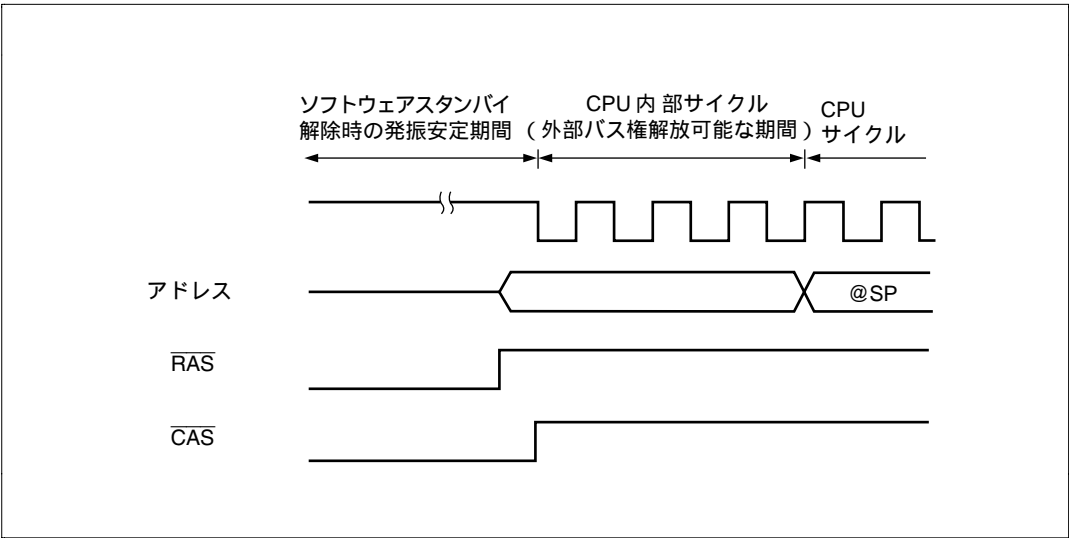


図 6.37 セルフリフレッシュの解除

6.6 インターバルタイマ

6.6.1 動作説明

本 LSI に DRAM を接続しない場合、リフレッシュタイマをインターバルタイマとして使用することができます。リフレッシュタイマをインターバルタイマとして使用する場合、DRCRA の DRAS2~0 ビットを 0 にクリアします。RTCOR を設定後、RTMCSR の CKS2~CKS0 ビットにより入力クロックを選択し、CMIE ビットを 1 にセットします。

(1) コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTMCSR の CMF フラグは、RTCOR と RTCNT の値が一致したときに出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (RTCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、RTCNT と RTCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 6.38 に示します。

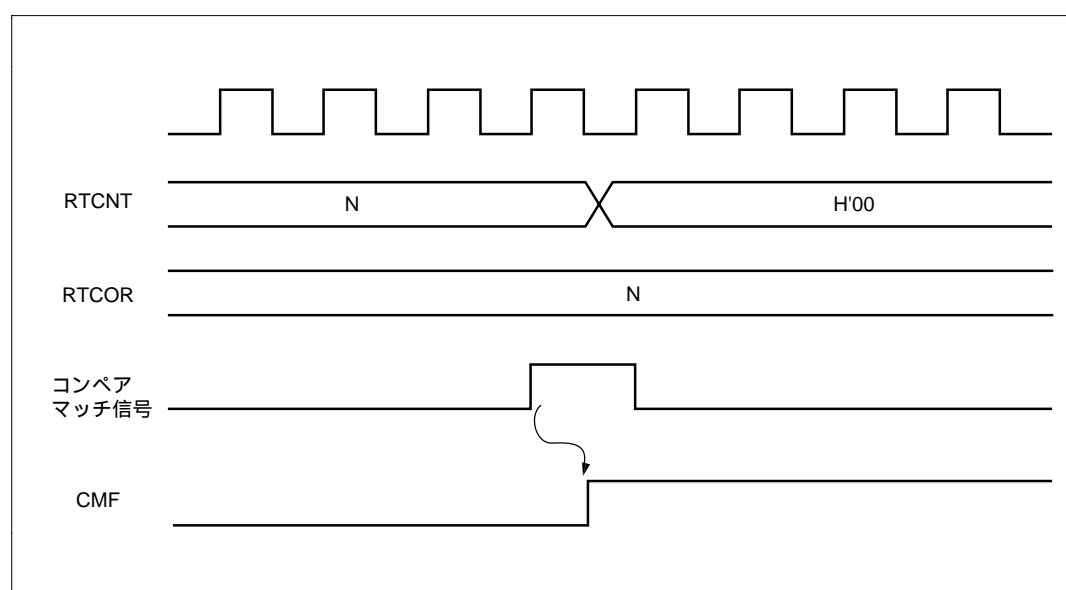


図 6.38 CMF フラグセットタイミング

(2) 低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNT と RTMCSR のビット 7、6 はイニシャライズされますが、RTMCSR のビット 5~3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3) RTCNT のライトとカウンタクリアの競合

RTCNT のライトサイクル中の T_3 ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 6.39 にこのタイミングを示します。

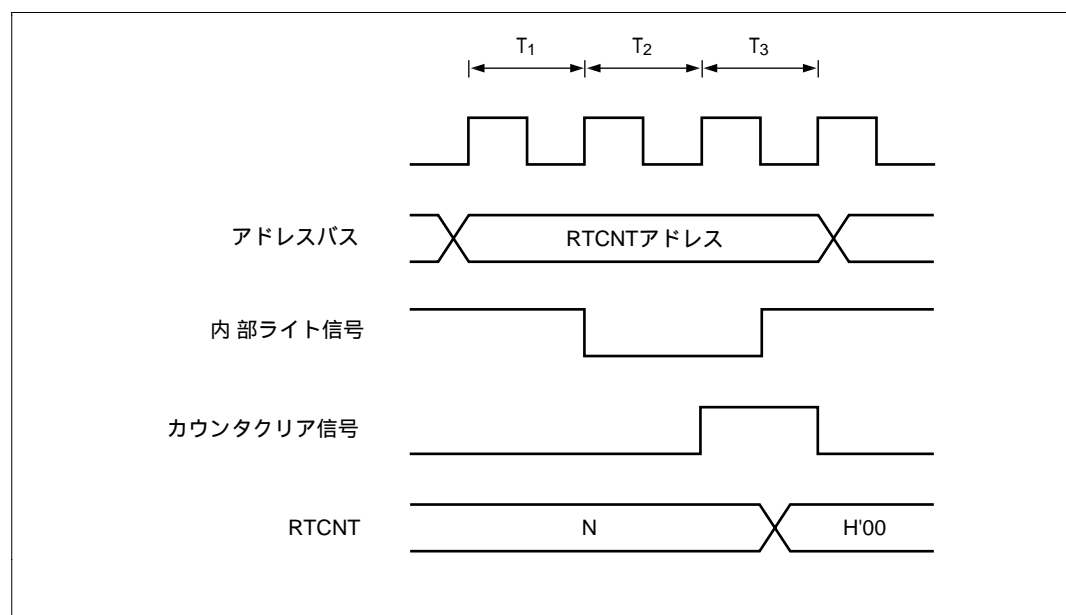


図 6.39 RTCNT のライトとクリアの競合

(4) RTCNT のライトとカウントアップの競合

RTCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図 6.40 にこのタイミングを示します。

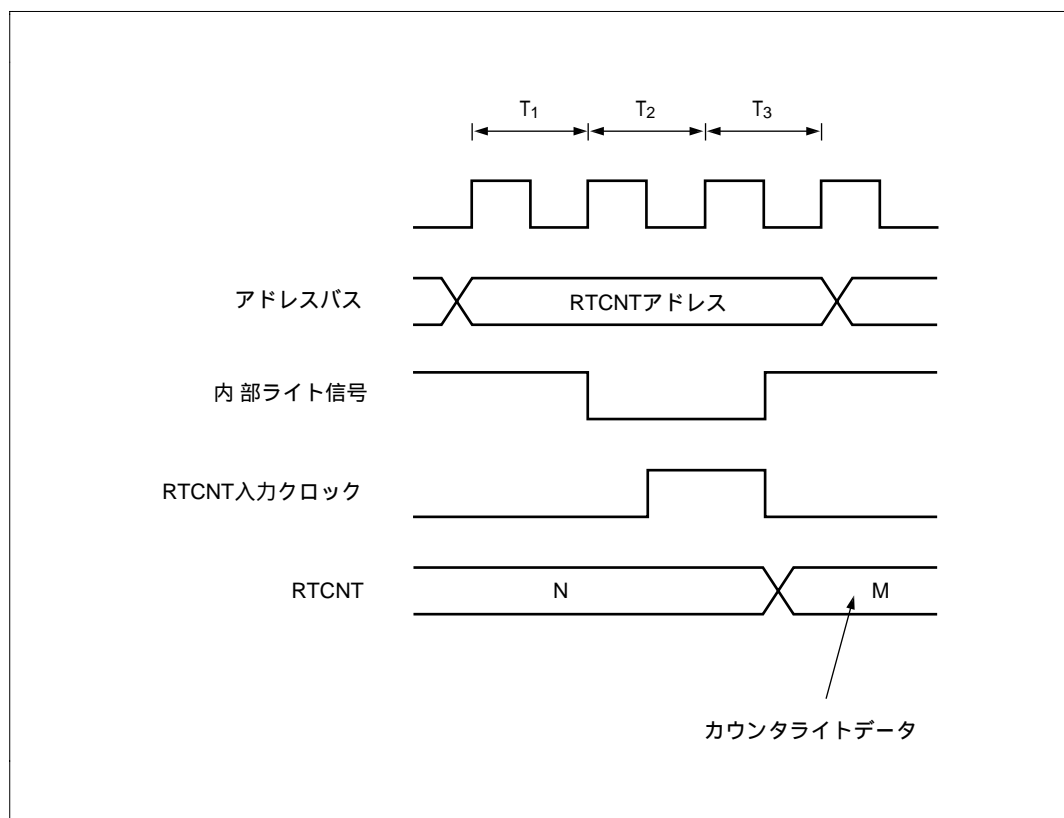


図 6.40 RTCNT のライトとカウントアップの競合

(5) RTCOR のライトとコンペアマッチの競合

RTCORのライトサイクル中の T_3 状態でコンペアマッチが発生しても、図 6.41 のように RTCOR のライトが優先され、コンペアマッチ信号は禁止されます。

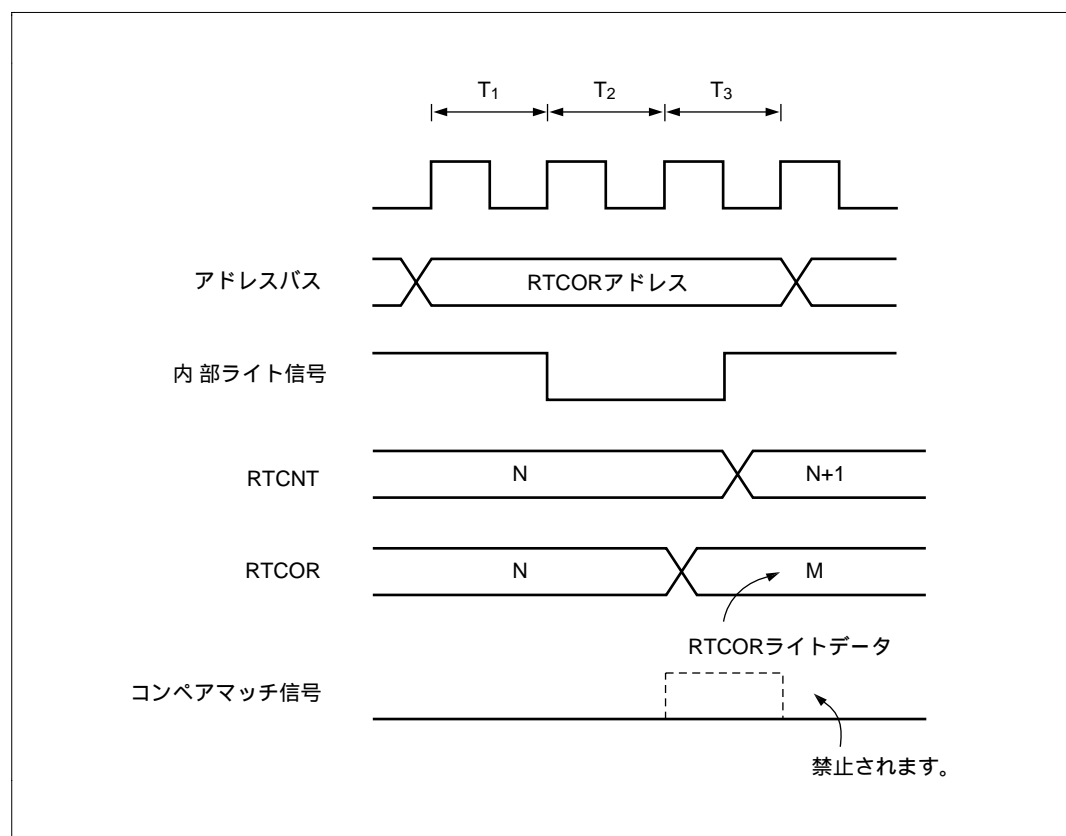


図 6.41 RTCOR のライトとコンペアマッチの競合

(6) 内部クロックの切り替えと RTCNT の動作

内部クロックを切り替えるタイミングによっては、RTCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング(CKS2~CKS0ビットの書き換え)と RTCNT 動作の関係を表 6.10 に示します。

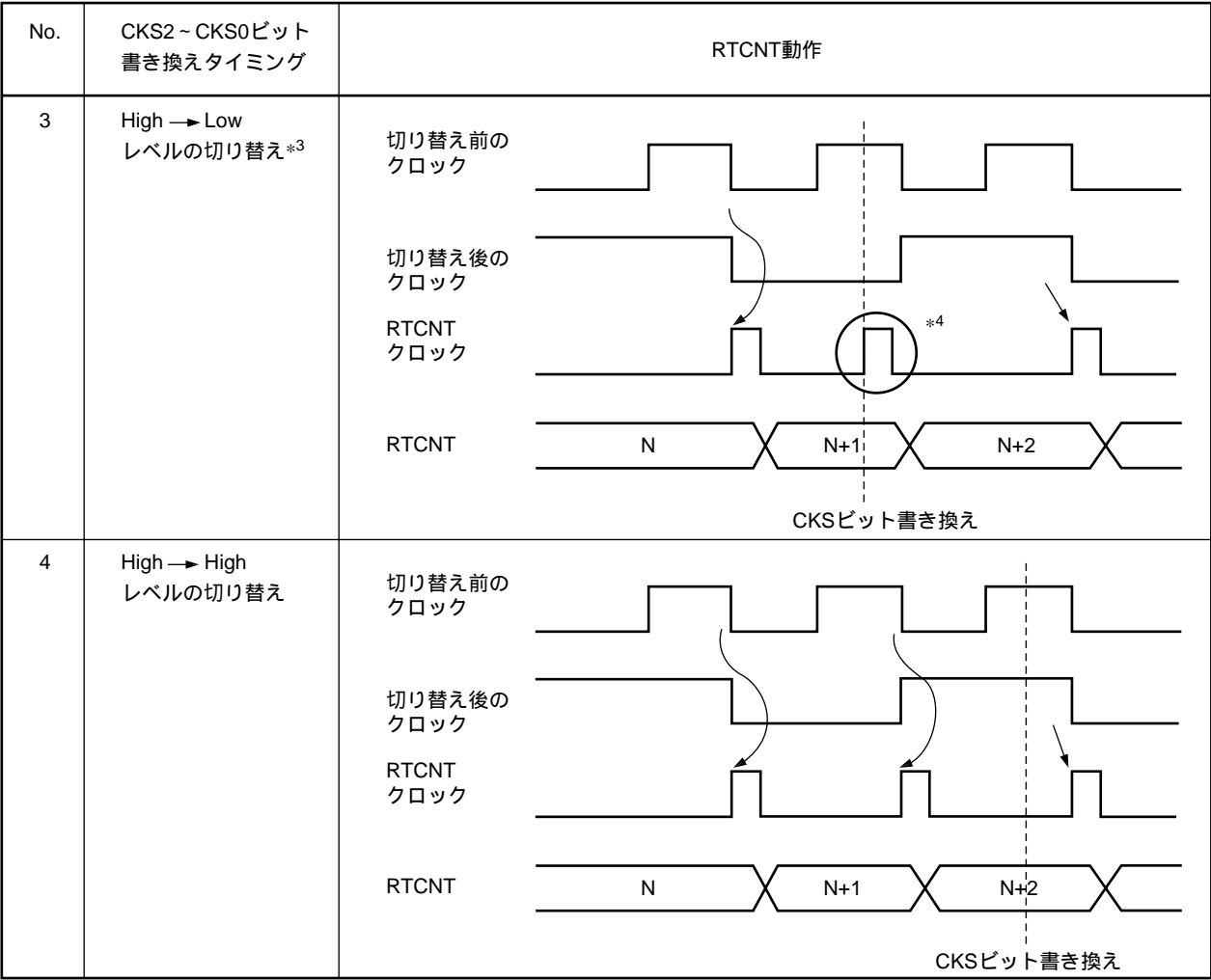
内部クロックから RTCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため、表 6.10 の No.3 のように High Low になるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして RTCNT クロックが発生し、RTCNT がカウントアップされてしまいます。

表 6.10 内部クロックの切り替えと RTCNT 動作

No.	CKS2 ~ CKS0ビット書き換えタイミング	RTCNT動作
1	Low → Low レベルの切り替え*1	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>N N+1</p> <p>CKSビット書き換え</p>
2	Low → High レベルの切り替え*2	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>N N+1 N+2</p> <p>CKSビット書き換え</p>

【注】*1 Lowレベル→ 停止、および停止→ Lowレベルの場合を含みます。

*2 停止→ Highレベルの場合を含みます。



【注】*3 Highレベル → 停止の場合を含みます。
*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、RTCNTはカウントアップしてしまいます。

6.7 割り込み要因

リフレッシュタイマをインターバルタイマとして使用する場合、コンペアマッチ割り込み (CMI) 要求が発生します。コンペアマッチ割り込み要求は RTMCSR の CMIE ビットで許可または禁止することができます。

6.8 バースト ROM インタフェース

6.8.1 概要

本 LSI は、エリア 0 の外部空間を、バースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM インタフェースでは、バーストアクセス可能な ROM を高速にアクセスすることができます。BCR の BROME ビットにより、エリア 0 をバースト ROM 空間に設定します。

エリアの外部空間を最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 2 ステート / 3 ステート選択可能です。

6.8.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) およびバーストサイクルのアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、イニシャルサイクルにウェイトステートを挿入することもできます。バーストサイクルは、ウェイトステートは挿入できません。

また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。バーストアクセスのステート数は、BRSTS1 ビットを 0 にクリアすると、2 ステートになります。BRSTS1 ビットを 1 にセットすると 3 ステートとなります。

バースト ROM 空間の基本アクセスタイミングを図 6.42 に示します

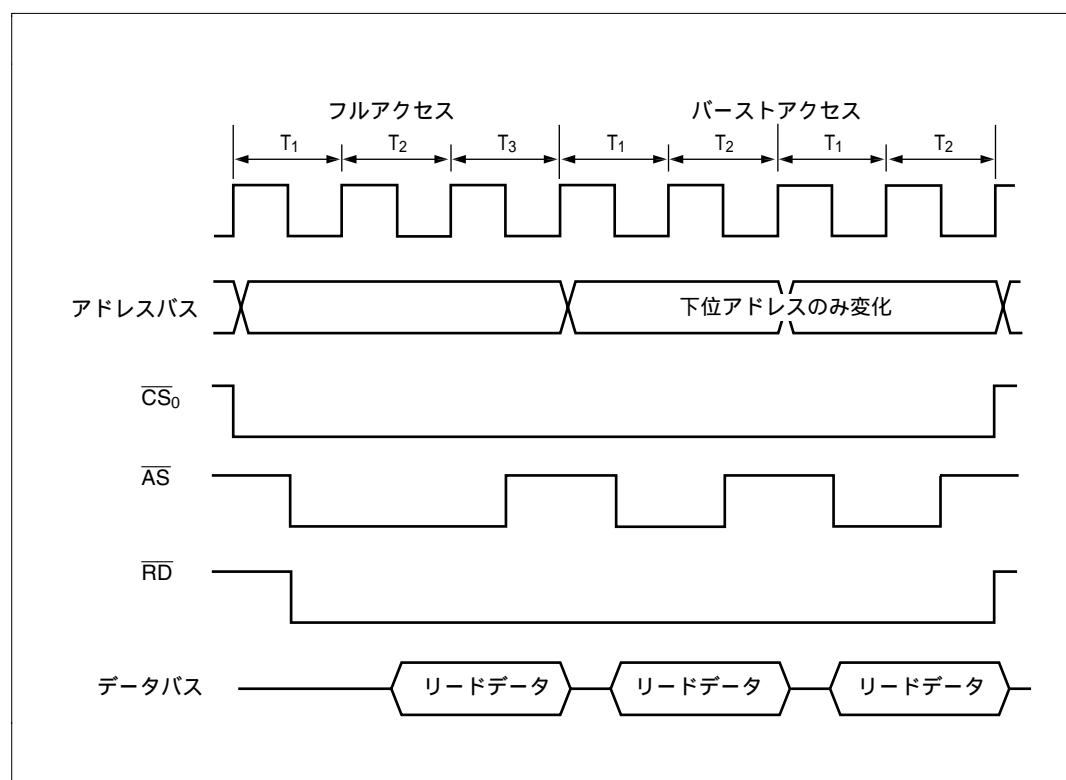


図 6.42 バースト ROM アクセスタイミング例

6.8.3 ウェイト制御

バースト ROM インタフェースのインisialサイクル（フルアクセス）には、基本バスインタフェースと同様に、（１）プログラムウェイトの挿入、（２） \overline{WAIT} 端子による端子ウェイトの挿入が可能です。

バーストサイクルにはウェイトステートを挿入することはできません。

6.9 アイドルサイクル

6.9.1 動作説明

本 LSI は外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、(3) DRAM 空間アクセスの直後に、DRAM 空間以外の外部アドレス空間アクセスが発生したときの3つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_i) を1ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

BCR の ICIS1、ICIS0 ビットとも初期値は 1 ですので、初期状態でアイドルサイクルは挿入されます。データ衝突がない場合に、ICIS ビットのクリアが可能です。

(1) 異なるエリア間での連続リード

BCR の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.43 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

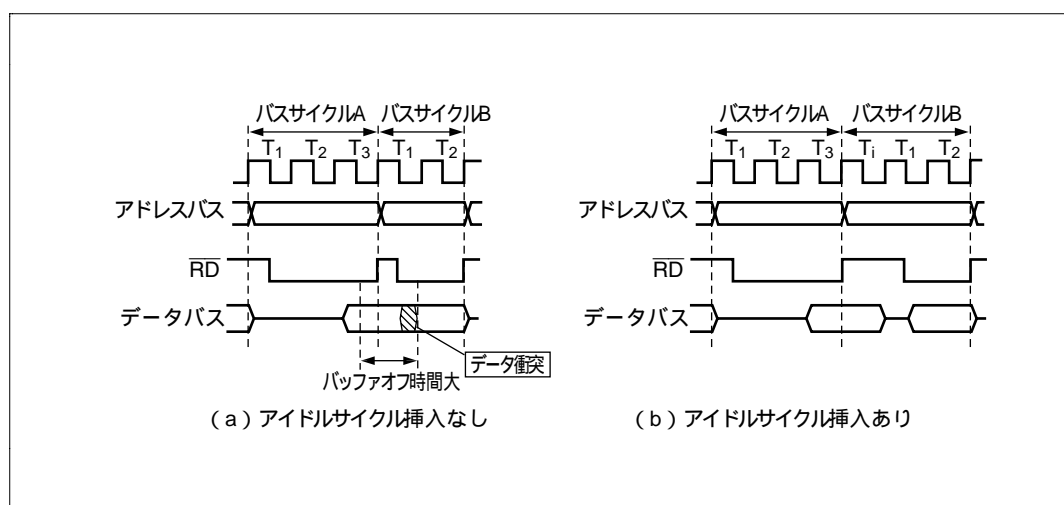


図 6.43 アイドルサイクル動作例 (1) (ICIS1=1 のとき)

(2) リード後のライト

BCR の ICIS0 ビットを 1 にセットした状態で外部リード後に、外部ライトが発生するとライトサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.44 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。

(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

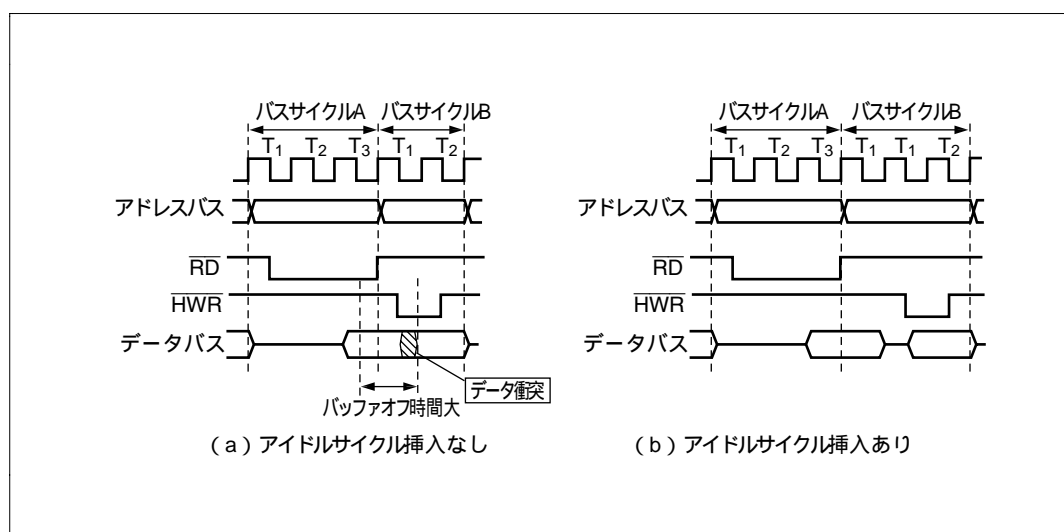


図 6.44 アイドルサイクル動作例 (2) (ICIS0=1 のとき)

(3) DRAM 空間アクセス直後の外部アドレス空間アクセス

DRCRB の CSEL ビットにより \overline{UCAS} 、 \overline{LCAS} の出力端子を \overline{HWR} 、 \overline{LWR} に選択した場合、DRAM 空間アクセス後に DRAM 以外の外部アクセスが発生すると BCR の ICIS0、ICIS1 ビットの値にかかわらず T_i サイクルが挿入されます。図 6.45 に動作例を示します。

これは DRAM 空間で \overline{UCAS} 、 \overline{LCAS} として使用している \overline{HWR} 、 \overline{LWR} と次サイクルの空間の \overline{CSn} が同じタイミングで変化するのを避け、次サイクルの外部デバイスへ誤って書き込むのを回避するためです。

なお、 \overline{UCAS} 、 \overline{LCAS} の出力端子を PB_4 、 PB_5 に選択した場合は T_i サイクルは挿入されません。

DRAM 空間アクセスのプリチャージサイクル (T_p) が連続する場合には、ICIS0、1 ビットの設定は無効です。例えば、異なるエリア間での連続リードの場合、2 回目のリードが DRAM アクセスのとき、 T_p サイクルのみが挿入され、 T_i サイクルは挿入されません。

このタイミングを図 6.46 に示します。

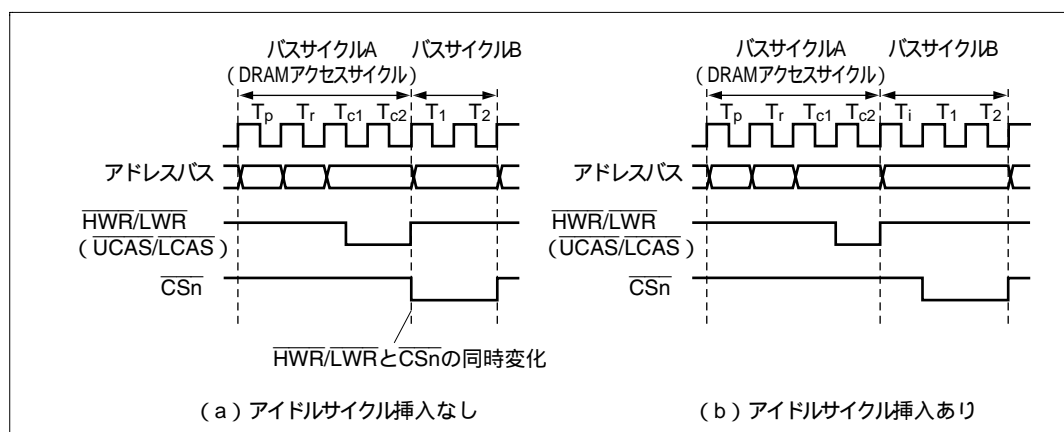
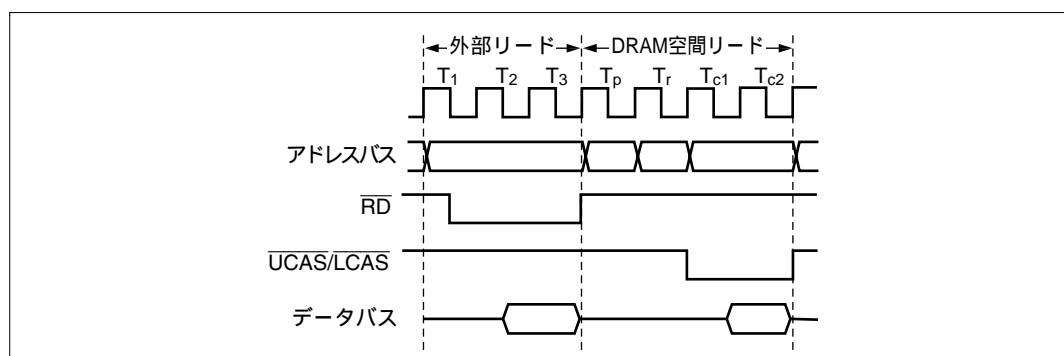
図 6.45 アイドルサイクル動作例(3) ($\overline{\text{UCAS/LCAS}}$ として $\overline{\text{HWR/LWR}}$ を使用した場合)

図 6.46 アイドルサイクル動作例(4) (プリチャージサイクルが連続する場合)

(4) 使用上の注意

アイドルサイクルの挿入を行わない設定とした場合、 $\overline{\text{RD}}$ の立ち上がり (ネゲート) と $\overline{\text{CSn}}$ の立ち下がり (アサート) が同じタイミングで発生する場合があります。図 6.47 に動作例を示します。

BCR の ICIS1 ビットを 0 にセットした状態で、異なる外部エリア間での連続リードが発生した場合、または ICIS0 ビットを 0 にセットした状態で、外部リード後に異なる外部エリアに対するライトサイクルが発生した場合、はじめのリードサイクルにおける $\overline{\text{RD}}$ のネゲートと、連続するバスサイクルの $\overline{\text{CSn}}$ のアサートが同じタイミングで発生します。したがって各信号の出力遅延時間に依存し、前のリードサイクルの $\overline{\text{RD}}$ の Low 出力と、連続するバスサイクルの $\overline{\text{CSn}}$ の Low 出力がオーバーラップする可能性があります。

$\overline{\text{RD}}$ と $\overline{\text{CSn}}$ の同時変化が発生しない場合、または発生しても問題にならない場合に限り、アイドルサイクルの挿入を行わない設定とすることができます。

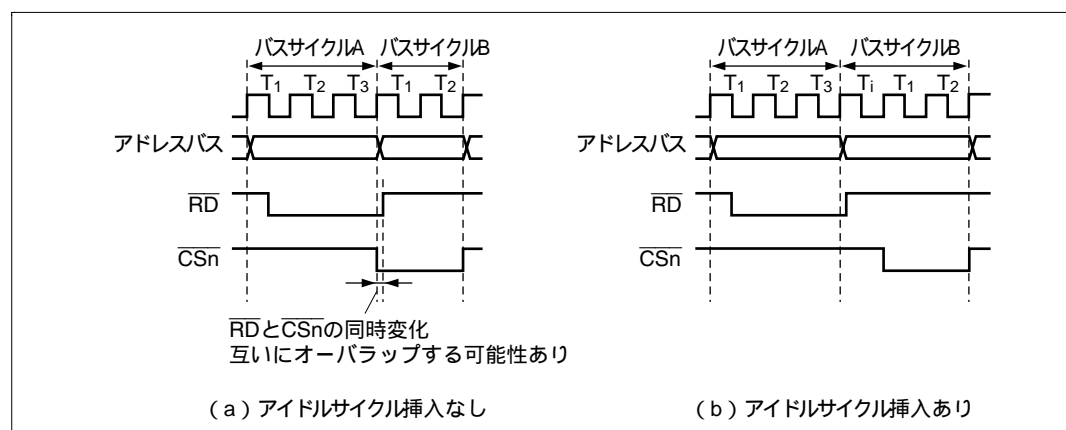


図 6.47 アイドルサイクル動作例 (5)

6.9.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.11 に示します。

表 6.11 アイドルサイクルでの端子状態

端子名	端子の状態
$A_{23} \sim A_0$	次サイクルのアドレスの値
$D_{15} \sim D_0$	ハイインピーダンス
\overline{CS}_n	High レベル*
$\overline{UCAS}, \overline{LCAS}$	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{HWR}	High レベル
\overline{LWR}	High レベル

【注】 * DRAM 空間での RAS ダウンモードでは Low レベルを保持します。

6.10 バスアービタ

バスコントローラは、バスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、DRAM インタフェース、外部バスマスタの4つがあり、バス権を占有した状態でリード/ライトやリフレッシュ動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を返します。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

（高）外部バスマスタ > DRAM インタフェース > DMAC > CPU（低）

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

6.10.1 動作説明

（１）CPU

CPU は最も優先順位の低いバスマスタです。CPU がバスマスタの場合に DMAC、DRAM インタフェース、または外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- （１）バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを２回のバイトアクセスに分割して行う場合には、これら２つのバイトアクセスの間ではバス権は移行しません。
- （２）CPU が乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生すると直ちに、バス権が移行します。CPU の内部動作は継続されます。

(3) CPU がスリープモードの場合、他のバスマスタからバス権要求が発生すると直ちにバス権が移行します。

(2) DMAC

DMAC は、起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC がバスマスタの場合にリフレッシュコントローラ、または外部バスマスタからのバス権要求が発生すると、バスアービタはバス権の要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

DMAC の 1 バイトまたは 1 ワードの転送が終了したとき、バス権を移行します。DMAC の転送サイクルはリードサイクルとライトサイクルで構成され、これらのリードサイクルと次のライトサイクルの間ではバス権は移行しません。

なお、DMAC の各チャンネルには優先順位が設けられています。詳細については、「7.4.9 DMAC 複数チャンネルの動作」を参照してください。

(3) DRAM インタフェース

DRAM インタフェースは、リフレッシュサイクル要求が発生するとバスマスタに対してバス権を要求します。リフレッシュサイクルが終了すると、バス権を放棄します。詳細は、「6.5 DRAM インタフェース」を参照してください。

(4) 外部バスマスタ

BRCR の BRLE ビットを 1 にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、 $\overline{\text{BREQ}}$ 端子を Low レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタがいったんバス権を獲得すると $\overline{\text{BREQ}}$ を Low レベルにしている間、バス権を保持し続けます。本 LSI は、外部バス権解放状態になると、アドレスバス、データバス、バス制御信号 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$)、チップセレクト信号 ($\overline{\text{CSn}}$: $n=7 \sim 0$) がハイインピーダンスとなります。また外部バス権解放状態では、 $\overline{\text{BACK}}$ 端子が Low レベル出力となります。

バスアービタは、の立ち上がりで $\overline{\text{BREQ}}$ 端子をサンプリングします。 $\overline{\text{BREQ}}$ 端子の Low レベルをサンプリングすると所定のタイミングで外部バス権解放状態となります。 $\overline{\text{BACK}}$ 端子が Low レベルになるまで $\overline{\text{BREQ}}$ 端子を Low レベルに保持してください。

外部バス権解放で、 $\overline{\text{BREQ}}$ 端子の High レベルを 2 回連続してサンプリングすると、 $\overline{\text{BACK}}$ 端子を High レベルにしてバス権解放サイクルを終了します。図 6.48 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。 $\overline{\text{BREQ}}$ 端子を Low レベルとしてから外部バス権解放状態となるまで最小 3 ステートがかかります。

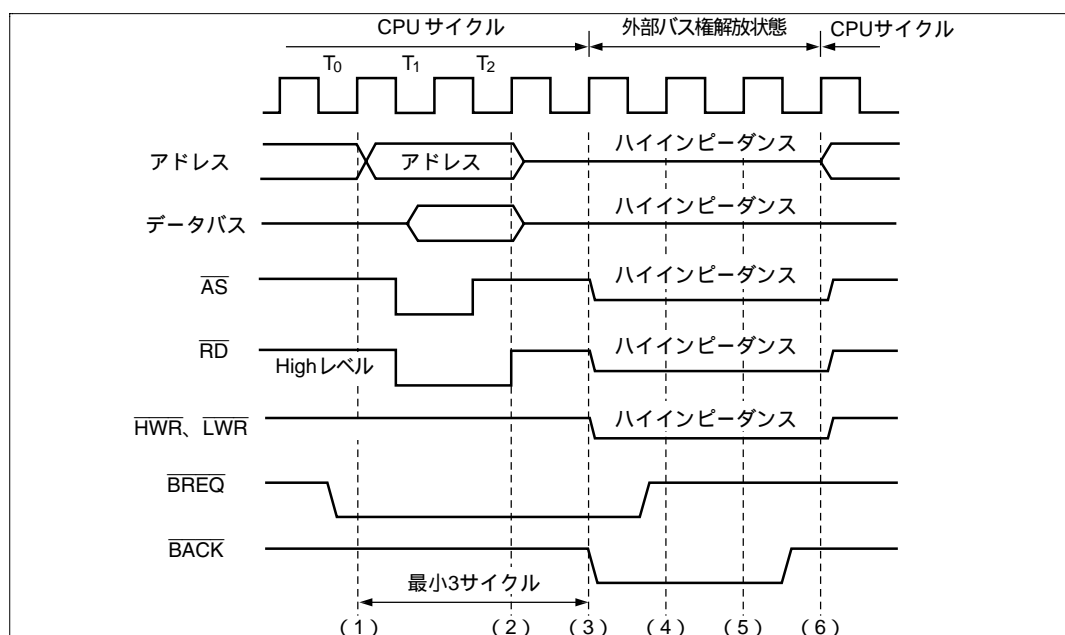


図 6.48 外部バスマスタ動作例

なお、ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移時に $\overline{\text{BACK}}$ とストローブの状態が不確定になる場合があります (図 6.36 参照)。

ソフトウェアスタンバイモードを使用するときは、SLEEP 命令を実行する前に、BRCR の BRLE ビットを 0 にクリアしてください。

6.11 レジスタと端子入力のタイミング

6.11.1 レジスタライトタイミング

(1) ABWCR、ASTCR、WCRH および WCRL のライトタイミング

ABWCR、ASTCR、WCRH および WCRL をライトした場合、ライトデータは次のバスサイクルから有効となります。

このタイミングを図 6.49 に示します。

エリア 0 上の命令でエリア 0 を 3 ステートアクセス空間から 2 ステートアクセス空間へ変更した場合の例です。

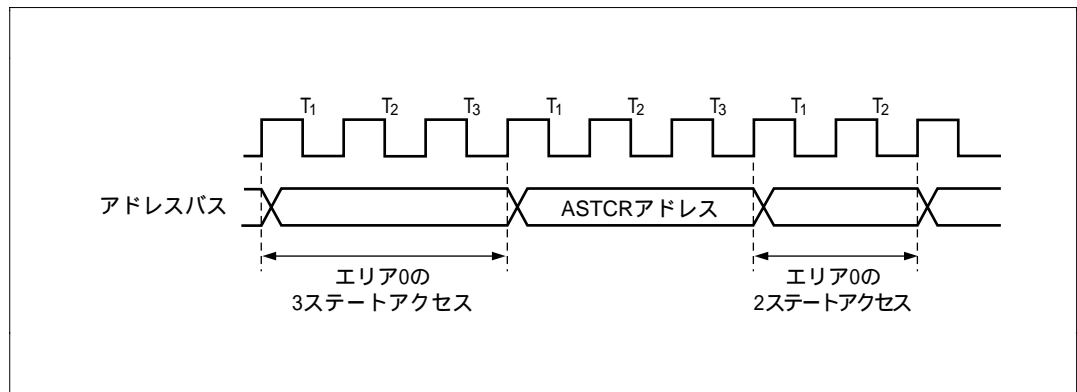


図 6.49 ASTCR ライトタイミング

(2) DDR および CSCR のライトタイミング

\overline{CS}_n 端子に対応するポートの DDR または CSCR をライトし、 \overline{CS}_n 出力と入力ポートを切り換える場合、ライトデータは DDR ライトサイクルの T_3 から有効になります。このタイミングを図 6.50 に示します。 \overline{CS}_1 端子を出力とする場合の例です。

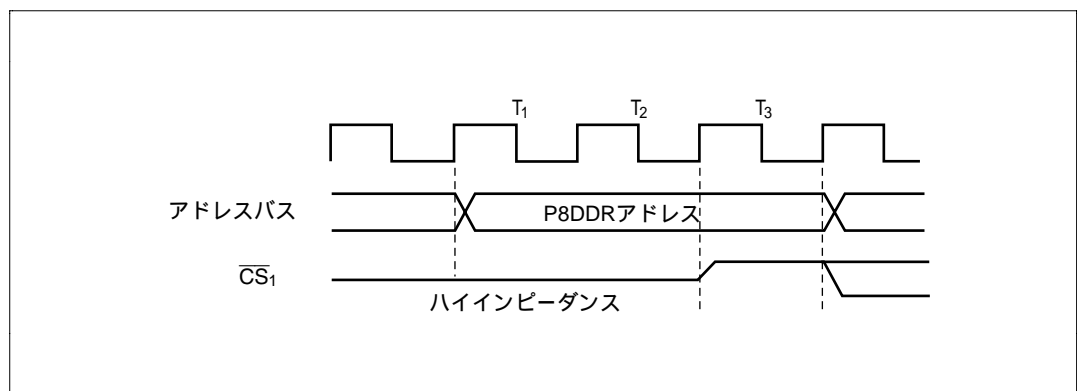


図 6.50 DDR ライトタイミング

(3) BRCR ライトタイミング

BRCR にライトし、 $A_{23} \sim A_{20}$ 出力と入出力ポートを切り換える場合、ライトデータは BRCR ライトサイクルの T_3 から有効になります。このタイミングを図 6.51 に示します。入力ポートを $A_{23} \sim A_{20}$ 出力とする場合の例です。

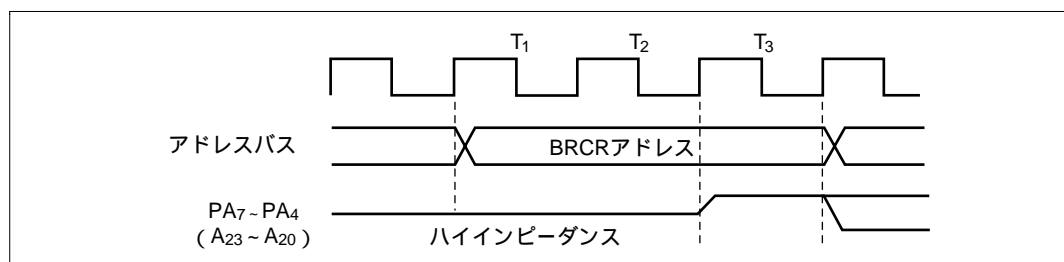


図 6.51 BRCR ライトタイミング

6.11.2 $\overline{\text{BREQ}}$ 端子の入力タイミング

$\overline{\text{BREQ}}$ 端子を Low レベルにした後、 $\overline{\text{BACK}}$ 端子が Low レベルになるまで Low レベルを保持してください。 $\overline{\text{BACK}}$ 端子が Low レベルになる前に $\overline{\text{BREQ}}$ 端子を High レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときには $\overline{\text{BREQ}}$ 端子を 3 ステート以上 High レベルにしてください。 $\overline{\text{BREQ}}$ 端子の High レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

7. DMA コントローラ

第7章 目次

7.1	概要	221
7.1.1	特長	221
7.1.2	ブロック図	222
7.1.3	機能概要.....	223
7.1.4	端子構成.....	225
7.1.5	レジスタ構成	225
7.2	各レジスタの説明（1）（ショートアドレスモード）	227
7.2.1	メモリアドレスレジスタ（MAR）	228
7.2.2	I/O アドレスレジスタ（IOAR）	229
7.2.3	転送カウントレジスタ（ETCR）	229
7.2.4	データトランスファコントロールレジスタ（DTCR）	231
7.3	各レジスタの説明（2）（フルアドレスモード）	235
7.3.1	メモリアドレスレジスタ（MAR）	235
7.3.2	I/O アドレスレジスタ（IOAR）	235
7.3.3	転送カウントレジスタ（ETCR）	236
7.3.4	データトランスファコントロールレジスタ（DTCR）	238
7.4	動作説明.....	246
7.4.1	概要	246
7.4.2	I/O モード	248
7.4.3	アイドルモード.....	251
7.4.4	リピートモード.....	253
7.4.5	ノーマルモード.....	258
7.4.6	ブロック転送モード	261
7.4.7	DMAC の起動要因.....	266
7.4.8	DMAC のバスサイクル	268
7.4.9	DMAC 複数チャネルの動作	272
7.4.10	外部バス権要求、DRAM インタフェースとDMAC の関係.....	273

7.4.11	NMI 割り込みと DMAC.....	274
7.4.12	DMAC 動作の強制終了.....	275
7.4.13	フルアドレスモードの解除.....	275
7.4.14	リセット、スタンバイモード、スリープモードの DMAC の状態	276
7.5	割り込み.....	277
7.6	使用上の注意.....	278
7.6.1	ワードデータ転送時の注意.....	278
7.6.2	DMAC による DMAC 自体のアクセス.....	278
7.6.3	MAR のロングワードアクセス.....	278
7.6.4	フルアドレスモード設定時の注意.....	278
7.6.5	内部割り込みで DMAC を起動する場合の注意.....	279
7.6.6	NMI 割り込みとブロック転送モード	280
7.6.7	MAR、IOAR のアドレス指定.....	281
7.6.8	転送中断時のバスサイクル.....	281
7.6.9	A/D 変換器による転送要求	282

7.1 概要

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

消費電流低減のため DMA コントローラを使用しない場合には、DMA コントローラを単独で停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

7.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

- ・転送元、転送先アドレスの一方を 24 ビット、他方を 8 ビットで指定
- ・最大 4 チャンネルを使用可能
- ・I/O モード / アイドルモード / リピートモードの選択が可能

(2) フルアドレスモード

- ・転送元、転送先アドレスを 24 ビットで指定
- ・最大 2 チャンネルを使用可能
- ・ノーマルモード / ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト / ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- ・16 ビットタイマのコンペアマッチ / インプットキャプチャ割り込み × 3
- ・シリアルコミュニケーションインタフェース (SCI チャンネル 0) の送信データエンブティ割り込み、受信データフル割り込み
- ・外部リクエスト
- ・オートリクエスト
- ・A/D 変換器の変換終了割り込み

7.1.2 ブロック図

DMAC のブロック図を図 7.1 に示します。

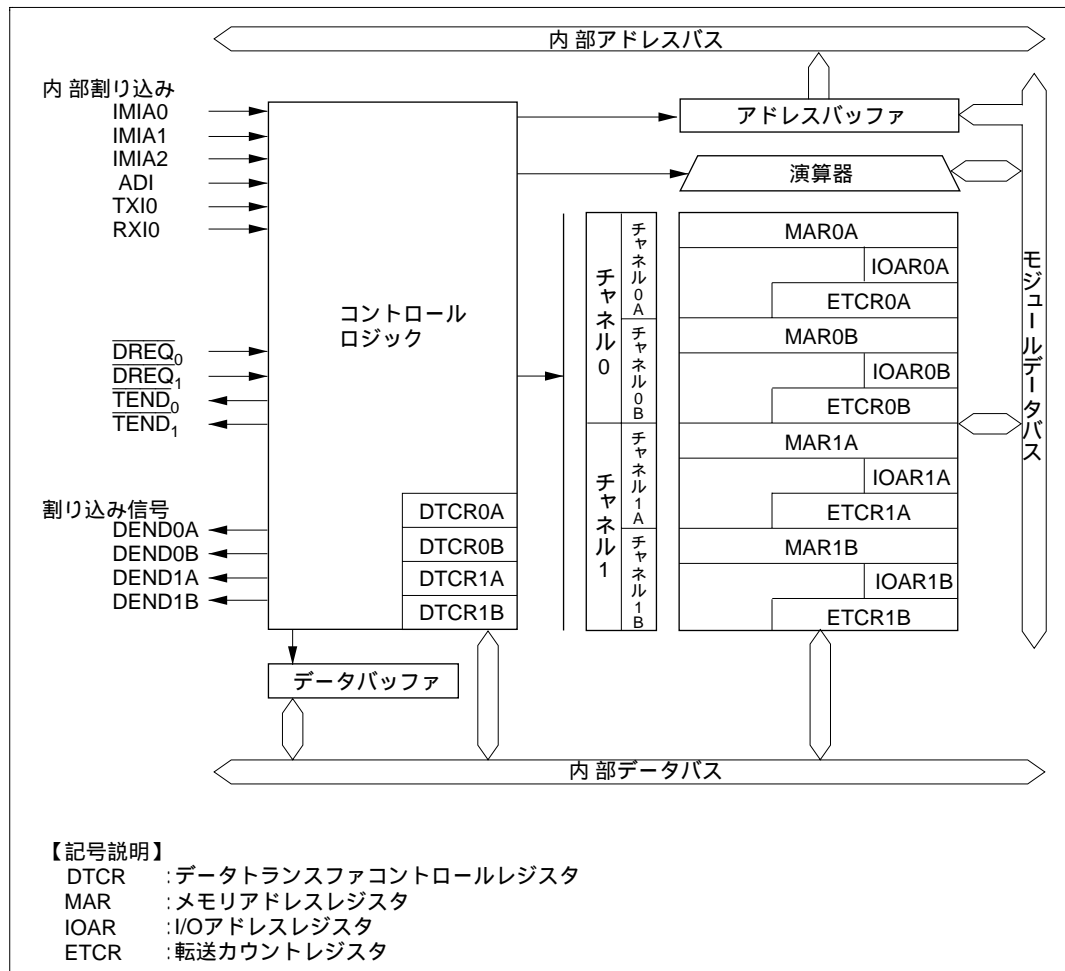


図 7.1 DMAC のブロック図

7.1.3 機能概要

DMAC の機能概要を表 7.1 (1)、(2) にそれぞれ示します。

表 7.1 (1) DMAC の機能概要

転送モード		転送要因	アドレスレジスタビット長	
			ソース	デスティネーション
ショート アドレス モード	(1) I/O モード ・ 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 ・ メモリアドレスを 1 または 2 増減 ・ 転送回数は 1 ~ 65536	・ 16 ビットタイマチャ ネル 0 ~ 2 のコンベ アマッチ / インプ トキャプチャ A 割り 込み ・ SCI チャネル 0 の送信 データエンブティ割 り込み	24	8
	(2) アイドルモード ・ 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 ・ メモリアドレスは固定 ・ 転送回数は 1 ~ 65536	・ A/D 変換器の変換終 了割り込み ・ SCI チャネル 0 の受 信データフル割り込 み	8	24
	(3) リピートモード ・ 1 回の転送要求で 1 バイト または 1 ワードの転送を 実行 ・ メモリアドレスを 1 または 2 増減 ・ 指定回数 (1 ~ 255) 転送後 初期状態を回復して動作を 継続	・ 外部リクエスト	24	8

表 7.1 (2) DMAC の機能概要

転送モード		転送要因	アドレスレジスタビット長	
			ソース	デスティネーション
フルアドレスモード	(1) ノーマルモード (a) オートリクエスト ・ 転送要求を内部保持 ・ 指定回数 (1 ~ 65536) 継続して転送 ・ バーストモード / サイクルスチールモードを選択可能 (b) 外部リクエスト ・ 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 ・ 転送回数は 1 ~ 65536	・ オートリクエスト ・ 外部リクエスト	24	24
	(2) ブロック転送モード ・ 1 回の転送要求で指定したブロックサイズの転送 ・ 転送回数は 1 ~ 65536 ・ ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ・ ブロックサイズ 1 ~ 255 バイトまたはワード	・ 16 ビットタイマチャネル 0 ~ 2 のコンペアマッチ / インพุットキャプチャ A 割り込み ・ 外部リクエスト ・ A/D 変換器の変換終了割り込み	24	24

7.1.4 端子構成

DMAC の端子構成を表 7.2 に示します。

表 7.2 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	DMA 要求 0	$\overline{\text{DREQ}}_0$	入力	DMAC チャンネル 0 の外部リクエスト
	DMA 終了 0	$\overline{\text{TEND}}_0$	出力	DMAC チャンネル 0 の転送終了
1	DMA 要求 1	$\overline{\text{DREQ}}_1$	入力	DMAC チャンネル 1 の外部リクエスト
	DMA 終了 1	$\overline{\text{TEND}}_1$	出力	DMAC チャンネル 1 の転送終了

【注】 ショートアドレスモードでは、チャンネル A に対する外部リクエストは行えません。

7.1.5 レジスタ構成

DMAC のレジスタ構成を表 7.3 に示します。

表 7.3 レジスタ構成 (1)

チャンネル	アドレス*	名 称	略 称	R/W	初期値
0	H'FFF20	メモリアドレスレジスタ 0AR	MAR0AR	R/W	不定
	H'FFF21	メモリアドレスレジスタ 0AE	MAR0AE	R/W	不定
	H'FFF22	メモリアドレスレジスタ 0AH	MAR0AH	R/W	不定
	H'FFF23	メモリアドレスレジスタ 0AL	MAR0AL	R/W	不定
	H'FFF26	I/O アドレスレジスタ 0A	IOAR0A	R/W	不定
	H'FFF24	転送カウントレジスタ 0AH	ETCR0AH	R/W	不定
	H'FFF25	転送カウントレジスタ 0AL	ETCR0AL	R/W	不定
	H'FFF27	データトランスファコントロールレジスタ 0A	DTCR0A	R/W	H'00
	H'FFF28	メモリアドレスレジスタ 0BR	MAR0BR	R/W	不定
	H'FFF29	メモリアドレスレジスタ 0BE	MAR0BE	R/W	不定
	H'FFF2A	メモリアドレスレジスタ 0BH	MAR0BH	R/W	不定
	H'FFF2B	メモリアドレスレジスタ 0BL	MAR0BL	R/W	不定
	H'FFF2E	I/O アドレスレジスタ 0B	IOAR0B	R/W	不定
	H'FFF2C	転送カウントレジスタ 0BH	ETCR0BH	R/W	不定
	H'FFF2D	転送カウントレジスタ 0BL	ETCR0BL	R/W	不定
	H'FFF2F	データトランスファコントロールレジスタ 0B	DTCR0B	R/W	H'00

【注】 * アドレスは下位 20 ビットを示しています。

表 7.3 レジスタ構成 (2)

チャンネル	アドレス*	名 称	略 称	R/W	初期値
1	H'FFF30	メモリアドレスレジスタ 1AR	MAR1AR	R/W	不定
	H'FFF31	メモリアドレスレジスタ 1AE	MAR1AE	R/W	不定
	H'FFF32	メモリアドレスレジスタ 1AH	MAR1AH	R/W	不定
	H'FFF33	メモリアドレスレジスタ 1AL	MAR1AL	R/W	不定
	H'FFF36	I/O アドレスレジスタ 1A	IOAR1A	R/W	不定
	H'FFF34	転送カウントレジスタ 1AH	ETCR1AH	R/W	不定
	H'FFF35	転送カウントレジスタ 1AL	ETCR1AL	R/W	不定
	H'FFF37	データ転送ファコン トロールレジスタ 1A	DTCR1A	R/W	H'00
	H'FFF38	メモリアドレスレジスタ 1BR	MAR1BR	R/W	不定
	H'FFF39	メモリアドレスレジスタ 1BE	MAR1BE	R/W	不定
	H'FFF3A	メモリアドレスレジスタ 1BH	MAR1BH	R/W	不定
	H'FFF3B	メモリアドレスレジスタ 1BL	MAR1BL	R/W	不定
	H'FFF3E	I/O アドレスレジスタ 1B	IOAR1B	R/W	不定
	H'FFF3C	転送カウントレジスタ 1BH	ETCR1BH	R/W	不定
	H'FFF3D	転送カウントレジスタ 1BL	ETCR1BL	R/W	不定
	H'FFF3F	データ転送ファコン トロールレジスタ 1B	DTCR1B	R/W	H'00

【注】 * アドレスは下位 20 ビットを示しています。

7.2 各レジスタの説明（１）（ショートアドレスモード）

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 7.4 に示すように DTCRA の DTS2A、DTS1A ビットにより各チャンネルのショートアドレスモード転送を指定します。

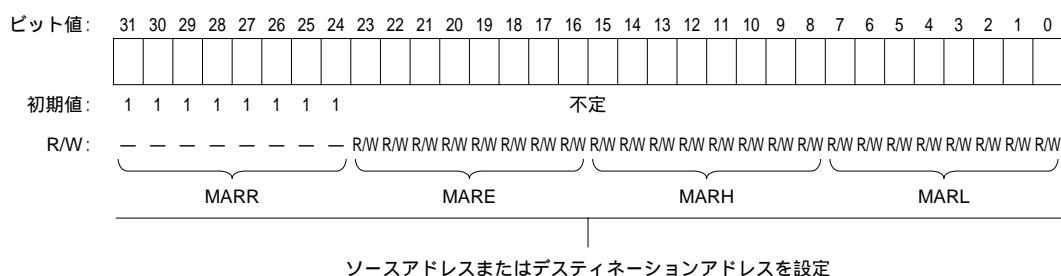
表 7.4 ショートアドレスモード、フルアドレスモードの設定

チャンネル	ビット 2	ビット 1	説 明
	DTS2A	DTS1A	
0	1	1	DMAC チャンネル 0 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 0A、チャンネル 0B は、各々独立動作で 2 チャンネルのショートアドレスモード転送
1	1	1	DMAC チャンネル 1 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 1A、チャンネル 1B は、各々独立動作で 2 チャンネルのショートアドレスモード転送

7.2.1 メモリアドレスレジスタ (MAR)

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。転送方向は起動要因により自動的に決定されます。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR は全ビットリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。



MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャネル 0 の受信完了割り込み、および A/D 変換器の変換終了割り込みの場合はデスティネーションアドレスレジスタとして、それ以外の場合にはソースアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新していきます。詳細は、「7.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

MAR は、リセット、またはスタンバイモード時にイニシャライズされません。

7.2.2 I/O アドレスレジスタ (IOAR)

IOAR は 8 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOAR はアドレスの下位 8 ビットを指定し、上位 16 ビットは、すべて 1 (H'FFFF) となります。



IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャネル 0 の受信完了割り込み、および A/D 変換器の変換終了割り込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

IOAR は転送によってインクリメント/デクリメントされず、固定されます。

IOAR はリセット、またはスタンバイモード時にイニシャライズされません。

7.2.3 転送カウンタレジスタ (ETCR)

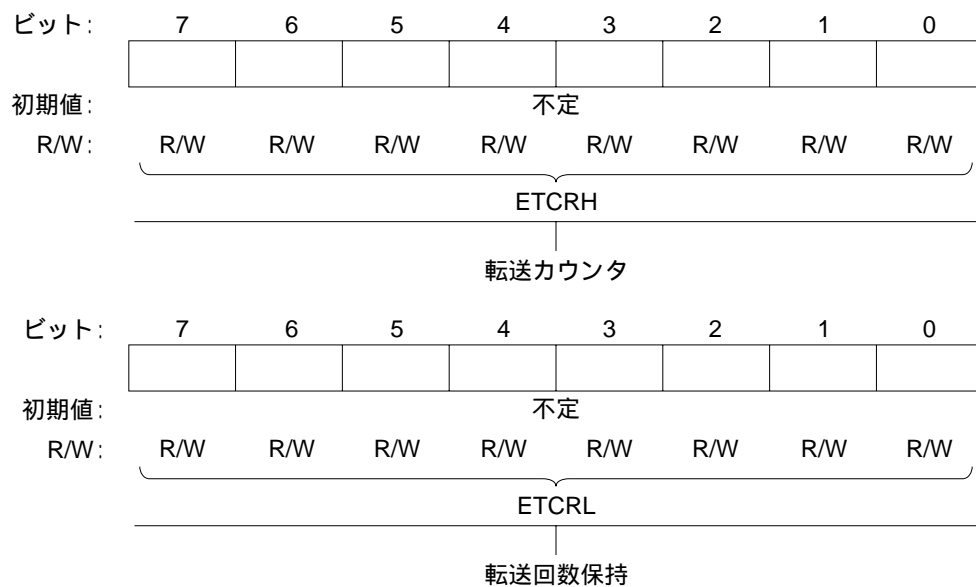
ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/O モードおよびアイドルモードと、リピートモードとでは機能が異なります。

(1) I/O モードおよびアイドルモード



I/O モードとアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに、1 だけデクリメントされカウンタ値が H'0000 になると転送を終了します。

(2) リピートモード



リピートモードでは、ETCRH は 8 ビットの転送カウンタとして機能し、ETCRL は転送回数を保持します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCR は、リセット、またはスタンバイモード時にイニシャライズされません。

7.2.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード / ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト
データ転送開始の起動要因を選択するビットです。

データトランスファインタラプトイネーブル
転送終了時、CPU に対する割り込みを許可 / 禁止するビットです。

リピートイネーブル
リピートモードを指定するビットです。

データトランスファインクリメント / デクリメント
データ転送時、MAR のインクリメント / デクリメントを指定するビットです。

データトランスファサイズ
転送されるデータサイズ (バイト / ワード) を選択するビットです。

データトランスファイネーブル
転送を許可 / 禁止するビットです。

DTCR はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット7:データトランスファイネーブル (DTE)

当該チャンネルのデータ転送を許可 / 禁止します。DTE ビットを 1 にセットすると、そのチャンネルは転送要求待ち状態となり、DTS2 ~ DTS0 ビットで指定された起動要因によりデータ転送が行われます。本ビットが 0 のとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは、DTE=0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット 7	説 明
DTE	
0	データ転送禁止。I/O モードとアイドルモードでは、指定された回数の転送を終了したとき、0 にクリア (初期値)
1	データ転送許可

DTIE=1 の状態で、本ビットが 0 にクリアされると CPU に割り込みを要求します。

ビット6:データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 6	説 明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット5:データトランスファインクリメント / デクリメント (DTID)

I/O モードまたはリピートモードの場合、データ転送後の MAR のインクリメント / デクリメントを選択します。

ビット 5	説 明
DTID	
0	データ転送後 MAR をインクリメント (1) DTSZ=0 のとき、転送後 MAR を + 1 (2) DTSZ=1 のとき、転送後 MAR を + 2
1	データ転送後 MAR をデクリメント (1) DTSZ=0 のとき、転送後 MAR を - 1 (2) DTSZ=1 のとき、転送後 MAR を - 2

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

ビット4:リピートイネーブル (RPE)

データ転送を I/O モード、アイドルモード、またはリピートモードの動作で行うかを選択します。

ビット4	ビット3	説明
RPE	DTIE	
0	0	I/O モードで転送 (初期値)
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

I/O モード、アイドルモード、およびリピートモードの動作については、「7.4.2 I/O モード」、「7.4.3 アイドルモード」、「7.4.4 リピートモード」を参照してください。

ビット3:データトランスファインタラプトイネーブル (DTIE)

DTE ビットが0にクリアされたとき、DTE ビットによる割り込み (DEND) 要求を許可 / 禁止します。

ビット3	説明
DTIE	
0	DTE による割り込み (DEND) を要求を禁止 (初期値)
1	DTE による割り込み (DEND) を要求を許可

ビット2～0: データトランスファセレクト (DTS2～DTS0)

データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部指定内容が異なります。

ビット 2	ビット 1	ビット 0	説 明
DTS2	DTS1	DTS0	
0	0	0	16 ビットタイマチャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 (初期値)
		1	16 ビットタイマチャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
	1	0	16 ビットタイマチャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	A/D 変換器の変換終了割り込みで起動
1	0	0	SCI チャンネル 0 の送信データエンプティ割り込みで起動
		1	SCI チャンネル 0 の受信データフル割り込みで起動
	1	0	DREQ 端子の立ち下がりエッジ入力で起動 (チャンネル B の場合)
			フルアドレスモード転送を指定 (チャンネル A の場合)
		1	DREQ 端子の Low レベル入力で起動 (チャンネル B の場合)
			フルアドレスモード転送を指定 (チャンネル A の場合)

【注】 「7.3.4 データトランスファコントロールレジスタ (DTCR) 」を参照してください。

内部割り込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「7.4.9 DMAC 複数チャンネルの動作」を参照してください。

転送許可の状態 (DTE=1) では、DMAC の起動要因に選択された割り込みは、CPU に対して割り込みを要求しません。

7.3.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。
このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

(1) ノーマルモード

(a) ETCRA



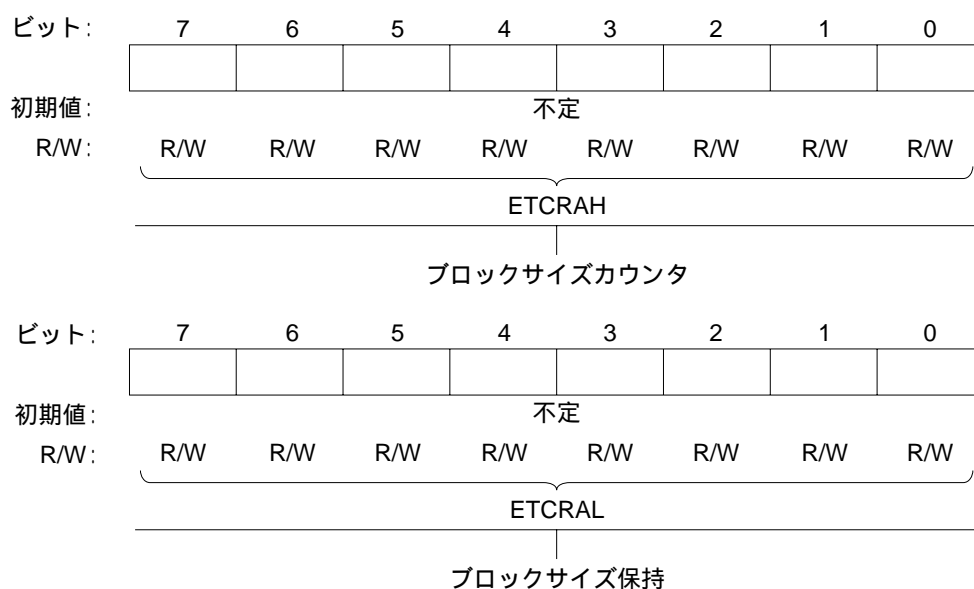
(b) ETCRB

ETCRB はノーマルモードでは使用しません。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

(2) ブロック転送モード

(a) ETCRA



(b) ETCRB



ブロック転送モードでは、ETCRAH は 8 ビットのブロックサイズカウンタとして機能し、ETCRAL はブロックサイズを保持します。ETCRAH は、1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAL の内容が転送されます。したがって、ETCRAH と ETCRAL にブロックサイズを初期設定することにより、任意のバイト数またはワード数のブロック転送を繰り返し行うことができます。

また、ブロック転送モードでは ETCRB は 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。

ETCR は、リセット、またはスタンバイモード時にはイニシャライズされません。

7.3.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード / ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。DTCRA の DTS2A、DTS1A ビットをいずれも 1 にセットすると当該チャネルはフルアドレスモードとなります。フルアドレスモードでは DTCRA と DTCRB では機能が異なります。

(1) DTCRA

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファ
セレクト0A
ブロック転送モードを
選択するビットです。

データトランスファセレクト2、1A
いずれも1にセットしてください。

データトランスファインタラプトイネーブル
転送終了時、CPUに割り込みを許可 / 禁止する
ビットです。

ソースアドレスインクリメント / デクリメント
ソースアドレスインクリメント / デクリメントイネーブル
MARAをインクリメントするかデクリメントするか、
または固定とするかを選択するビットです。

データトランスファサイズ
転送されるデータサイズを選択するビットです。

データトランスファイネーブル
転送を許可 / 禁止するビットです。

DTCRA はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット7:データトランスファイネーブル (DTE)

DTCRB の DTME ビットと共に当該チャネルのデータ転送を許可 / 禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャネルは転送許可状態となります。オートリクエストを指定したときは直ちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了すると DTE ビットは自動的に 0 にクリアされます。本ビットが 0 にクリアされているとき、当該チャネルは停止状態となり転送要求を受け付けません。DTE ビットは、0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット 7	説 明
DTE	
0	データ転送禁止 (指定された回数の転送を終了したとき、0 にクリア) (初期値)
1	データ転送許可

DTIE=1 の状態で、本ビットが 0 にクリアされると CPU に割り込みを要求します。

ビット6:データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 6	説 明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット5: ソースアドレスインクリメント/デクリメント (SAID)

ビット4: ソースアドレスインクリメント/デクリメントイネーブル (SAIDE)

データ転送時、ソースアドレスレジスタ MARA をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説 明
SAID	SAIDE	
0	0	MARA 固定 (初期値)
	1	データ転送後 MARA をインクリメント (1) DTSZ=0 のとき、データ転送後 MARA を +1 (2) DTSZ=1 のとき、データ転送後 MARA を +2
1	0	MARA 固定
	1	データ転送後 MARA をデクリメント (1) DTSZ=0 のとき、転送後 MARA を -1 (2) DTSZ=1 のとき、転送後 MARA を -2

ビット3: データトランスファインタラプトイネーブル (DTIE)

DTE ビットが0にクリアされたとき、DTE による割り込み (DEND) 要求を許可 / 禁止します。

ビット3	説 明
DTIE	
0	DTE による割り込み (DEND) を要求を禁止 (初期値)
1	DTE による割り込み (DEND) を要求を許可

ビット2、1: データトランスファセレクト 2、1A (DTS2A、DTS1A)

DTS2A、DTS1A ビットはいずれも 1 にセットしたとき、当該チャネルはフルアドレスモードとなります。

ビット0:データトランスファセレクト 0A (DTS0A)

DMAC をノーマルモードで動作させるか、ブロック転送モードで動作させるか選択します。

ビット0	説 明
DTS0A	
0	ノーマルモードの動作 (初期値)
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「7.4.5 ノーマルモード」、「7.4.6 ブロック転送モード」を参照してください。

(2) DTCRB

ビット:	7	6	5	4	3	2	1	0
	DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								データトランスファ セレクト2~0B データ転送の起動要因を 設定するビットです。
								トランスファモードセレクト ブロック転送モード時、ソース側とデス ティネーション側のどちらをブロックエ リアとするかを選択するビットです。
								デスティネーションアドレスインクリメント/デクリメント デスティネーションアドレスインクリメント/ デクリメントイネーブル データ転送時MARBをインクリメントするかデクリメント するか、または固定とするかを選択するビットです。
								リザーブビット
								データトランスファマスタイネーブル DTEビットと共に転送の許可/禁止を制御するビットです。 割り込みが発生すると0にクリアされます。

DTCRB はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット7:データトランスファマスタイネーブル (DTME)

DTCRA の DTE ビットと共に当該チャンネルのデータ転送の許可 / 禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャンネルは転送許可状態となります。NMI 割り込みが発生したとき DTME ビットは 0 にクリアされ、転送を中断して CPU にバス権を移します。その後、本ビットを 1 にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「7.6.6 NMI 割り込みとブロック転送モード」を参照してください。

DTME ビットは、DTME=0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット 7	説 明
DTME	
0	データ転送禁止。NMI 割り込みが発生したとき、0 にクリア (初期値)
1	データ転送許可

ビット6:リザーブビット

リザーブビットです。リード / ライト可能です。

ビット5:デスティネーションアドレスインクリメント / デクリメント (DAID)

ビット4:デスティネーションアドレスインクリメント / デクリメントイネーブル (DAIDE)

データ転送時、MARB をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説 明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後 MARB をインクリメント (1) DTSZ=0 のとき、データ転送後 MARB を +1 (2) DTSZ=1 のとき、データ転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2

ビット3:トランスファモードセレクト (TMS)

ブロック転送モード時、ソース側とデスティネーション側のどちらかをブロックエリアとして転送するかを選択します。。

ビット 3	説 明
TMS	
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送 (初期値)
1	ブロック転送モード時、ソース側をブロックエリアとして転送

ビット2~0:データトランスファセレクト 2~0B (DTS2B~DTS0B)

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

(ノーマルモード)

ビット2	ビット1	ビット0	説 明
DTS2B	DTS1B	DTS0B	
0	0	0	オートリクエスト (バーストモード) (初期値)
		1	使用できません
	1	0	オートリクエスト (サイクルスチールモード)
		1	使用できません
1	0	0	使用できません
		1	使用できません
	1	0	$\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動
		1	$\overline{\text{DREQ}}$ 端子の Low レベル入力で起動

(ブロック転送モード)

ビット2	ビット1	ビット0	説 明
DTS2B	DTS1B	DTS0B	
0	0	0	16 ビットタイマチャネル0のコンペアマッチ/インプットキャプチャA割り込みで起動 (初期値)
		1	16 ビットタイマチャネル1のコンペアマッチ/インプットキャプチャA割り込みで起動
	1	0	16 ビットタイマチャネル2のコンペアマッチ/インプットキャプチャA割り込みで起動
		1	A/D 変換器の変換終了割り込みで起動
1	0	0	使用できません
		1	使用できません
	1	0	$\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動
		1	使用できません

内部割り込みによる起動では、複数のチャネル間で同一の起動要因を指定することが可能です。この場合、チャネル間の優先順位に従い優先順位の高いチャネルから起動されます。優先順位については「7.4.9 DMAC 複数チャネルの動作」を参照してください。

7.4 動作説明

7.4.1 概要

DMAC のモード一覧を表 7.5 に示します。

表 7.5 モード一覧

転送モード		起動要因	備 考
ショート アドレス モード	(1) I/O モード	16 ビットタイマチャンネル 0~2	・最大 4 チャンネルを独立に動作可能 ・外部リクエストはチャンネル B のみ可能
	(2) アイドルモード	のコンペアマッチ / インプットキャプチャ A 割り込み	
	(3) リピートモード	SCI チャンネル 0 の送信データエンブティ / 受信データフル割り込み	
		A/D 変換器の変換終了割り込み	
		外部リクエスト	
フル アドレス モード	(4) ノーマルモード	オートリクエスト	・チャンネル A、B を組み合わせて最大 2 チャンネル動作可能
		外部リクエスト	
	(5) ブロック転送 モード	16 ビットタイマチャンネル 0~2 の コンペアマッチ / インプットキャ プチャ A 割り込み	・オートリクエストではバーストモード 転送 / サイクルスチールモード転送の 選択可能
		A/D 変換器の変換終了割り込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

(1) I/O モード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(2) アイドルモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。アドレスは固定になっています。転送方向は起動要因によって自動的に決定されます。

(3) リピートモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU に対して割り込みは要求しません。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(4) ノーマルモード

(a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- ・ サイクルスチールモード

1 バイトまたはワード転送ごとにバスをいったん他のバスマスタに解放します。

- ・ バーストモード

他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

(b) 外部リクエスト

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

(5) ブロック転送モード

1 回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。1 回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

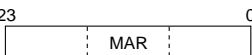
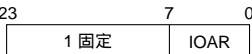

7.4.2 I/O モード

I/O モードは、各チャネル独立に設定可能です。

I/O モードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は起動要因によって自動的に決定され、SCI チャンネル 0 の受信データフル割り込みで起動される場合は IOAR で指定されるアドレスから MAR で指定されるアドレスへ、それ以外の場合は MAR で指定されるアドレスから IOAR で指定されるアドレスへ転送されます。

I/O モード時のレジスタの機能を表 7.6 に示します。

表 7.6 I/O モード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0 受信データフル割り込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。 H'0000 になると、転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイト転送またはワード転送のたびにインクリメント / デクリメントします。IOAR はアドレスの下位 8 ビットを指定し、上位 16 ビットは 1 となります。IOAR はインクリメントもデクリメントもされません。

図 7.2 に I/O モードの動作を示します。

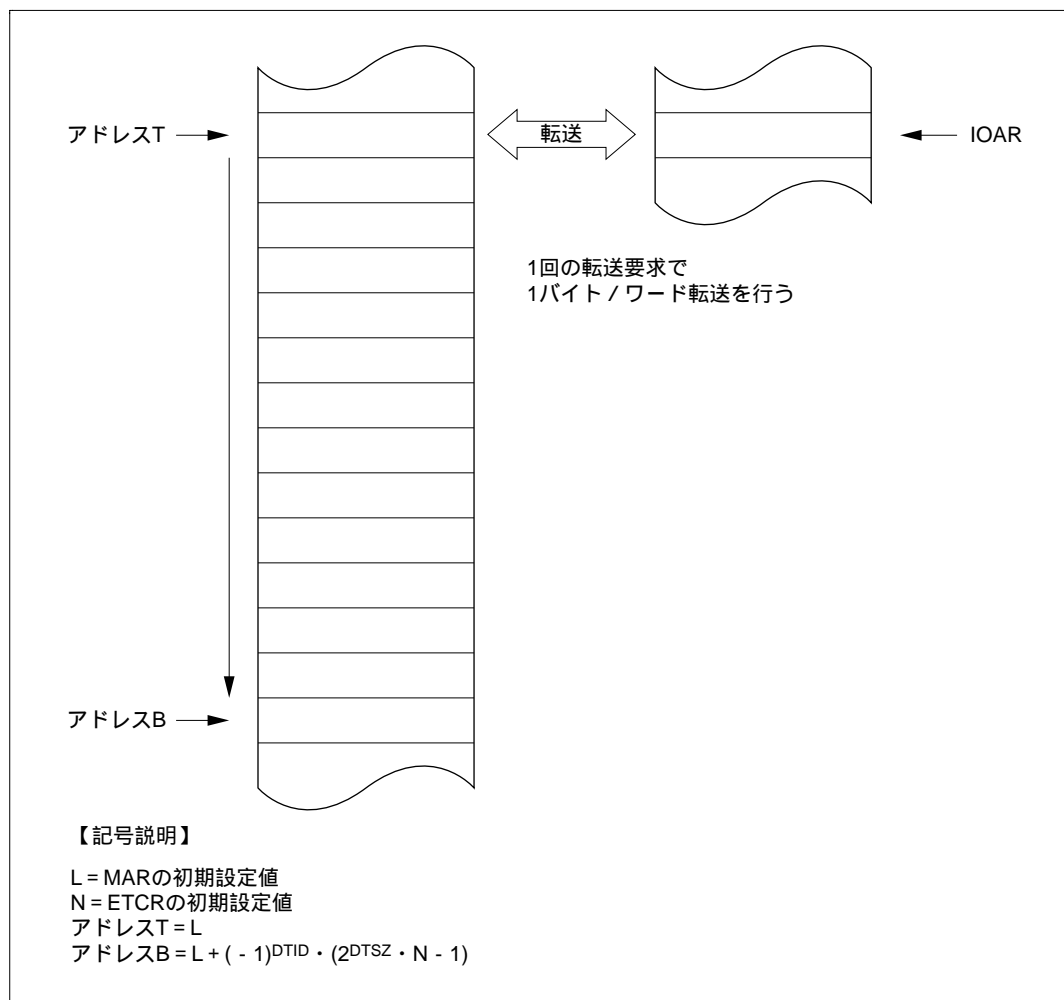


図 7.2 I/O モードの動作

転送回数はETCRによって16ビットで指定します。ETCRは1回の転送を行うたびに1だけデクリメントされ、H'0000になったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが1にセットされているとCPUに割り込みを要求します。

なお、転送回数の最大値はETCRにH'0000を設定したときで、65536となります。

転送要求（起動要因）には、16ビットタイマチャネル0～2のコンペアマッチ/インプットキャプチャA割り込み、SCIチャネル0の送信データエンプティ、受信データフル割り込み、A/D変換器の変換終了割り込み、および外部リクエストがあります。

設定の参照は「7.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

I/Oモードの設定手順例を図7.3に示します。

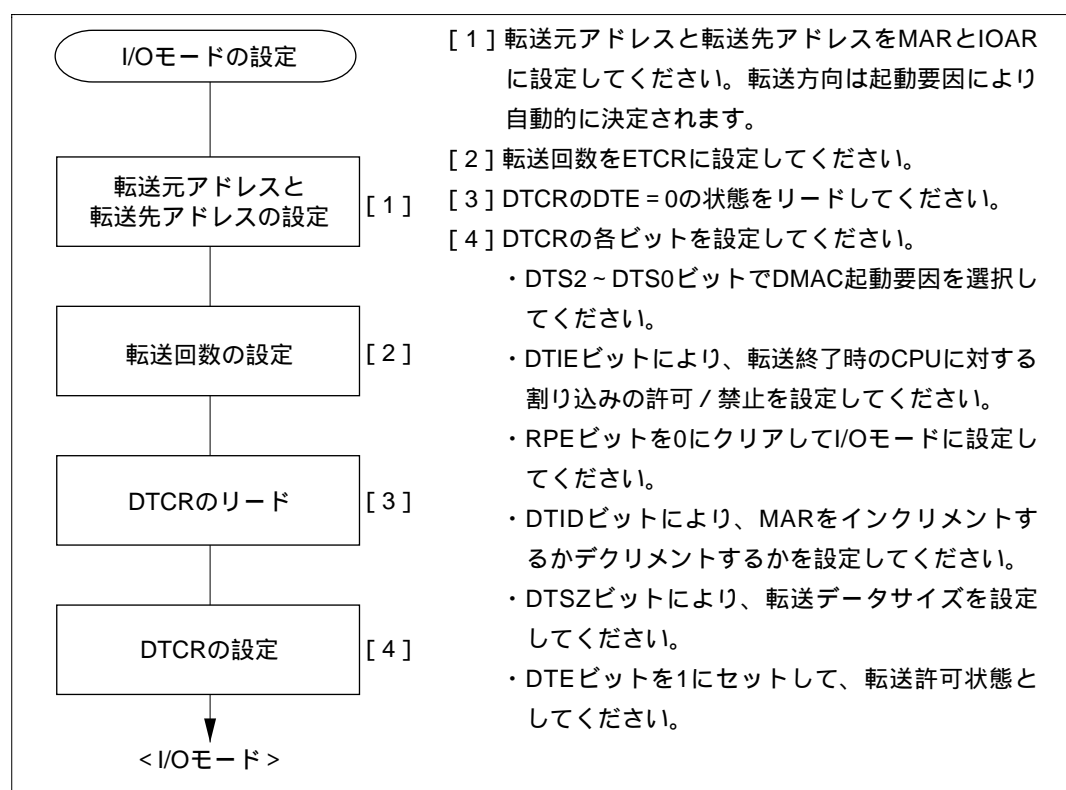


図 7.3 I/Oモードの設定手順例

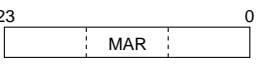
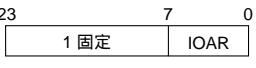
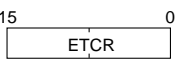
7.4.3 アイドルモード

アイドルモードは、各チャネル独立に設定可能です。

アイドルモードでは、1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定した回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIチャネル0の受信データフル割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を表7.7に示します。

表7.7 アイドルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0の受信データフル割り込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元のアドレス	固定
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
	転送カウンタ		転送回数	1回の転送ごとにデクリメント。H'0000になると、転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

転送元および転送先アドレスは、MARとIOARによって指定できます。MARには転送元または転送先のアドレスを24ビットで指定します。IOARはアドレス下位8ビットを指定し、上位16ビットは1となります。MAR、IOARはインクリメントもデクリメントもされません。

アイドルモードの動作を図 7.4 に示します。

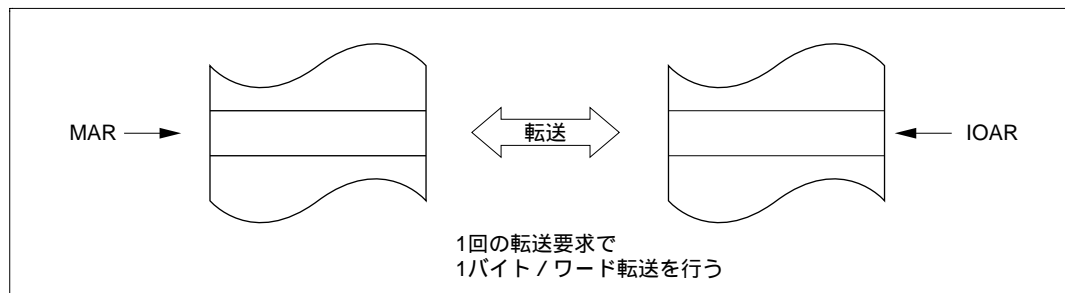


図 7.4 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、CPU に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求 (起動要因) には、16 ビットタイマチャネル 0~2 のコンペアマッチ/インプットキャプチャ A 割り込み、SCI チャネル 0 の送信データエンプティ、受信データフル割り込み、A/D 変換器の変換終了割り込み、および外部リクエストがあります。

設定の詳細は「7.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

アイドルモードの設定手順例を図 7.5 に示します。

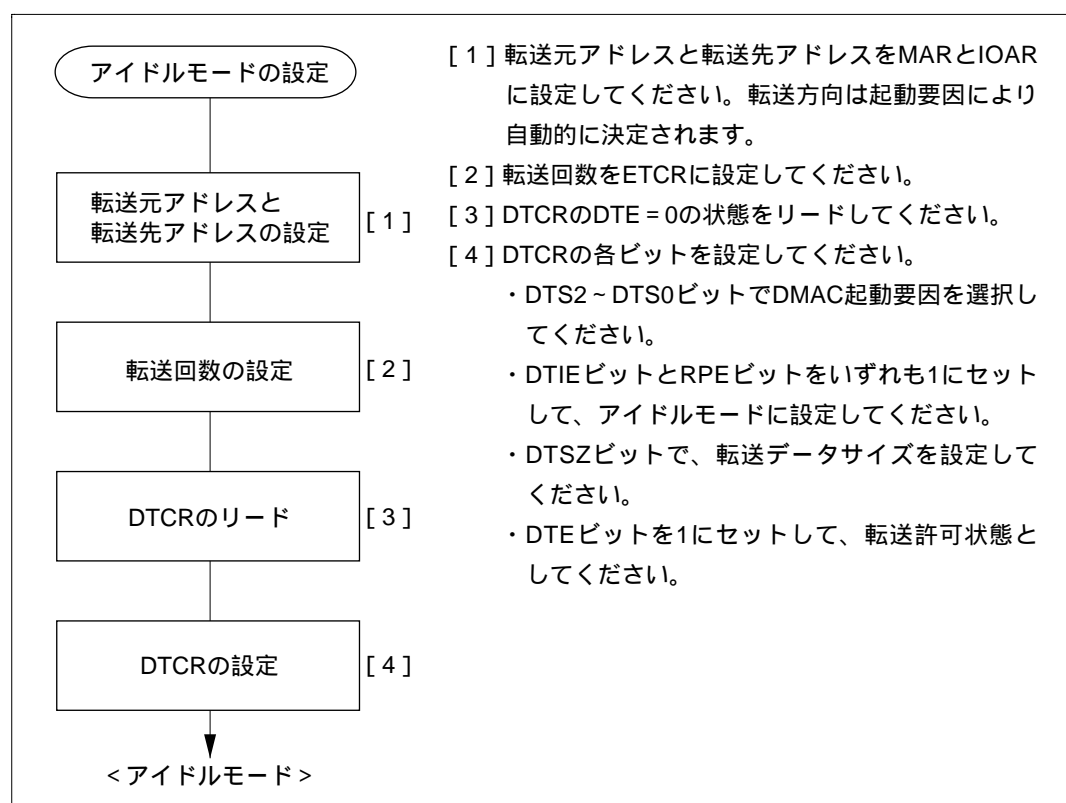


図 7.5 アイドルモードの設定手順例

7.4.4 リピートモード

リピートモードは、16ビットタイマのコンペアマッチなどに同期して、テーブル上のデータをプログラマブルタイミングパターンコントローラ（TPC）に対して繰り返し転送するのに便利なモードです。各チャンネル独立に設定可能です。

リピートモードでは、I/Oモードと同様に1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定した回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。指定された回数の転送終了時、MAR、およびETCRHの内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

リピートモード時のレジスタの機能を表 7.8 に示します。

表 7.8 リピートモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0 の受信データフル割り込みによる起動	その他の起動		
<div>23</div> <div>0</div> <div>MAR</div>	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント ETCRH が H'0000 になると、初期設定値を回復
<div>23</div> <div>7</div> <div>0</div> <div>1 固定</div> <div>IOAR</div>	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
<div>7</div> <div>0</div> <div>ETCRH</div> <div>↓</div> <div>7</div> <div>0</div> <div>ETCRL</div>	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると ETCRL の内容を格納
	転送回数保持		転送回数	固定

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

リピートモードではETCRHを転送カウンタとし、ETCRLは転送回数保持に使用します。ETCRHは1回の転送を行うたびに1だけデクリメントされ、H'00になるとETCRLの値が格納されます。また、MARはDTCRのDTSZビットおよびDTIDビットの値に応じて初期設定値を回復します。このときのMARの動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRL}$$

ETCRHとETCRLには同じ値を初期設定してください。

リピートモードでは、CPUがDTEビットを0にクリアするまで転送を繰り返します。DTEビットを0にクリアした後、CPUがDTEビットを1にセットすると、クリアした時点の状態から転送を再開します。CPUに対して割り込み要求は発生しません。

転送元および転送先アドレスは、I/Oモードと同様、MARとIOARによって指定します。MARには転送元または転送先アドレスを24ビットで指定します。IOARにはアドレスの下位8ビットを指定し、上位16ビットは1となります。IOARは転送によりインクリメントもデクリメントもされません。

図 7.6 にリピートモードの動作を示します。

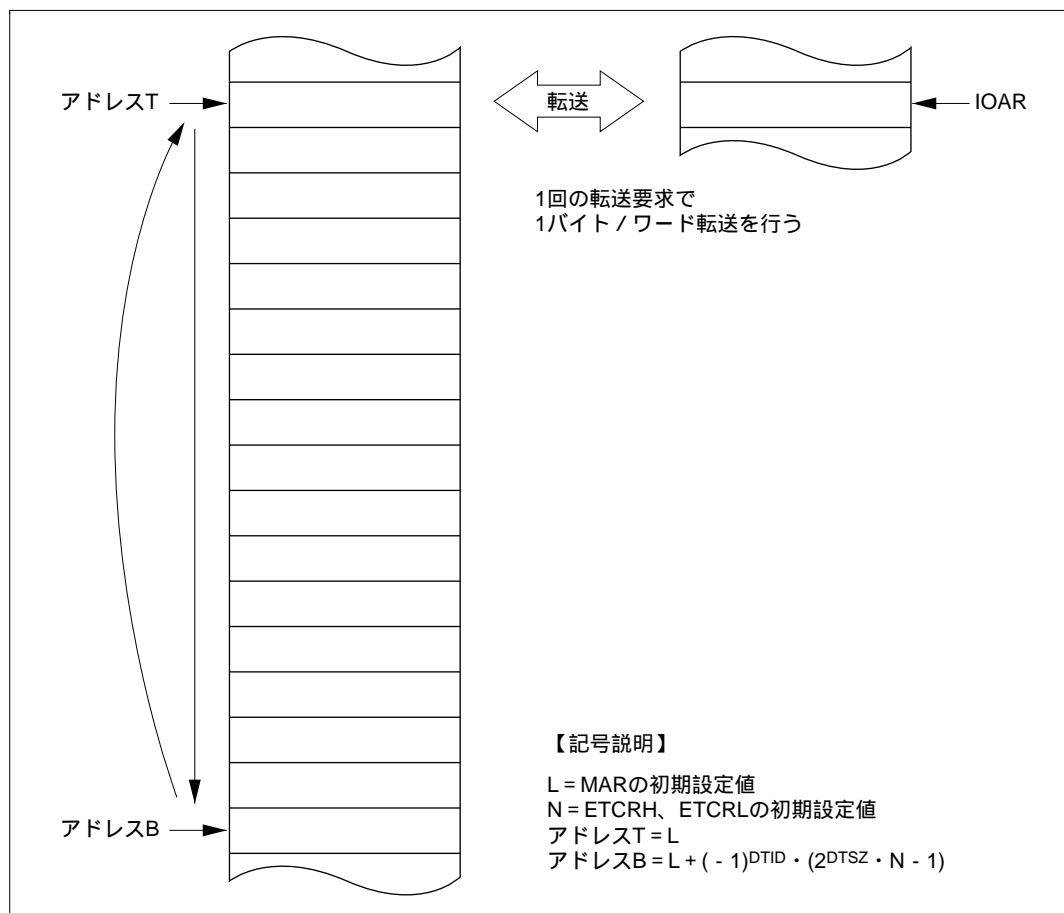


図 7.6 リピートモードの動作

転送回数は ETCRH、ETDRL に 8 ビットで指定します。転送回数の最大値は ETCRH、ETDRL にそれぞれ H'FF を設定したときで、255 となります。

転送要求（起動要因）には、16 ビットタイマチャネル 0~2 のコンペアマッチ / インプットキャプチャ A 割り込み、SCI チャネル 0 の送信データエンプティ、受信データフル割り込み、A/D 変換器の変換終了割り込み、および外部リクエストがあります。

設定の詳細は「7.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

リピートモードの設定手順例を図 7.7 に示します。

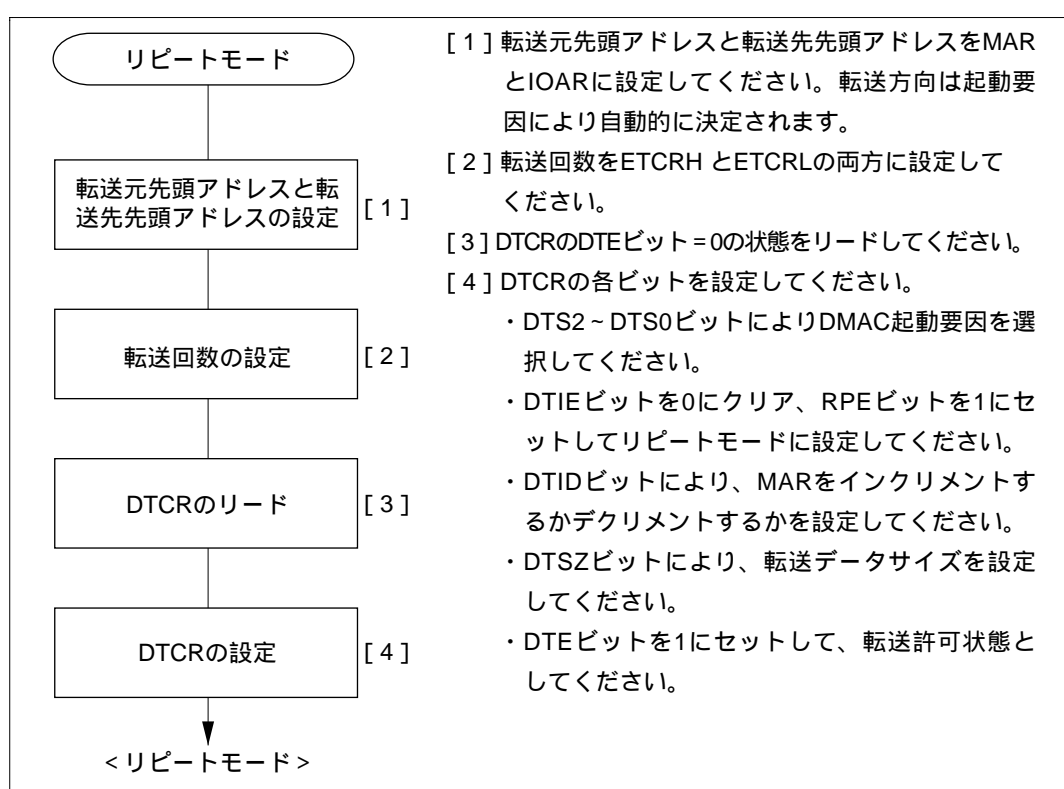


図 7.7 リピートモードの設定手順例

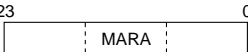

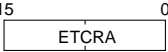
7.4.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。

ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。

ノーマルモード時のレジスタの機能を表 7.9 に示します。

表 7.9 ノーマルモード時のレジスタの機能

対象レジスタ	機 能	初期設定値	動 作
<div style="text-align: center;"> 23  0 </div>	ソースアドレ スレジスタ	転送元先頭 アドレス	1 回の転送ごとにインクリメント / デ クリメントまたは固定
<div style="text-align: center;"> 23  0 </div>	デスティネー ションアドレ スレジスタ	転送先先頭 アドレス	1 回の転送ごとにインクリメント / デ クリメントまたは固定
<div style="text-align: center;"> 15  0 </div>	転送カウンタ	転送回数	1 回の転送ごとにデクリメント

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウントレジスタ A

転送元および転送先アドレスは共に 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は MARA、MARB 独立に行うことができます。

転送回数は ETCRA によって 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

図 7.8 にノーマルモードの動作を示します。

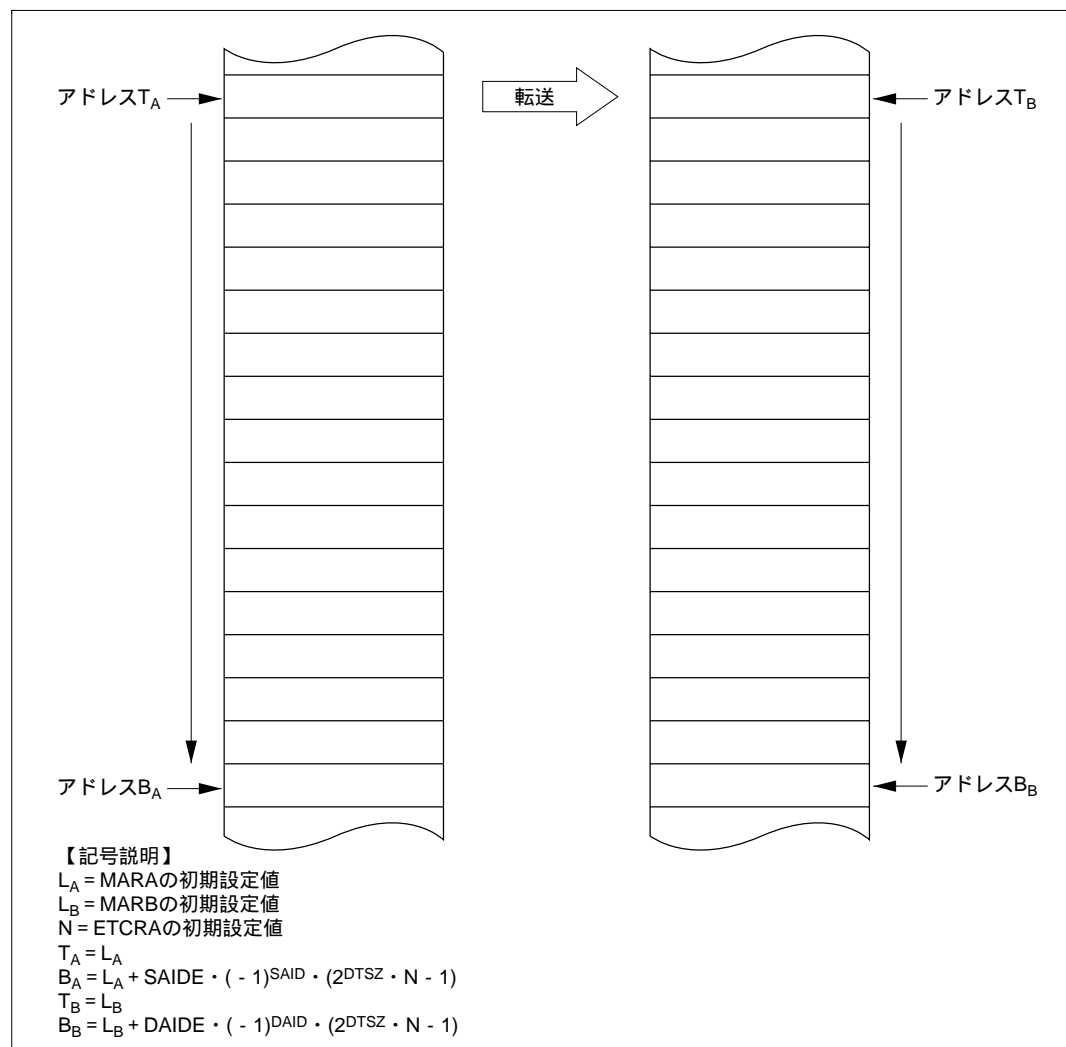


図 7.8 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは DMAC は 1 回の転送を行うたびにバスをいったん解放します。バーストモードでは、より優先順位の高いバスマスタからバス権要求がない限り転送終了までバスを占有し続けます。

設定の詳細は「7.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

ノーマルモードの設定手順例を図 7.9 に示します。

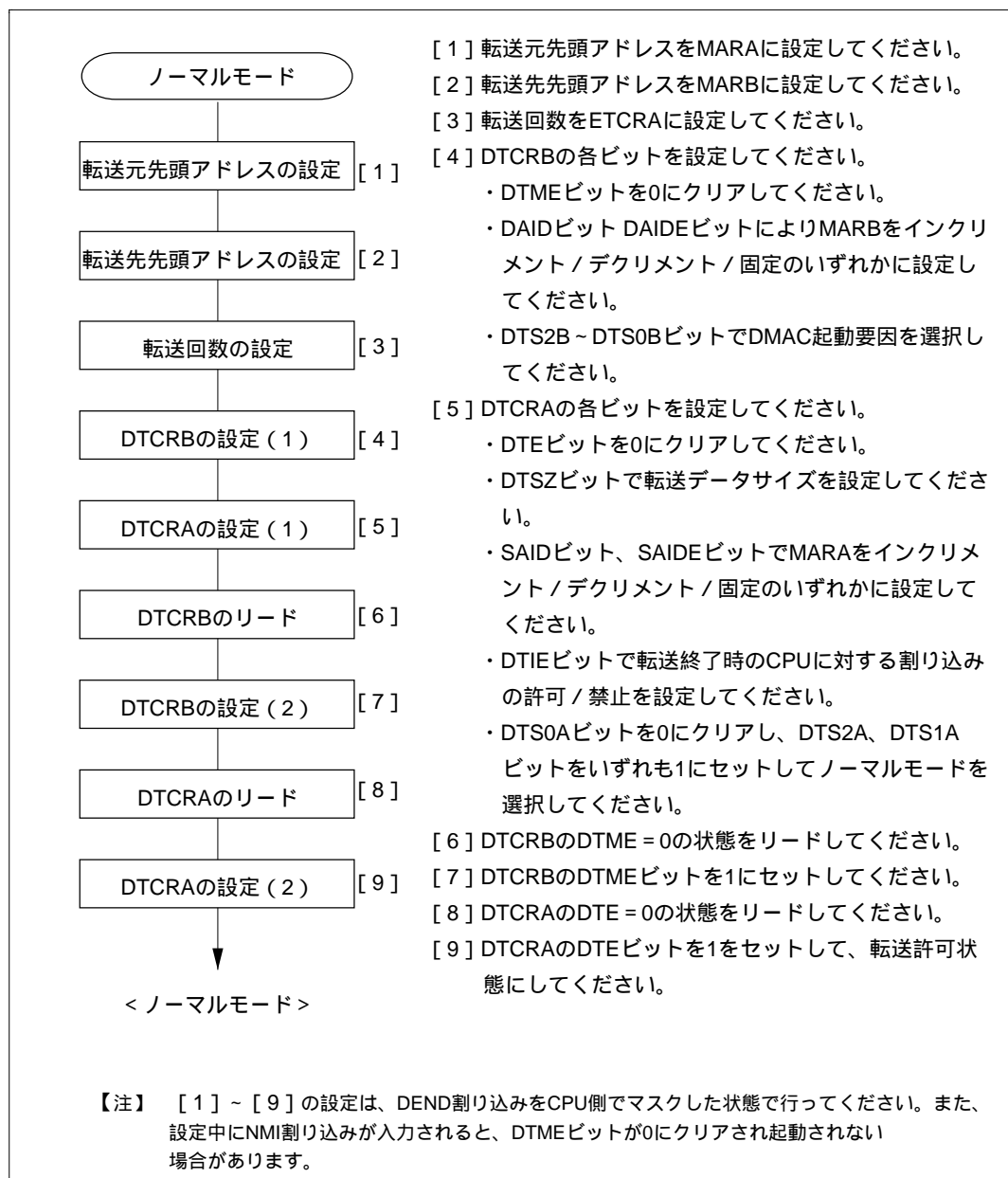


図 7.9 ノーマルモードの設定手順例

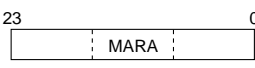




7.4.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。

ブロック転送モードでは、1 回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。ブロックエリア側のアドレスを固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を表 7.10 に示します。

表 7.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機 能	初期設定値	動 作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント / デクリメントまたは固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント / デクリメントまたは固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント、H'00 になると ETCRL の値を格納
	ブロックサイズ保持	ブロックサイズ	固定
	ブロック転送カウンタ	ブロック転送回数	ブロック転送ごとにデクリメント H'0000 になると転送終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

ETCRB : 転送カウンタレジスタ B

転送元および転送先アドレスは共に 24 ビットで指定し、MARA ソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB 独立に行うことができます。ブロックエリアを指定する MAR は、インクリメント / デクリメントを指定した場合でも 1 回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかは DTCRB の TMS ビットにより指定します。

1 回の転送要求で転送するブロックサイズを M ($M=1 \sim 255$) とし、 N 回 ($N=1 \sim 65,536$) の転送を行うとき、ETCRAH と ETCRAL にそれぞれ M を、ETCRB に N を設定します。

図 7.10 にブロック転送モードの動作を示します。TMS ビットを 0 にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。

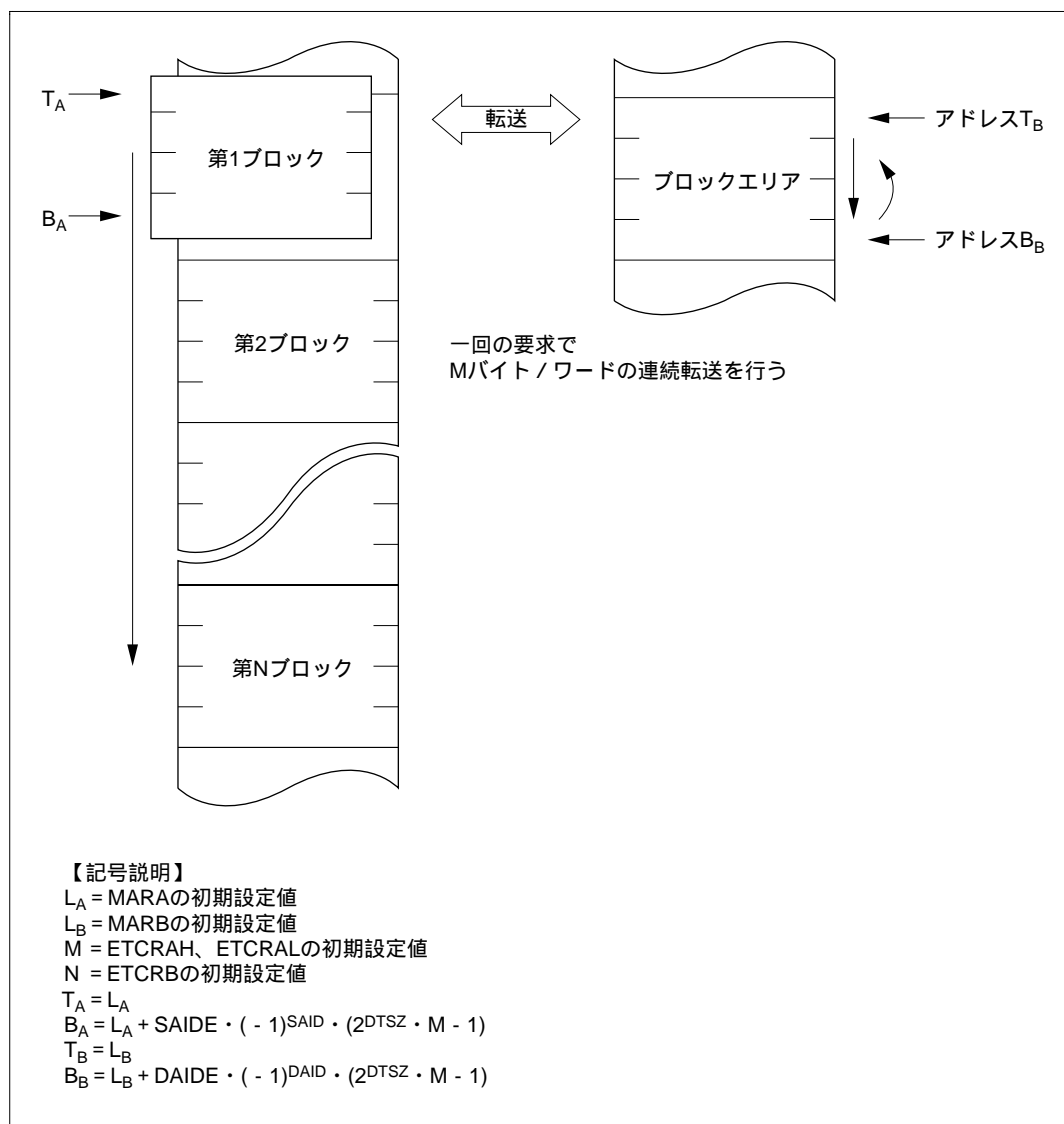


図 7.10 ブロック転送モードの動作

転送要求によって DMAC が起動されるとバースト転送を行います。この間、MARA、MARB とともに DTCR の設定に従い更新され、ETCRAH をデクリメントします。ETCRAH が H'00 になると、ETCRAH は ETCRAL の値が格納され初期設定値に戻ります。同時にブロックエリア側の MAR も初期設定値に戻り、ETCRB をデクリメントして H'0000 でなければ次の転送要求待ちとなります。ETCRAH と ETCRAL には同じ値を初期設定にしてください。

この動作を繰り返して ETCRB の値が H'0000 になったとき、DTE ビットを 0 にクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に対して割り込みを要求します。

デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合の DMAC の動作フロー例を図 7.11 に示します。(a) はブロックエリアのアドレスが連続する場合、(b) はブロックエリアのアドレス固定の場合を示します。

転送要求 (起動要因) には、16 ビットタイマチャネル 0~2 コンペアマッチ / インプットキャプチャ A 割り込み、A/D 変換器の変換終了割り込み、および外部リクエストがあります。

設定の詳細は「7.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

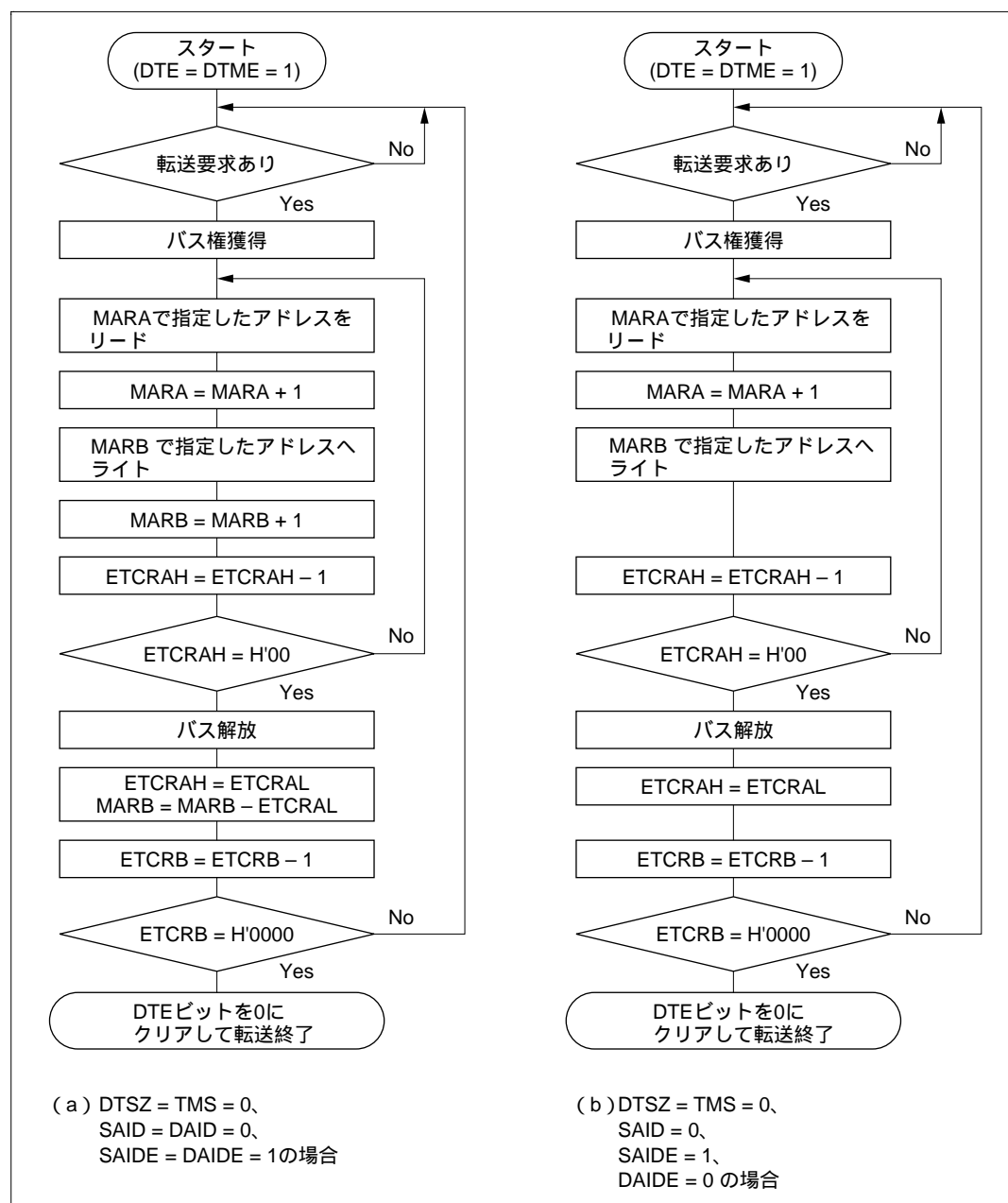


図 7.11 ブロック転送モードの動作フロー

ブロック転送モードの設定手順例を図 7.12 に示します。

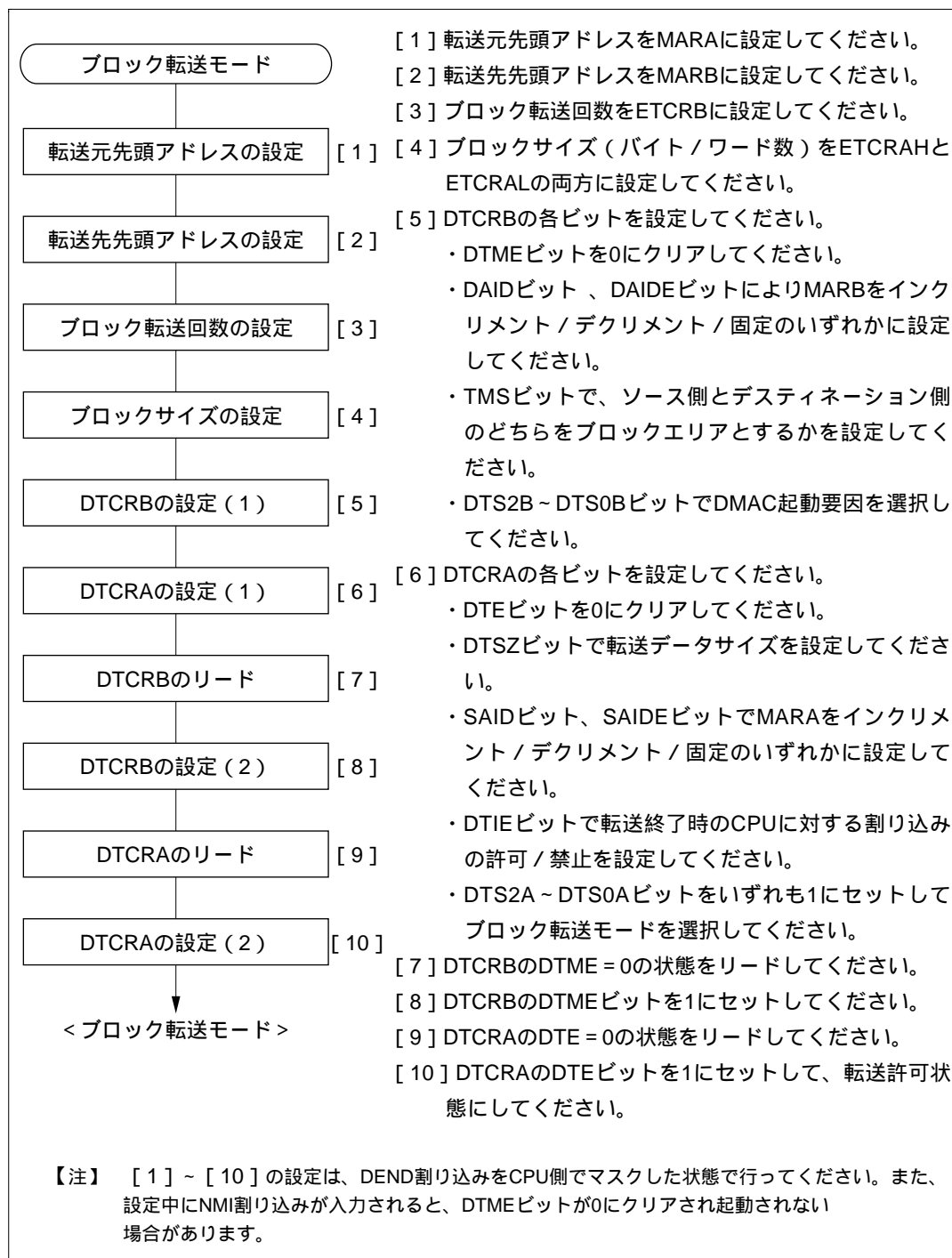


図 7.12 ブロック転送モードの設定手順例

7.4.7 DMAC の起動要因

DMAC の起動要因には、内部割り込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより指定できる要因が表 7.11 に示すように異なります。

表 7.11 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマル	ブロック
内部 割り 込み	IMIA0			×	
	IMIA1			×	
	IMIA2			×	
	ADI			×	
	TXI0			×	×
	RXI0			×	×
外部 リクエスト	$\overline{\text{DREQ}}$ 端子の立ち下がり	×			
	$\overline{\text{DREQ}}$ 端子の Low レベル入力	×			×
オートリクエスト		×			×

(1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、DTE=1 の状態では CPU に対しては要求されません。したがって、起動要因として使用している割り込みで同時に CPU に割り込みを発生させることはできません。

割り込み要求により DMAC が起動されると、割り込み要求フラグは自動的にクリアされます。複数のチャンネルで同一の割り込みを起動要因として指定した場合、最初に最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

(2) 外部リクエストによる起動

起動要因として外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定した場合は、該当する $\overline{\text{DREQ}}$ 端子と $\overline{\text{TEND}}$ 端子が対応するポートのデータディレクションレジスタ (DDR) の設定にかかわらず、それぞれ入力端子、出力端子になります。

$\overline{\text{DREQ}}$ 端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は $\overline{\text{DREQ}}$ 端子入力の High レベルから Low レベルへの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送を完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合は $\overline{\text{DREQ}}$ 端子が Low レベルに保持されている間は、転送終了まで転送を継続します。ただし、1 バイトまたは 1 ワードの転送を行うたびにいったんバスを解放します。転送の途中で $\overline{\text{DREQ}}$ 端子が High レベルとなった場合、転送中の 1 バイトまたは 1 ワードの転送した時点で転送を中断します。なお、 $\overline{\text{DREQ}}$ 端子が Low レベルにすると、起動要因は 1 バイトまたは 1 ワードの転送が行われるまで内部で保持されています。

$\overline{\text{TEND}}$ 端子は最後の転送のライトサイクル中 Low レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モード時はエッジセンスの転送要求のみ可能です。 $\overline{\text{DREQ}}$ 端子入力の High レベルから Low レベルへの変化を検出するたびに、指定された 1 ブロックを転送します。

$\overline{\text{TEND}}$ 端子は 1 ブロック転送の最後のライトサイクル中 Low レベルとなります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。

サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスをいったん解放しますので、通常、DMAC サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス要求権がない限り転送終了までバスを占有し続けます。優先順位の高いバス要求があった場合は、転送中の 1 バイトまたは 1 ワードを転送した時点でバスを解放します。

7.4.8 DMAC のバスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 7.13 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、1 サイクル (T_d) の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

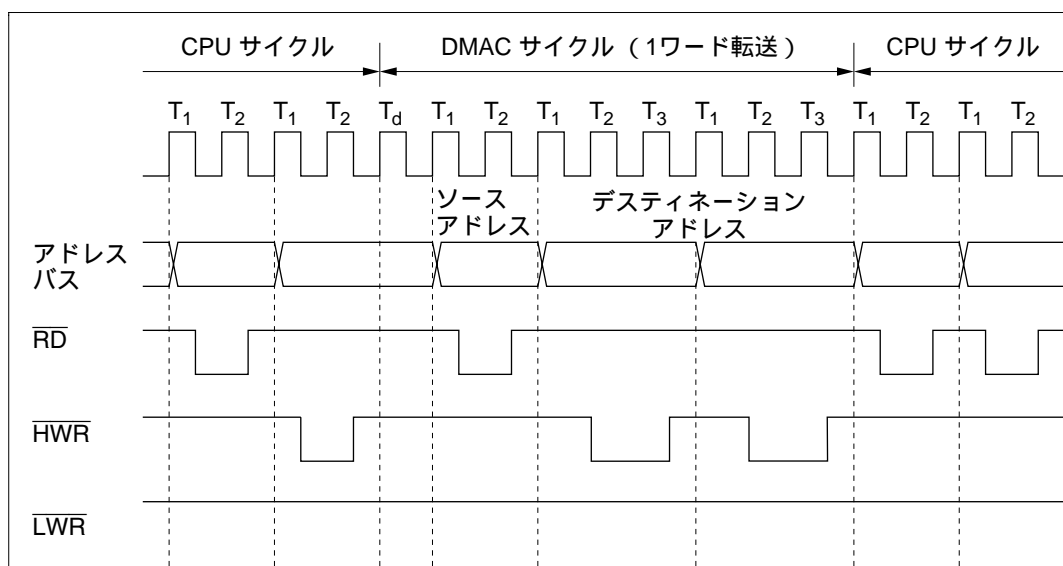


図 7.13 DMA 転送バスタイミング例

$\overline{\text{DREQ}}$ 端子 Low レベルで DMAC を起動した場合のタイミングを図 7.14 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ転送する場合の例です。 $\overline{\text{DREQ}}$ 端子が Low レベルに保持されている間、DMAC は転送を継続します。

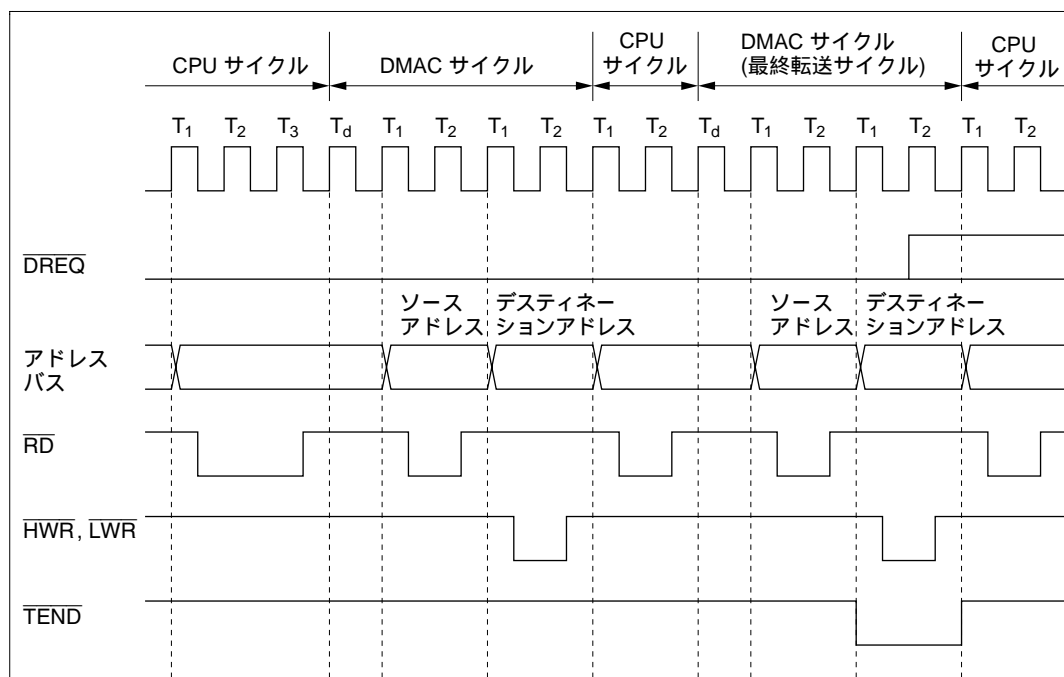


図 7.14 $\overline{\text{DREQ}}$ 端子 Low レベル入力選択時の DMAC 転送バスタイミング

オートリクエストバーストモードの場合のタイミングを図 7.15 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間、3 ワード転送する場合の例です。

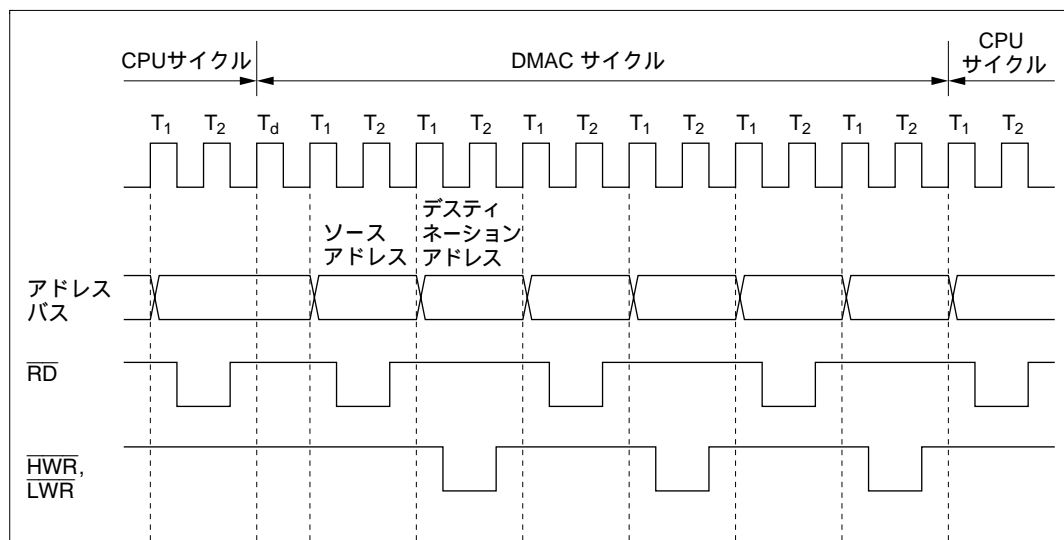


図 7.15 バーストモード DMA 転送バスタイミング

$\overline{\text{DREQ}}$ 端子で DMAC を起動する場合、転送要求が発生してから DMAC が動作を開始するまでの期間は最短で 4 ステートです。

転送要求が発生後、DMAC が動作を開始し転送を行うまで、 $\overline{\text{DREQ}}$ 端子のサンプリングは行われません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1 ブロックの転送終了後から行います。

ノーマルモード時、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジで DMAC を起動する場合のタイミングを図 7.16 に示します。

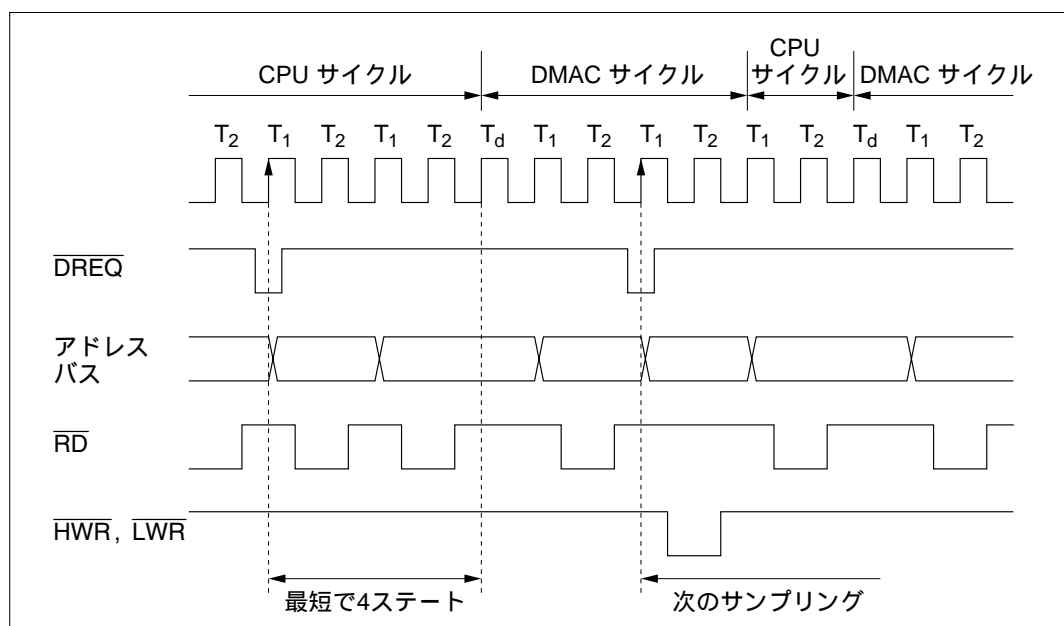


図 7.16 ノーマルモード時の $\overline{\text{DREQ}}$ 端子の立ち下がりエッジで DMAC 起動タイミング

ノーマルモード時、 $\overline{\text{DREQ}}$ 端子の Low レベルで DMAC を起動する場合のタイミングを図 7.17 に示します。

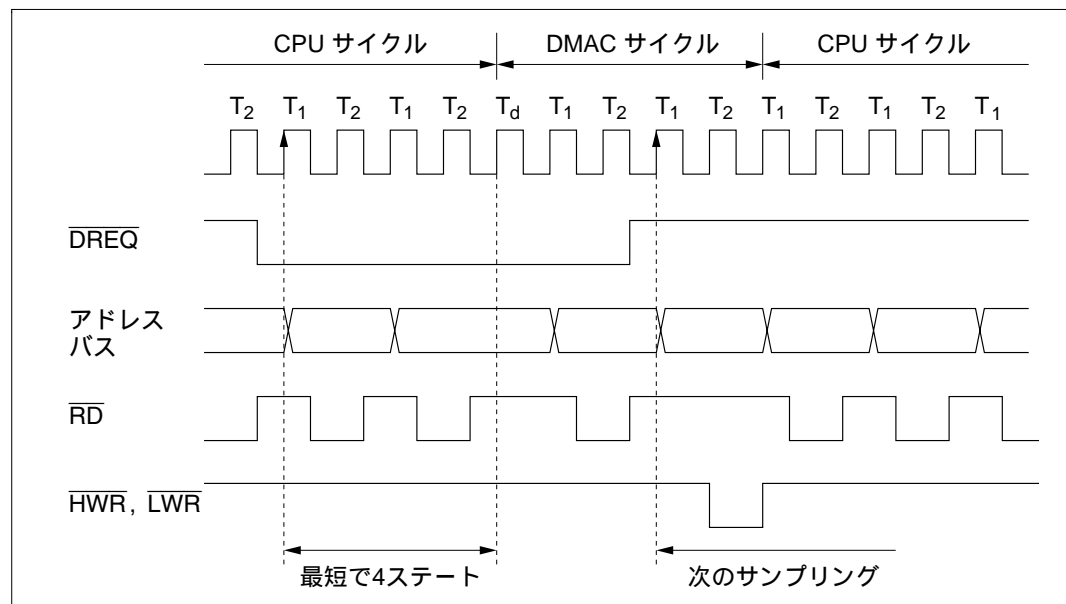


図 7.17 ノーマルモード時の $\overline{\text{DREQ}}$ 端子の Low レベルによる DMAC 起動タイミング

ブロック転送モード時、 $\overline{\text{DREQ}}$ 端子立ち下がりエッジで DMAC を起動する場合のタイミングを図 7.18 に示します。

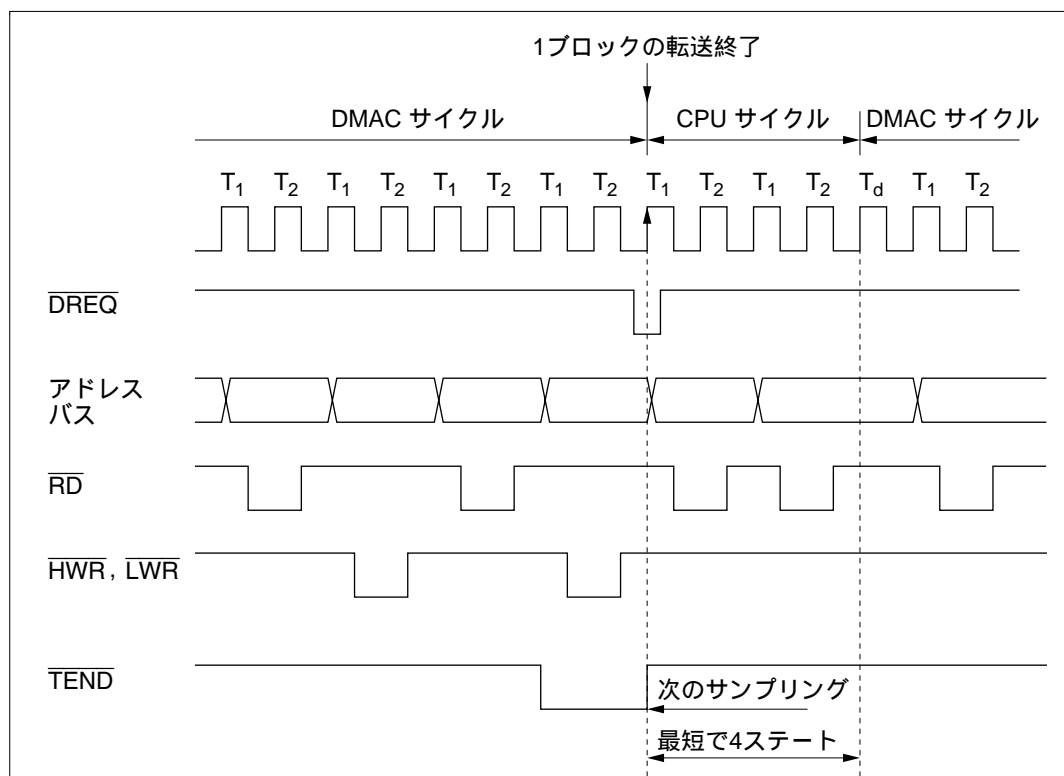


図 7.18 ブロック転送モード時の $\overline{\text{DREQ}}$ 端子の立ち下がりエッジによる DMAC 起動タイミング

7.4.9 DMAC 複数チャネルの動作

DMAC のチャネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順に優先順位が高くなっています。表 7.12 に DMAC のチャネル間優先順位を示します。

表 7.12 チャネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑
チャンネル 0B		
チャンネル 1A	チャンネル 1	低 ↓
チャンネル 1B		

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、DMAC は以下のように動作します。

- (1) 転送要求が発生するとバス権を要求し、DMAC がバス権を獲得する時点で最も優先順位の高いチャンネルの転送が起動されます。
- (2) 1つのチャンネルが起動されると、そのチャンネルがバス権を解放するまで他のチャンネルは保留となります。
- (3) ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して(1)に戻ります。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。
- (4) バーストの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して(1)に戻ります。ただし、優先順位の高いチャンネルの転送要求または優先順位の高いバスマスタのバス権要求が存在すると、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。

チャンネル0AをI/Oモード、チャンネル1をバーストモードとし、チャンネル1が動作中、チャンネル0Aの転送要求が発生した場合のタイミングを図7.19に示します。

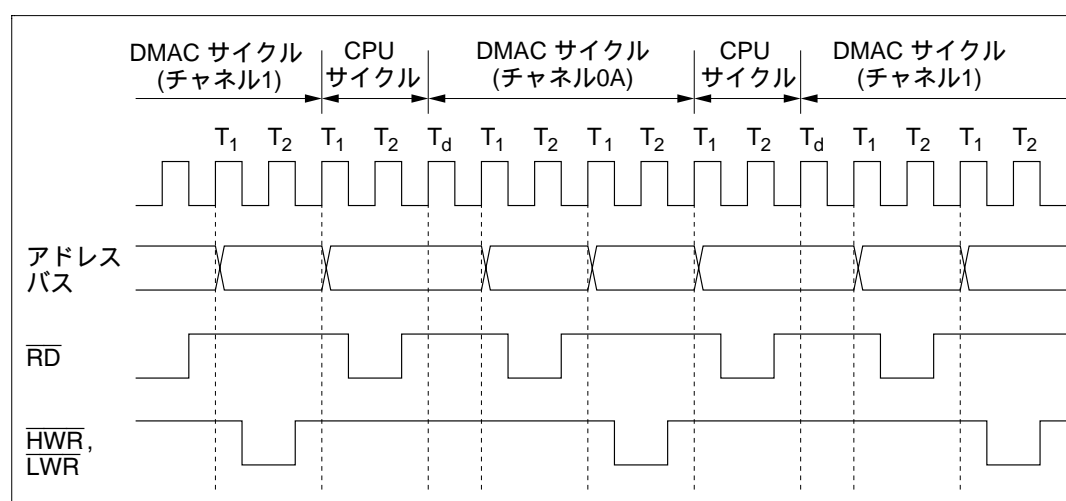


図 7.19 複数チャンネルの動作タイミング

7.4.10 外部バス権要求、DRAM インタフェースと DMAC の関係

DMAC 動作中に、 $\overline{\text{BREQ}}$ 端子による外部バス権要求、DRAM インタフェースによるバス権要求(リフレッシュサイクル)があった場合、DMAC は転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMAC は再度バス権を要求します。

チャンネル0でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを図7.20に示します。

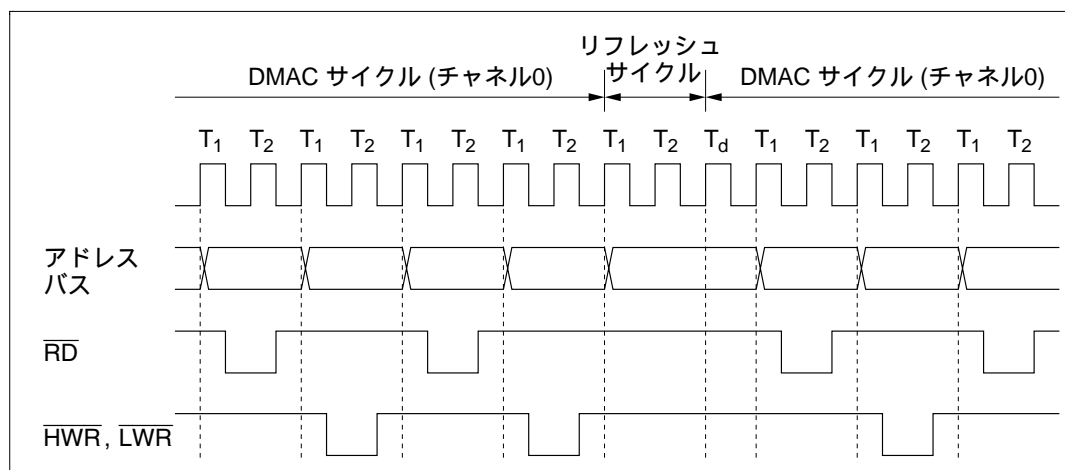


図 7.20 DRAM インタフェースと DMAC の動作タイミング

7.4.11 NMI 割り込みと DMAC

ショートアドレスモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、NMI 割り込みが発生すると、DMAC は動作を中断します。フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。NMI 割り込みが発生すると DTME ビットが 0 にクリアされ、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、CPU にバス権が移ります。ノーマルモードのときは、その後 CPU が DTME ビットを 1 にセットすると中断した動作を再開します。この場合、事前に DTE ビットが 1 にセットされ、DTME ビットが 0 にクリアされていることを確認してください。

チャンネル 0 をノーマルモードとしたときに、NMI 割り込みにより DMAC 動作が停止したとき、動作を再開する手順を図 7.21 に示します。

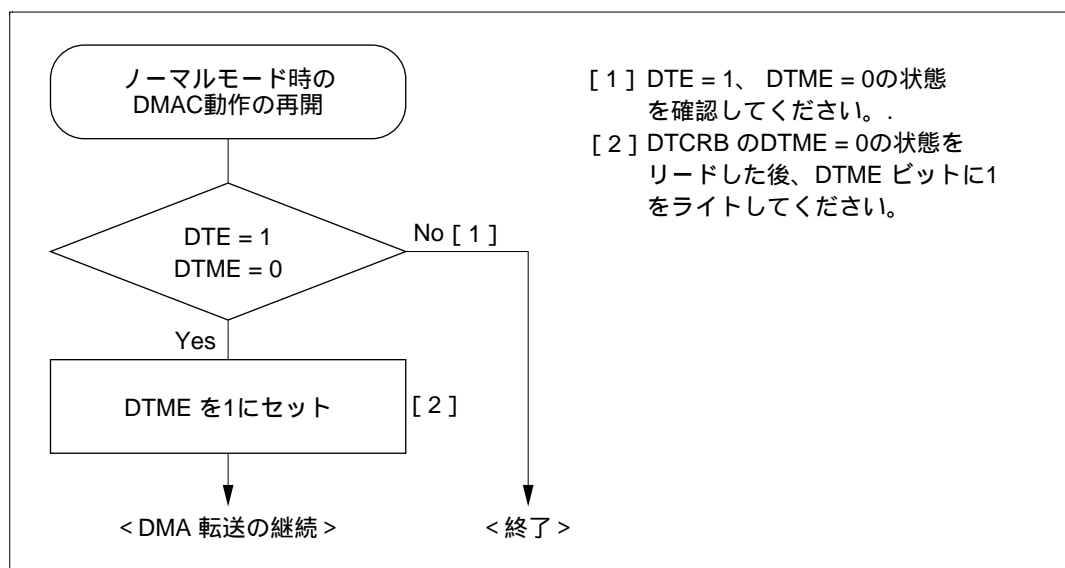


図 7.21 NMI 割り込みにより停止した DMAC 動作再開手順例

ブロック転送モード時の NMI 割り込みについては「7.6.6 NMI 割り込みとブロック転送モード」を参照してください。

7.4.12 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットを使用しても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 7.22 に示します。

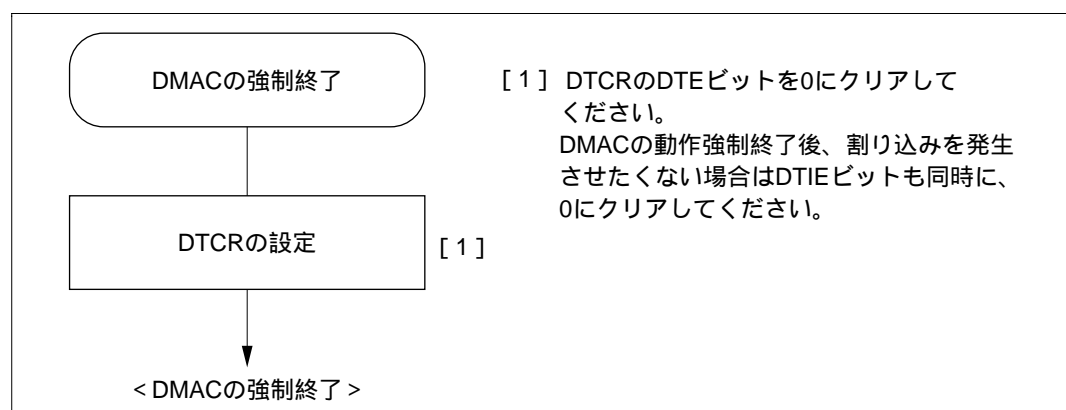


図 7.22 DMAC 動作の強制終了手順

7.4.13 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 7.23 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

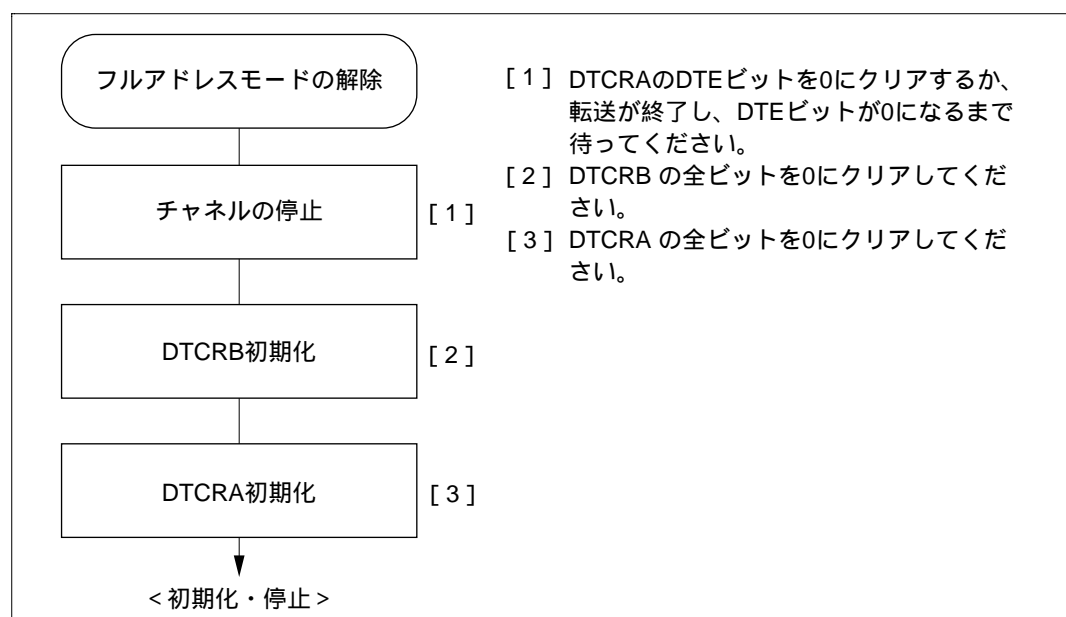


図 7.23 フルアドレスモードの解除手順例

7.4.14 リセット、スタンバイモード、スリープモードのDMACの状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMAC はイニシャライズされ、停止します。

スリープモード中はDMAC は動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを図 7.24 に示します。

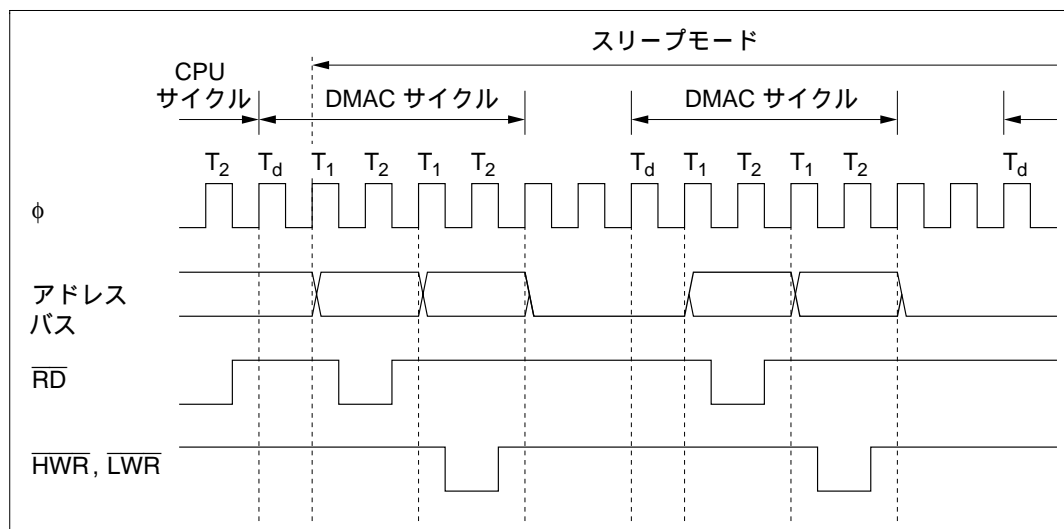


図 7.24 スリープモード中のサイクルスチールモードのタイミング

7.5 割り込み

DMAC の割り込み要因は転送終了のみです。表 7.13 に割り込み要因と優先度を示します。

表 7.13 DMAC の割り込み要因

割り込み 要因	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み		
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み		

各割り込み要因は、対応する DTCR の DTIE ビットにより許可 / 禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の割り込みの優先順位は、チャンネル 0 > チャンネル 1、またチャンネル A > チャンネル B のように優先順位が高くなっています。

転送終了の割り込みブロック図を図 7.25 に示します。

DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

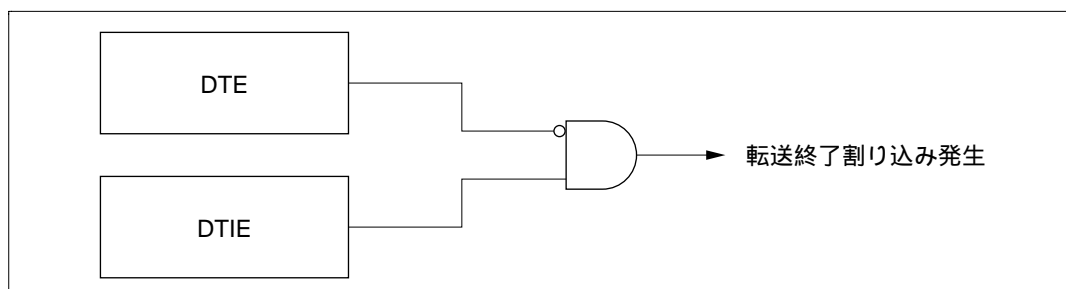


図 7.25 転送終了割り込みブロック図

フルアドレスモードでは、チャンネル B の転送終了割り込み（DENDB）は使用できません。また、DTME ビットは割り込み動作に影響を与えません。

7.6 使用上の注意

7.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データをワードにした場合、MAR および IOAR は偶数値としてください。

7.6.2 DMAC による DMAC 自体のアクセス

DMAC サイクル中は DMAC 自体へのアクセスはできません。したがって、DMAC のレジスタをソースまたはデスティネーションとして転送することはできません。

7.6.3 MAR のロングワードアクセス

MAR は MARR から始まるロングワードデータとしてアクセスすることができます。

(例)

```
MOV. L    #LBL, ER0
```

```
MOV. L    ER0, @MARR
```

このとき、バイトデータアクセスが4回行われます。第2バイト(MARE)と第3バイト(MARH)アクセス間に、CPUがバスを解放する場合がありますので注意してください。

MAR のリード/ライトは DMAC 停止中に行ってください。

7.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2つのレジスタ DTCRA、DTCRB によって制御されます。これらレジスタの設定時には、チャンネル B がショートアドレスモードで動作しないように注意してください。許可ビット(DTE、DTME)は、最後に1にセットしてください。

7.6.5 内部割り込みで DMAC を起動する場合の注意

(1) 内部割り込みで DMAC を起動する場合、起動要因を選択してから DMAC を転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMAC を転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中に DMAC を許可状態にする場合、図 7.26 の手順で行ってください。

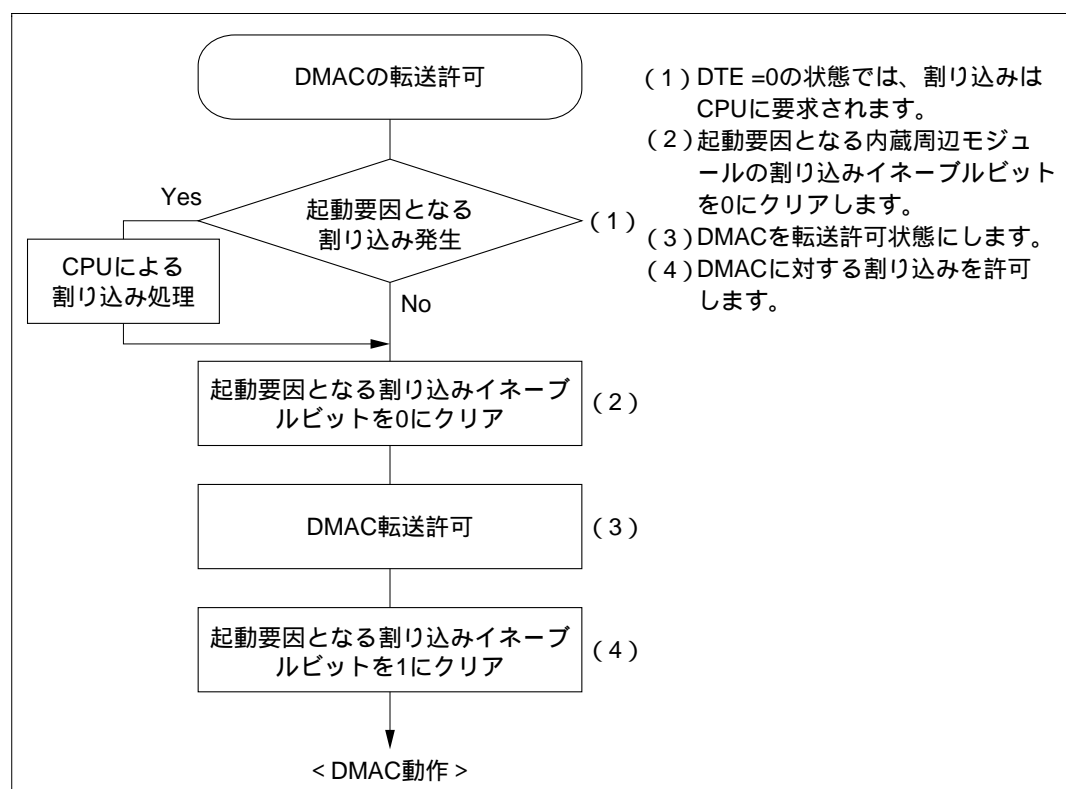


図 7.26 内蔵周辺モジュールが動作中に DMAC を転送許可状態にする場合の手順例

なお、DTE=1 なおかつ DTME=0 の状態では、DMAC は停止状態であり、また CPU にも起動要因となる割り込みは要求されません。例えば、NMI 割り込みにより、DMAC を停止状態にした場合は、起動要因となる割り込みは CPU には要求はされません。このとき、DMAC 動作を打ち切る場合には、DTE ビットを 0 にクリアし、CPU に割り込みを要求させてください。DMAC 動作を継続する場合には、DTME ビットを 1 にセットする前後で、図 7.26 の (2)、(4) の操作を行ってください。

- (2) 16 ビットタイマの割り込み要求で DMAC を起動する場合、割り込みによって起動される DMA 転送が終了するまで、次の割り込みが発生しないようにしてください。1 つの 16 ビットタイマの割り込み要求で複数チャネルを起動する場合には、起動されるすべての DMA 転送が終了するまで、次の割り込みが発生しないようにしてください。転送が終了するまでに次の割り込みが発生すると、その割り込みを選択しているチャネルが以降の起動要求を受け入れなくなる場合があります。

7.6.6 NMI 割り込みとブロック転送モード

ブロック転送モード中に NMI 割り込みが発生すると DMAC は以下のように動作します。

- (1) NMI 割り込みが発生すると DMAC は転送中の 1 バイトまたは 1 ワードの転送終了後、DTME ビットを 0 にクリアして停止します。したがって、1 つのブロックの転送途中停止する場合があります。
- ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになります。
- (2) ブロックの転送途中で停止した場合、起動要因となる割り込みフラグは 0 にクリアされています。起動要因の内部保持は行っていません。
- (3) DTE ビットが 1 にセットされ、DTME ビットを 0 にクリアされた状態では、DMAC は停止中であり、DMAC は起動要因となる割り込み要求を受け付けません。この状態で起動要因となる割り込みが発生すると DMAC は動作せず、転送要求の内部保持も行いません。また、CPU にも割り込みは要求されません。
- このため、DTME ビットを 1 にセットする前に起動要因となる割り込みのイネーブルビットを 0 にクリアし、次に DTME ビットを 1 にセットし、その後、割り込みイネーブルビットを 1 にセットしてください。「7.6.5 内部割り込みで DMAC を起動する場合の注意」を参照してください。
- (4) DTME ビットを 1 にセットすると、DMAC は次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

7.6.7 MAR、IOAR のアドレス指定

MAR、IOAR で指定できるアドレスの範囲を表 7.14 に示します。

表 7.14 MAR、IOAR で指定できるアドレスの範囲

	1M バイトモード	16M バイトモード
MAR	H'00000 ~ H'FFFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)
IOAR	H'FFF00 ~ H'FFFFFF (1048320 ~ 1048575)	H'FFFF00 ~ H'FFFFFF (16776960 ~ 16777215)

1M バイトモードのとき、MAR のビット 23 ~ ビット 20 は無視されます。

7.6.8 転送中断時のバスサイクル

DTE ビットによる強制終了や、NMI 割り込みによる DTME ビットクリアの転送停止により、DMAC 内部で、すでに要求を保持しているチャンネルを停止させるとデッドサイクルが発生することがあります。このデッドサイクルにより中断したチャンネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャンネル 0 でオートリクエストサイクルスチール転送中に、チャンネル 0 の DTE ビットをクリアした場合のタイミングを図 7.27 に示します。

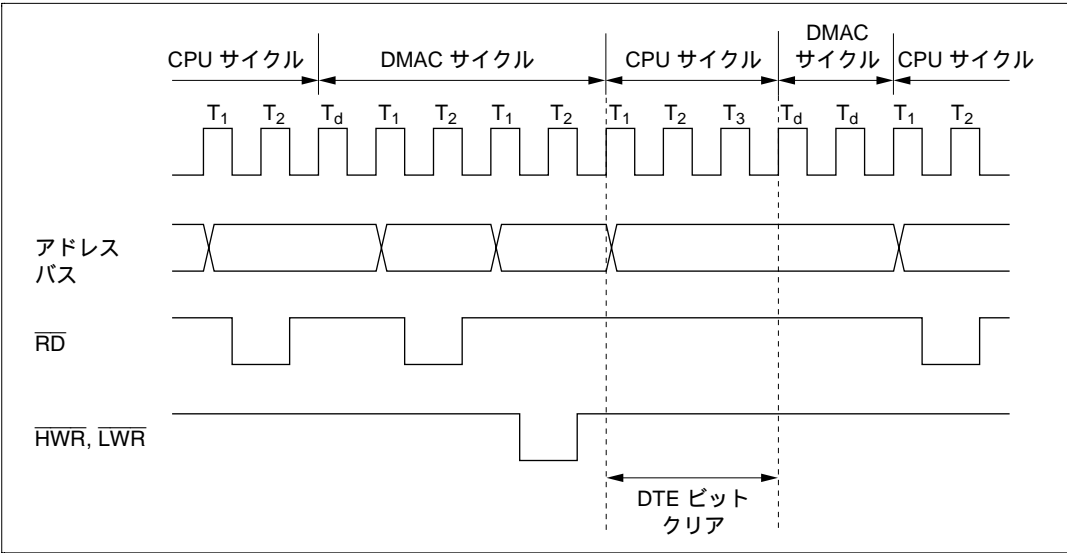


図 7.27 サイクルスチールモード DMA 転送の強制終了バスタイミング

7.6.9 A/D 変換器による転送要求

A/D 変換器をスキャンモードに設定し、複数チャネルを変換している場合、A/D 変換器はすべての変換が終了した時点で転送要求を発生します。この時、変換されたデータは複数の ADDR に格納されています。したがって、すべての変換結果を一度に転送する場合は、フルアドレスモードによるブロック転送モードを使用してください。

8. I/O ポート

第8章 目次

8.1	概要	285
8.2	ポート 1.....	290
	8.2.1 概要	290
	8.2.2 レジスタ構成	290
8.3	ポート 2.....	293
	8.3.1 概要	293
	8.3.2 レジスタ構成	294
8.4	ポート 3.....	297
	8.4.1 概要	297
	8.4.2 レジスタ構成	297
8.5	ポート 4.....	300
	8.5.1 概要	300
	8.5.2 レジスタ構成	301
8.6	ポート 5.....	304
	8.6.1 概要	304
	8.6.2 レジスタ構成	304
8.7	ポート 6.....	308
	8.7.1 概要	308
	8.7.2 レジスタ構成	308
8.8	ポート 7.....	313
	8.8.1 概要	313
	8.8.2 レジスタ構成	313
8.9	ポート 8.....	315
	8.9.1 概要	315
	8.9.2 レジスタ構成	316
8.10	ポート 9.....	322
	8.10.1 概要	322

	8.10.2	レジスタ構成	323
8.11	ポート A		327
	8.11.1	概要	327
	8.11.2	レジスタ構成	329
8.12	ポート B		339
	8.12.1	概要	339
	8.12.2	レジスタ構成	341

8.1 概要

本 LSI には、10 本の入出力ポート（ポート 1、2、3、4、5、6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 8.1 に示します。表 8.1 に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDR と DR のほかに、ポート 2、4、5 には入力プルアップ MOS コントロールレジスタ（PCR）があり、プルアップ MOS のオン / オフを制御できます。

ポート 1～6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9～B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 1～6、8～B はダーリントントランジスタを駆動することができます。ポート 1、2、5 は LED を駆動（シンク電流 10mA）することができます。ポート P8₂～P8₀、および PA₇～PA₀ はシュミット入力となっています。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

表 8.1 動作モード別ポート機能一覧

ポート	概要	端子	拡張モード					シングルチップモード
			モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
ポート 1	・ 8 ビットの入出力ポート ・ LED 駆動可能	P1 ₇ ～P1 ₀ /A ₇ ～A ₀	アドレス出力端子（A ₇ ～A ₀ ）				アドレス出力端子（A ₇ ～A ₀ ）と入力ポートの兼用 DDR = 0 のとき入力ポート DDR = 1 のときアドレス出力端子	入出力ポート

8. I/O ポート

ポート	概要	端子	拡張モード					シングルチップモード
			モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
ポート 2	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P2 ₇ ~ P2 ₀ / A ₁₅ ~ A ₈	アドレス出力端子 (A ₁₅ ~ A ₈)				アドレス出力端子 (A ₁₅ ~ A ₈) と入力ポートの兼用 DDR = 0 のとき入力ポート DDR = 1 のときアドレス出力端子	入出力ポート
ポート 3	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート 	P3 ₇ ~ P3 ₀ / D ₁₅ ~ D ₈	データ入出力端子 (D ₁₅ ~ D ₈)					入出力ポート
ポート 4	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 	P4 ₇ ~ P4 ₀ /D ₇ ~ D ₀	データ入出力端子 (D ₇ ~ D ₀) と 8 ビットの入出力ポートの兼用 8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータ入出力端子					入出力ポート
ポート 5	<ul style="list-style-type: none"> ・ 4 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P5 ₃ ~ P5 ₀ / A ₁₉ ~ A ₁₆	アドレス出力端子 (A ₁₉ ~ A ₁₆)				アドレス出力端子 (A ₁₉ ~ A ₁₆) と 4 ビットの入出力ポートの兼用 DDR = 0 のとき入力ポート DDR = 1 のときアドレス出力端子	入出力ポート

ポート	概要	端子	拡張モード					シングルチップモード
			モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
ポート 6	・ 7 ビットの入出力ポートと 1 ビットの入力ポート	P6 ₇ /	クロック出力端子 () と入力ポートの兼用					
		P6 ₆ /LWR P6 ₅ /HWR P6 ₄ /RD P6 ₃ /AS	バス制御信号出力端子 (LWR, HWR, RD, AS)					入出力ポート
		P6 ₂ /BACK P6 ₁ /BREQ P6 ₀ /WAIT	バス制御信号入出力端子 (BACK, BREQ, WAIT) と 3 ビットの 入出力ポートの兼用					
ポート 7	・ 8 ビットの入力ポート	P7 ₇ /AN ₇ /DA ₁ P7 ₆ /AN ₆ /DA ₀	A/D 変換器のアナログ入力端子 (AN ₇ , AN ₆) および D/A 変換器のアナログ出力端子 (DA ₁ , DA ₀) と入力ポートの兼用					
		P7 ₅ ~ P7 ₀ / AN ₅ ~ AN ₀	A/D 変換器のアナログ入力端子 (AN ₅ ~ AN ₀) と入力ポートの兼用					
ポート 8	・ 5 ビットの入出力ポート ・ P8 ₂ ~ P8 ₀ はシ ュミット入力	P8 ₄ /CS ₀	DDR = 0 のとき入力ポート DDR = 1 のとき (リセット後) CS ₀ 出力端子			DDR = 0 の とき (リセ ット後) 入 力ポート DDR = 1 の とき CS ₀ 出 力端子		入出力ポート
		P8 ₃ /IRQ ₃ /CS ₁ / ADTRG	IRQ ₃ 入力端子、CS ₁ 出力端子、A/D 変換器の外部トリガ入力端 子 (ADTRG) と入力ポートの兼用、DDR = 0 のとき (リセット 後) 入力ポート、DDR = 1 のとき CS ₁ 出力端子					IRQ ₃ 入力端子、A/D 変換 器の外部トリガ入力端子 (ADTRG) と入出力ポ ートの兼用
		P8 ₂ /IRQ ₂ /CS ₂ P8 ₁ /IRQ ₁ /CS ₃	IRQ ₂ , IRQ ₁ 入力端子、CS ₂ , CS ₃ 出力端子と入力ポートの兼用*、 DDR = 0 のとき (リセット後) 入力ポート、DDR = 1 のとき CS ₂ 、CS ₃ 出力端子 【注】* P8 ₁ は DRCRA の設定により出力ポートとして使用で きます。					IRQ ₂ , IRQ ₁ 入力端子と入 出力ポートの兼用
		P8 ₀ /IRQ ₀ /RFSH	IRQ ₀ 入力端子、RFSH 出力端子と入出力ポートの兼用					IRQ ₀ 入力端子と入出力 ポートの兼用

8. I/O ポート

ポート	概要	端子	拡張モード					シングルチップモード
			モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
ポート 9	・ 6 ビットの入出力ポート	P9 ₅ / $\overline{\text{IRQ}}_5/\text{SCK}_1$ P9 ₄ / $\overline{\text{IRQ}}_4/\text{SCK}_0$ P9 ₃ /RxD ₁ P9 ₂ /RxD ₀ P9 ₁ /TxD ₁ P9 ₀ /TxD ₀	シリアルコミュニケーションインタフェースチャネル 0, 1(SCI0,1)の入出力端子(SCK ₁ , SCK ₀ , RxD ₁ , RxD ₀ , TxD ₁ , TxD ₀), および $\overline{\text{IRQ}}_5$, $\overline{\text{IRQ}}_4$ 入力端子と 6 ビットの入出力ポートの兼用					
ポート A	・ 8 ビットの入出力ポート ・ シュミット入力	PA ₇ /TP ₇ / TIOCB ₂ /A ₂₀	プログラマブルタイミ ングパターンコントロ ーラ (TPC) 出力端子 (TP ₇)、16 ビットタ イマの入出力端子 (TIOCB ₂) と入出力 ポートの兼用	アドレス出力端子 (A ₂₀)	アドレス出力端子 (A ₂₀)、プログラマ ブルタイミングパタ ーンコントローラ (TPC) 出力端子 (TP ₇)、16 ビット タイマの入出力端子 (TIOCB ₂) と入出力 ポートの兼用	TPC 出力端子 (TP ₇)、 16 ビットタイマの入出 力端子 (TIOCB ₂) と 入出力ポートの兼用		
		PA ₆ /TP ₆ / TIOCA ₂ /A ₂₁ PA ₅ /TP ₅ / TIOCB ₁ /A ₂₂ PA ₄ /TP ₄ / TIOCA ₁ /A ₂₃	TPC 出力端子 (TP ₆ ~ TP ₄)、16 ビットタイ マの入出力端子 (TIOCA ₂ , TIOCB ₁ , TIOCA ₁) と入出力 ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₄)、16 ビット タイマの入出力端子 (TIOCA ₂ , TIOCB ₁ , TIOCA ₁)、アドレス出力端子 (A ₂₃ ~ A ₂₁) と入出力ポートの兼用		TPC 出力端子 (TP ₆ ~ TP ₄)、16 ビットタイマ の入出力端子 (TIOCA ₂ , TIOCB ₁ , TIOCA ₁) と 入出力ポートの兼用		
		PA ₃ /TP ₃ / TIOCB ₀ /TCLKD PA ₂ /TP ₂ / TIOCA ₀ /TCLKC PA ₁ /TP ₁ /TCLKB $\overline{\text{TEND}}_1$ PA ₀ /TP ₀ /TCLKA $\overline{\text{TEND}}_0$	TPC 出力端子 (TP ₃ ~ TP ₀)、16 ビットタイマの入出力端子 (TIOCB ₀ , TIOCA ₀ , TCLKD, TCLKC, TCLKB, TCLKA)、8 ビットタイマの入力端子 (TCLKD, TCLKC, TCLKB, TCLKA)、DMA コントローラ (DMAC) の出力端子 ($\overline{\text{TEND}}_1$, $\overline{\text{TEND}}_0$)、と入出力ポー トの兼用					

ポート	概要	端子	拡張モード					シングルチップモード
			モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
ポート B	・ 8 ビットの入出力ポート	PB ₇ /TP ₁₅ /RXD ₂ PB ₆ /TP ₁₄ /TXD ₂ PB ₅ /TP ₁₃ /SCK ₂ / $\overline{\text{LCAS}}$ PB ₄ /TP ₁₂ / $\overline{\text{UCAS}}$	TPC 出力端子 (TP ₁₅ ~ TP ₁₂), SCI2 の入出力端子 (SCK ₂ , RxD ₂ , TxD ₂), DRAM インタフェースの出力端子 ($\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$) と入出力ポートの兼用					TPC 出力端子 (TP ₁₅ ~ TP ₁₂) SCI2 の入出力端子 (SCK ₂ , RxD ₂ , TxD ₂) 入出力ポートの兼用
		PB ₃ /TP ₁₁ /TMIO ₃ / $\overline{\text{DREQ}}_1/\overline{\text{CS}}_4$ PB ₂ /TP ₁₀ /TMO ₂ / $\overline{\text{CS}}_5$ PB ₁ /TP ₉ /TMIO ₁ / $\overline{\text{DREQ}}_0/\overline{\text{CS}}_6$ PB ₀ /TP ₈ /TMO ₀ / $\overline{\text{CS}}_7$	TPC 出力端子 (TP ₁₁ ~ TP ₈), 8 ビットタイマの入出力端子 (TMIO ₃ , TMO ₂ , TMIO ₁ , TMO ₀), DMA コントローラ (DMAC) の入力端子 ($\overline{\text{DREQ}}_1$, $\overline{\text{DREQ}}_0$), $\overline{\text{CS}}_7$ ~ $\overline{\text{CS}}_4$ 出力端子と入出力ポートの兼用					TPC 出力端子 (TP ₁₁ ~ TP ₈), 8 ビットタイマの入出力端子 (TMIO ₃ , TMO ₂ , TMIO ₁ , TMO ₀), DMA コントローラ (DMAC) の入力端子 ($\overline{\text{DREQ}}_1$, $\overline{\text{DREQ}}_0$) と入出力ポートの兼用

8.2 ポート 1

8.2.1 概要

ポート 1 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成となっており、動作モードにより端子機能が異なります。モード 1～4（内蔵 ROM 無効拡張モード）のときは、アドレスバス（ $A_7 \sim A_0$ ）出力端子となります。

モード 5（内蔵 ROM 有効拡張モード）のときは、ポート 1 データディレクションレジスタ（P1DDR）の設定によりアドレスバス（ $A_7 \sim A_0$ ）出力端子、または入力ポートとなります。

モード 7（シングルチップモード）のときは、入出力ポートとなります。

エリア 2、3、4、5 に DRAM を接続する場合には、リード/ライトサイクルで $A_7 \sim A_0$ がロウ/カラムアドレス出力となります。詳細は「6.5 DRAM インタフェース」を参照してください。

また、ポート 1 は、1 個の TTL 負荷と 90pF の容量を駆動することができます。また、LED、ダーリントトランジスタを駆動することもできます。

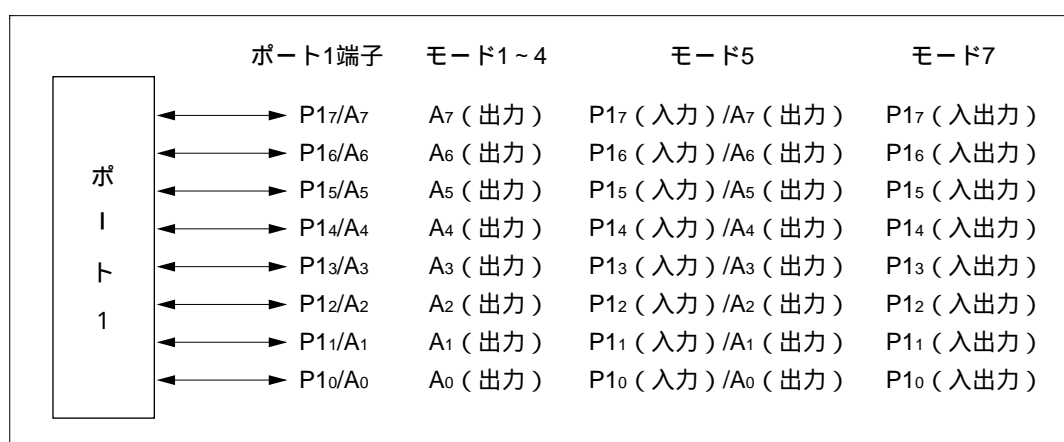


図 8.1 ポート 1 の端子構成

8.2.2 レジスタ構成

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 ポート 1 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1～4	モード 5、7
H'EE000	ポート 1 データディレクションレジスタ	P1DDR	W	H'FF	H'00
H'FFFD0	ポート 1 データレジスタ	P1DR	R/W	H'00	

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

P1DDR は、8 ビットのライト専用のレジスタで、ポート 1 各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード5、7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート1データディレクション7~0
 ポート1の各端子の入出力を選択するビットです。

(a) モード 1~4 (内蔵 ROM 無効拡張モード)

P1DDR は 1 に固定され、ポート 1 はアドレスバスとして機能します。

(b) モード 5 (内蔵 ROM 有効拡張モード)

ポート 1 はリセット直後は入力ポートとなっています。

P1DDR に 1 をセットすると対応するポート 1 の端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7 (シングルチップモード)

ポート 1 は入出力ポートとして機能します。P1DDR に 1 をセットすると対応するポート 1 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

モード 1~4 では P1DDR は、リードすると常に 1 が読み出されます。ライトは無効です。

モード 5、7 では P1DDR は、ライト専用のレジスタで、リードは無効です。リードすると 1 が読み出されます。

P1DDR は、リセット、またはハードウェアスタンバイモード時にモード 1~4 の場合は H'FF に、モード 5、7 の場合は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、ポート 1 が入出力ポートとして機能しているとき、P1DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 1 データレジスタ (P1DR)

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の出力データを格納します。ポート 1 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P1DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P1DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1データ7~0

ポート1の各端子のデータを格納するビットです。

P1DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8.3 ポート 2

8.3.1 概要

ポート 2 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 2 の各端子は、図 8.2 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1 ~ 4 (内蔵 ROM 無効拡張モード) のときは、アドレスバス (A₁₅ ~ A₈) 出力端子となります。モード 5 (内蔵 ROM 有効拡張モード) のときは、ポート 2 データディレクションレジスタ (P2DDR) の設定によりアドレスバス (A₁₅ ~ A₈) または入力ポートとなります。

モード 7 (シングルチップモード) のときは、入出力ポートとなります。

エリア 2、3、4、5 に DRAM を接続する場合には、リード/ライトサイクルで A₁₂ ~ A₈ が ROW/カラムアドレス出力となります。詳細は「6.5 DRAM インタフェース」を参照してください。

ポート 2 は、プログラムで制御可能なプルアップ MOS が内蔵されています。また、1 個の TTL 負荷と 90pF の容量を駆動することや、LED、ダーリントントランジスタを駆動することができます。

ポート2端子		モード1~4	モード5	モード7
ポ ー ト 2	↔ P27/A15	A15 (出力)	P27 (入力) / A15 (出力)	P27 (入出力)
	↔ P26/A14	A14 (出力)	P26 (入力) / A14 (出力)	P26 (入出力)
	↔ P25/A13	A13 (出力)	P25 (入力) / A13 (出力)	P25 (入出力)
	↔ P24/A12	A12 (出力)	P24 (入力) / A12 (出力)	P24 (入出力)
	↔ P23/A11	A11 (出力)	P23 (入力) / A11 (出力)	P23 (入出力)
	↔ P22/A10	A10 (出力)	P22 (入力) / A10 (出力)	P22 (入出力)
	↔ P21/A9	A9 (出力)	P21 (入力) / A9 (出力)	P21 (入出力)
	↔ P20/A8	A8 (出力)	P20 (入力) / A8 (出力)	P20 (入出力)

図 8.2 ポート 2 の端子構成

8.3.2 レジスタ構成

表 8.3 にポート 2 のレジスタ構成を示します。

表 8.3 ポート 2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1~4	モード 5、7
H'EE001	ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00
H'FFFD1	ポート 2 データレジスタ	P2DR	R/W	H'00	
H'EE03C	ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	

【注】 * アドバンスドモード時のアドレス下位 20 ビットを示しています。

(1) ポート 2 データディレクションレジスタ (P2DDR)

P2DDR は、8 ビットのライト専用のレジスタで、ポート 2 の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
モード 1~4	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード 5、7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート 2 データディレクション 7~0
ポート 2 の各端子の入出力を選択するビットです。

(a) モード 1~4 (内蔵 ROM 無効拡張モード)

P2DDR は 1 に固定され、ポート 2 はアドレスバスとして機能します。

(b) モード 5 (内蔵 ROM 有効拡張モード)

ポート 2 はリセット直後は入力ポートとなっています。

P2DDR に 1 をセットすると対応するポート 2 の端子はアドレス出力端子となり、0 にクリアすると入力ポートになります。

(c) モード7 (シングルチップモード)

ポート2は入出力ポートとして機能します。P2DDRに1をセットすると対応するポート2の端子は出力ポートとなり、0にクリアすると入力ポートとなります。

モード1～4ではP2DDRは、リードすると常に1が読み出されます。ライトは無効です。
 モード5、7ではP2DDRは、ライト専用のレジスタで、リードは無効です。リードすると1が読み出されます。

P2DDRは、リセット、またはハードウェアスタンバイモード時にモード1～4の場合はH'FFに、モード5、7の場合はH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、ポート2が入出力ポートとして機能しているとき、P2DDRが1にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート2 データレジスタ (P2DR)

P2DRは、8ビットのリード/ライト可能なレジスタで、ポート2の出力データを格納します。ポート2が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P2DDRが0のビットは端子のロジックレベルが読み出され、1のビットはP2DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

——— ポート2データ7～0

ポート2の各端子のデータを格納するビットです。

P2DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 2 入力プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 2 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7~0
ポート2に内蔵した入力プルアップMOSを制御するビットです。

モード 5、7 のとき、P2DDR を 0 にクリアした (入力ポートの) 状態で P2PCR を 1 にセットすると対応するビットの入力プルアップ MOS は ON します。

P2PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.4 入力プルアップ MOS の状態 (ポート 2)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1	OFF	OFF	OFF	
2				
3				
4				
5	OFF	OFF	ON / OFF	
7				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON / OFF : P2PCR = 1 かつ P2DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

8.4 ポート 3

8.4.1 概要

ポート 3 は、データバス兼用の 8 ビットの入出力ポートです。ポート 3 の各端子は、図 8.3 に示す構成となっており、モード 1～5（拡張モード）のときはデータバスとなり、モード 7（シングルチップモード）のときは、入出力ポートとなります。

ポート 3 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

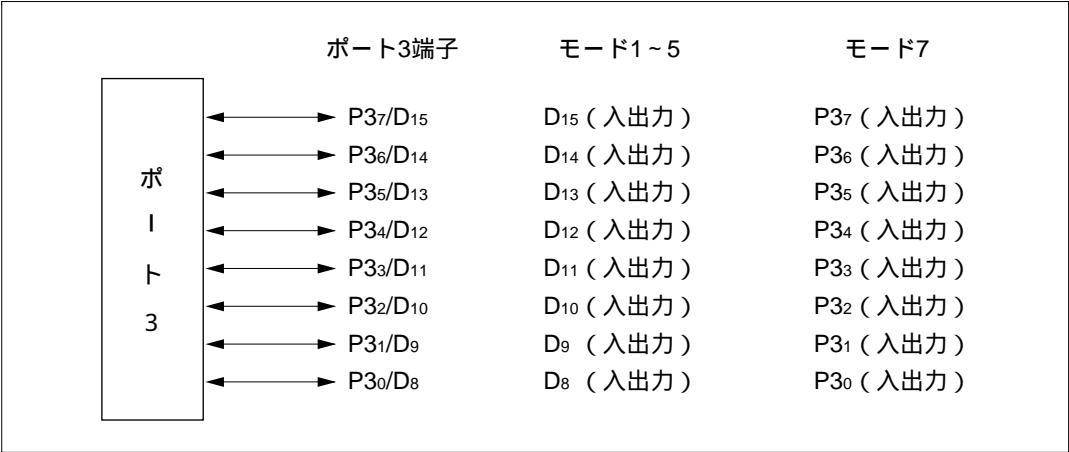


図 8.3 ポート 3 の端子構成

8.4.2 レジスタ構成

表 8.5 にポート 3 のレジスタ構成を示します。

表 8.5 ポート 3 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE002	ポート 3 データディレクションレジスタ	P3DDR	W	H'00
H'FFFD2	ポート 3 データレジスタ	P3DR	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、8 ビットのライト専用のレジスタで、ポート 3 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3データディレクション7~0

ポート3の各端子の入出力を選択するビットです。

(a) モード 1 ~ 5 (拡張モード)

P3DDR の設定にかかわらず、ポート 3 はデータバスとして機能します。

(b) モード 7 (シングルチップモード)

ポート 3 は入出力ポートとして機能します。

P3DDR に 1 をセットすると対応するポート 3 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P3DDR は、ライト専用で、リードは無効です。リードすると、1 が読み出されます。

P3DDR は、リセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、ポート 3 が入出力ポートとして機能しているとき、P3DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 3 データレジスタ (P3DR)

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の出力データを格納します。ポート 3 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P3DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P3DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3データ7~0
ポート3の各端子のデータを格納するビットです。

P3DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8.5 ポート 4

8.5.1 概要

ポート 4 は、データバス兼用の 8 ビットの入出力ポートです。ポート 4 の各端子は、図 8.4 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1～5（拡張モード）のときバス幅コントロールレジスタ（ABWCR）により、エリア 0～7 のすべてを 8 ビットアクセス空間に設定すると、8 ビットバスモードとなり、ポート 4 は入出力ポートとなります。また、エリア 0～7 のうち少なくとも 1 つのエリアを 16 ビットアクセス空間に設定すると、16 ビットバスモードとなり、ポート 4 はデータバスとなります。

モード 7（シングルチップモード）のとき、ポート 4 は、入出力ポートとなります。

ポート 4 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 4 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

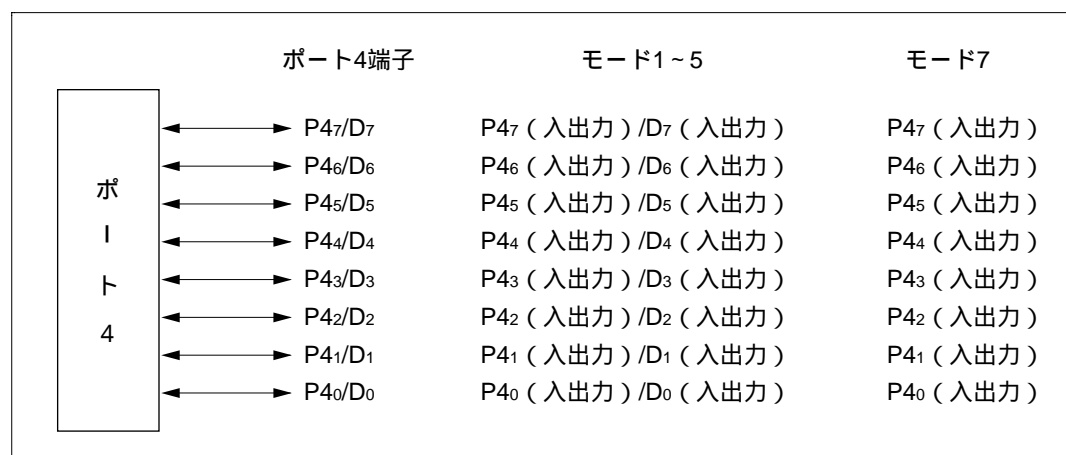


図 8.4 ポート 4 の端子構成

8.5.2 レジスタ構成

表 8.6 にポート 4 のレジスタ構成を示します。

表 8.6 ポート 4 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE003	ポート 4 データディレクションレジスタ	P4DDR	W	H'00
H'FFFD3	ポート 4 データレジスタ	P4DR	R/W	H'00
H'EE03E	ポート 4 入力プルアップ MOS コントロール レジスタ	P4PCR	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、8 ビットのライト専用のレジスタで、ポート 4 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4データディレクション7~0
ポート4の各端子の入出力を選択するビットです。

(a) モード 1 ~ 5 (拡張モード)

バスコントローラのバス幅コントロールレジスタ (ABWCR) により全エリアを 8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート 4 は入出力ポートとして機能します。このとき P4DDR に 1 をセットすると対応するポート 4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また少なくとも 1 つのエリアを 16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、P4DDR の設定値にかかわらずポート 4 はデータバスとして機能します。

(b) モード 7 (シングルチップモード)

ポート 4 は入出力ポートとして機能します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

P4DDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時にはイニシャライズされません。そのため、ポート 4 が入出力ポートとして機能しているとき、P4DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 4 データレジスタ (P4DR)

P4DR は、8 ビットのリード/ライト可能なレジスタで、ポート 4 の出力データを格納します。ポート 4 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P4DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは、P4DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7~0

ポート4の各端子のデータを格納するビットです。

P4DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 4 入力プルアップ MOS コントロールレジスタ (P4PCR)

P4PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 4 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0
ポート4に内蔵した入力プルアップMOSを制御するビットです。

モード 1~5 (拡張モード) の 8 ビットバスモード時とモード 7 (シングルチップモード) 時、P4DDR を 0 にクリアした (入力ポートの) 状態で、P4PCR を 1 にセットすると入力プルアップ MOS は ON します。

P4PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 8.7 に示します。

表 8.7 入力プルアップ MOS の状態 (ポート 4)

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1～5	8ビットバス モード	OFF		ON / OFF	
	16ビットバス モード			OFF	
7				ON / OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON / OFF : P4PCR = 1 かつ P4DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

8.6 ポート 5

8.6.1 概要

ポート 5 は、アドレス出力兼用の 4 ビットの入出力ポートです。ポート 5 の各端子は、図 8.5 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1～4 (内蔵 ROM 無効拡張モード) に設定したとき、ポート 5 の各端子はアドレス ($A_{19} \sim A_{16}$) 出力として機能します。モード 5 (内蔵 ROM 有効拡張モード) に設定したときは、ポート 5 データディレクションレジスタ (P5DDR) の設定によりアドレスバス ($A_{19} \sim A_{16}$) または入力ポートとなります。

モード 7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 5 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 5 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

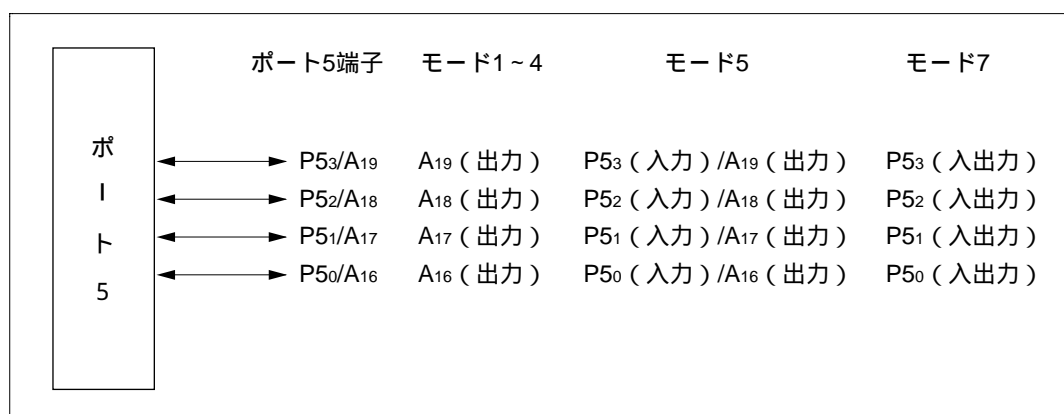


図 8.5 ポート 5 の端子構成

8.6.2 レジスタ構成

表 8.8 にポート 5 のレジスタ構成を示します。

表 8.8 ポート 5 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1～4	モード 5、7
H'EE004	ポート 5 データディレクションレジスタ	P5DDR	W	H'FF	H'F0
H'FFFD4	ポート 5 データレジスタ	P5DR	R/W	H'F0	
H'EE03F	ポート 5 入力プルアップ MOS コントロールレジスタ	P5PCR	R/W	H'F0	

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、8 ビットのライト専用のレジスタで、ポート 5 各端子の入出力をビットごとに指定することができます。

ビット 7～ビット 4 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:		7	6	5	4	3	2	1	0
		—	—	—	—	P53DDR	P52DDR	P51DDR	P50DDR
モード 1～4	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード 5、7	初期値:	1	1	1	1	0	0	0	0
	R/W :	—	—	—	—	W	W	W	W

リザーブビット

ポート 5 データディレクション 3～0
ポート 5 の各端子の入出力を選択するビットです。

(a) モード 1～4 (内蔵 ROM 無効拡張モード)

P5DDR は 1 に固定され、ポート 5 はアドレス出力として機能します。

(b) モード 5 (内蔵 ROM 有効拡張モード)

ポート 5 はリセット直後は入力ポートとなっています。P5DDR に 1 をセットすると対応するポート 5 の端子がアドレス出力端子になり、0 にクリアすると入力ポートになります。

(c) モード 7 (シングルチップモード)

ポート 5 は、入出力ポートとして機能します。P5DDR に 1 をセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

モード 1～4 では P5DDR は、リードすると常に 1 が読み出されます。ライトは無効です。

モード 5、7 では P5DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P5DDR は、リセット、またはハードウェアスタンバイモード時に、モード 1～4 の場合は H'FF に、モード 5、7 の場合は H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート 5 が入出力ポートとして機能しているとき P5DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 5 データレジスタ (P5DR)

P5DR は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の出力データを格納します。ポート 5 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P5DDR の値が 0 のビットは端子のロジックレベルが読み出され、1 のビットは、P5DR の値が読み出されます。

ビット 7～ビット 4 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5データ3～0
ポート5の各端子のデータを格納する
ビットです。

P5DR は、リセット、またはハードウェアスタンバイモード時に、H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 5 入力プルアップ MOS コントロールレジスタ (P5PCR)

P5PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 5 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット 7～ビット 4 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール3～0
ポート5に内蔵した入力プルアップMOSを制御する
ビットです。

モード 5、7 のとき、P5DDR を 0 にクリアした (入力ポート) 状態で P5PCR を 1 にセットすると入力プルアップ MOS は ON します。

P5PCR は、リセット、またはハードウェアスタンバイモード時に、H'F0 にイニシャラ

イズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。
各動作モードでの、入力プルアップ MOS の状態を表 8.9 に示します。

表 8.9 入力プルアップ MOS の状態（ポート 5）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1 2 3 4	OFF		OFF	
5 7	OFF		ON / OFF	

【記号説明】

- OFF : 入力プルアップ MOS は、常に OFF 状態です。
- ON / OFF : P5PCR = 1 かつ P5DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

8.7 ポート 6

8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 はバス制御入出力端子 (\overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS} 、 \overline{BACK} 、 \overline{BREQ} 、 \overline{WAIT})、クロック端子 () と兼用になっています。

ポート 6 の端子構成を図 8.6 に示します。

モード 1 ~ 5 (拡張モード) 時には、P6₇ (入力ポート) / \overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS} 、P6₂/ \overline{BACK} 、P6₁/ \overline{BREQ} 、P6₀/ \overline{WAIT} として機能します。端子機能の選択方法については表 8.11 を参照してください。モード 7 (シングルチップモード) 時には、P6₇ (入力ポート) / \overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS} 、P6₂/ \overline{BACK} 、P6₁/ \overline{BREQ} 、P6₀/ \overline{WAIT} として機能します。

エリア 2、3、4、5 に DRAM を接続する場合には、 \overline{LWR} 、 \overline{HWR} 、 \overline{RD} がそれぞれ \overline{LCAS} 、 \overline{UCAS} 、 \overline{WE} と兼用になります。詳細は「6.5 DRAM インタフェース」を参照してください。

ポート 6 は、1 個の TTL 負荷と 90pF の容量を負荷駆動することができます。また、ダーリントントランジスタを駆動することができます。

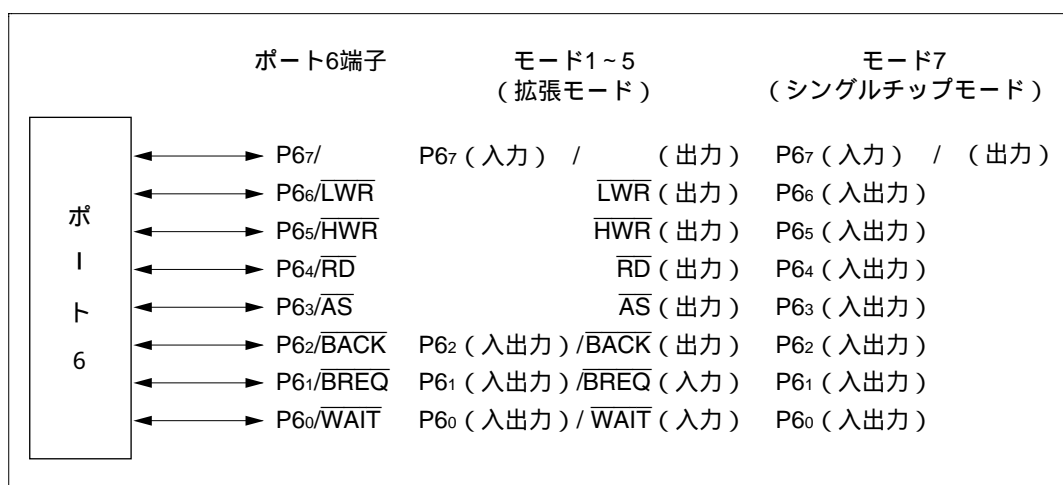


図 8.6 ポート 6 の端子構成

8.7.2 レジスタ構成

表 8.10 にポート 6 のレジスタ構成を示します。

表 8.10 ポート 6 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE005	ポート 6 データディレクションレジスタ	P6DDR	W	H'80
H'FFFD5	ポート 6 データレジスタ	P6DR	R/W	H'80

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット 7 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

リザーブビット
ポート6データディレクション6~0
ポート6の各端子の入出力を選択するビットです。

(a) モード 1 ~ 5 (拡張モード)

ポート P6₇ はクロック出力端子 () / 入力ポートとして機能します。

MSTCRH の PSTOP ビットを 0 にクリア (初期状態) するとクロック出力端子 () となり、1 にセットすると入力ポートになります。

ポート P6₆ ~ P6₃ は P6₆DDR ~ P6₃DDR の設定にかかわらずバス制御出力端子 (\overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS}) として機能します。

P6₂ ~ P6₀ は、バス制御入出力端子 (\overline{BACK} 、 \overline{BREQ} 、 \overline{WAIT}) / 入出力ポートとして機能します。端子機能の選択方法については、表 8.11 を参照してください。

ポート P6₂ ~ P6₀ が入出力ポートとして機能する場合、P6DDR を 1 にセットすると対応するポート 6 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7 (シングルチップモード)

ポート P6₇ はクロック出力端子 () / 入力ポートとして機能します。P6₆ ~ P6₀ は入出力ポートとして機能します。

P6₇ は、MSTCRH の PSTOP ビットを 0 にクリアするとクロック出力端子 () となり、1 (初期状態) にセットすると入力ポートになります。

P6₆ ~ P6₀ は、P6₆DDR ~ P6₀DDR に 1 をセットすると対応するポート 6 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P6DDR は、ライト専用で、リードは無効です。リードすると 1 が読み出されます。

P6DDR は、リセット、またはハードウェアスタンバイモード時に、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、ポート 6 が入出力ポートとして機能しているとき、P6DDR が 1 にセットされた状態でソフ

トウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 6 データレジスタ (P6DR)

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子のデータを格納します。ポート 6 が出力ポートとして機能する場合、本レジスタの値が出力されます。

ビット 7 は、MSTCRH の PSTOP ビットが 0 のときリードすると 1 が読み出され、1 のときリードすると P6₇ 端子のロジックレベルが読み出されます。ライトは無効です。ビット 6~0 は、P6DDR の対応するビットが 0 のときリードすると、端子のロジックレベルが読み出され、1 のときリードすると P6DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6データ7~0

ポート6の各端子のデータを格納するビットです。

P6DR は、リセット、またはハードウェアスタンバイモード時に、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.11 モード 1～5、7 の端子機能（ポート 6）

端子	選択方法と端子機能		
P6 ₇ /	MSTCRH の PSTOP ビットにより、次のように切り替わります。		
	PSTOP	0	1
	端子機能	出力端子	P6 ₇ 入力端子
LWR	P6 ₆ DDR ビットの設定にかかわらず、LWR になります。		
	P6 ₆ DDR	0	1
	端子機能	LWR 出力端子 *	
	【注】* DRCRA の DRAS2 ~ DRAS0 ビットのいずれかが 1 であり、DRCRB の CSEL ビットが 1 であるとき、LCAS として LWR 出力します。		
HWR	P6 ₅ DDR ビットの設定にかかわらず、HWR になります。		
	P6 ₅ DDR	0	1
	端子機能	HWR 出力端子 *	
	【注】* DRCRA の DRAS2 ~ DRAS0 ビットのいずれかが 1 であり、DRCRB の CSEL ビットが 1 であるとき、UCAS として HWR 出力します。		
RD	P6 ₄ DDR ビットの設定にかかわらず、RD になります。		
	P6 ₄ DDR	0	1
	端子機能	RD 出力端子 *	
	【注】* DRCRA の DRAS2 ~ DRAS0 ビットのいずれかが 1 であるとき WE として RD 出力します。		
AS	P6 ₃ DDR ビットの設定にかかわらず、AS になります。		
	P6 ₃ DDR	0	1
	端子機能	AS 出力端子	
P6 ₂ /BACK	BRCR の BRLE ビットと P6 ₂ DDR ビットの組み合わせにより、次のように切り替わります。		
	BRLE	0	1
	P6 ₂ DDR	0	1
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子
	BACK 出力端子		

端子	選択方法と端子機能			
P6 ₁ / $\overline{\text{BREQ}}$	BRCR の BRLE ビットと P6 ₁ DDR ビットの組み合わせにより、次のように切り替わります。			
	BRLE	0		1
	P6 ₁ DDR	0	1	-
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子	$\overline{\text{BREQ}}$ 入力端子
P6 ₀ / $\overline{\text{WAIT}}$	BCR の WAITE ビットと P6 ₀ DDR ビットの組み合わせにより、次のように切り替わります。			
	WAITE	0		1
	P6 ₀ DDR	0	1	0*
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子	$\overline{\text{WAIT}}$ 入力端子
【注】*P6 ₀ DDR は 1 にセットしないでください。				

8.8 ポート 7

8.8.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を図 8.7 に示します。

A/D 変換器のアナログ入力端子については「第 15 章 A/D 変換器」を参照してください。

D/A 変換器のアナログ出力端子については「第 16 章 D/A 変換器」を参照してください。

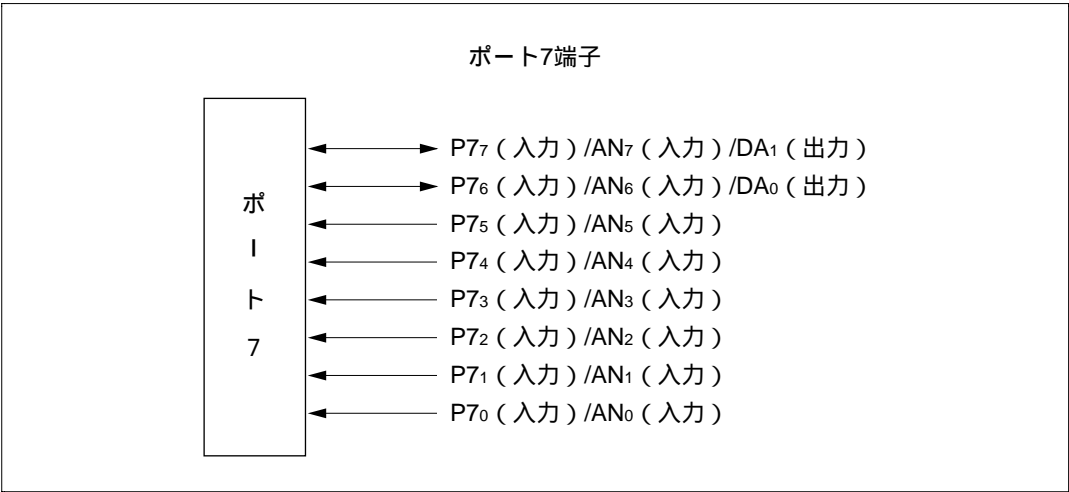


図 8.7 ポート 7 の端子構成

8.8.2 レジスタ構成

表 8.12 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 8.12 ポート 7 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H' FFFD6	ポート 7 データレジスタ	P7DR	R	不定

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	— *	— *	— *	— *	— *	— *	— *	— *
R/W :	R	R	R	R	R	R	R	R

【注】 * P7₇ ~ P7₀ 端子により決定されます。

P7DR のリードを行うと、常に端子のロジックレベルが読み出されます。ライトは無効です。

8.9 ポート 8

8.9.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 \overline{RFSH} 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子、A/D 変換器の \overline{ADTRG} 入力端子と兼用になっています。ポート 8 の端子構成を図 8.8 に示します。

モード 1 ~ 5 (拡張モード) 時には、ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 \overline{RFSH} 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子、 \overline{ADTRG} 入力端子と兼用になります。拡張モードでの端子機能の選択方法については表 8.14 を参照してください。

モード 7 (シングルチップモード) 時には、ポート 8 は、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子、 \overline{ADTRG} 入力端子と兼用になります。シングルチップモードでの端子機能の選択方法については表 8.15 を参照してください。

A/D 変換器の \overline{ADTRG} 入力端子については「第 15 章 A/D 変換器」を参照してください。 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ の機能は入出力にかかわらず IER をセットすることにより選択されます。そのため注意が必要です。詳細は「5.3.1 外部割り込み」を参照してください。

エリア 2、3、4、5 に DRAM を接続する場合には、 \overline{CS}_3 、 \overline{CS}_2 出力端子が各エリアに対応した \overline{RAS} の出力端子となります。詳細は「6.5 DRAM インタフェース」を参照してください。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

P8₂ ~ P8₀ はシュミットトリガ入力です。

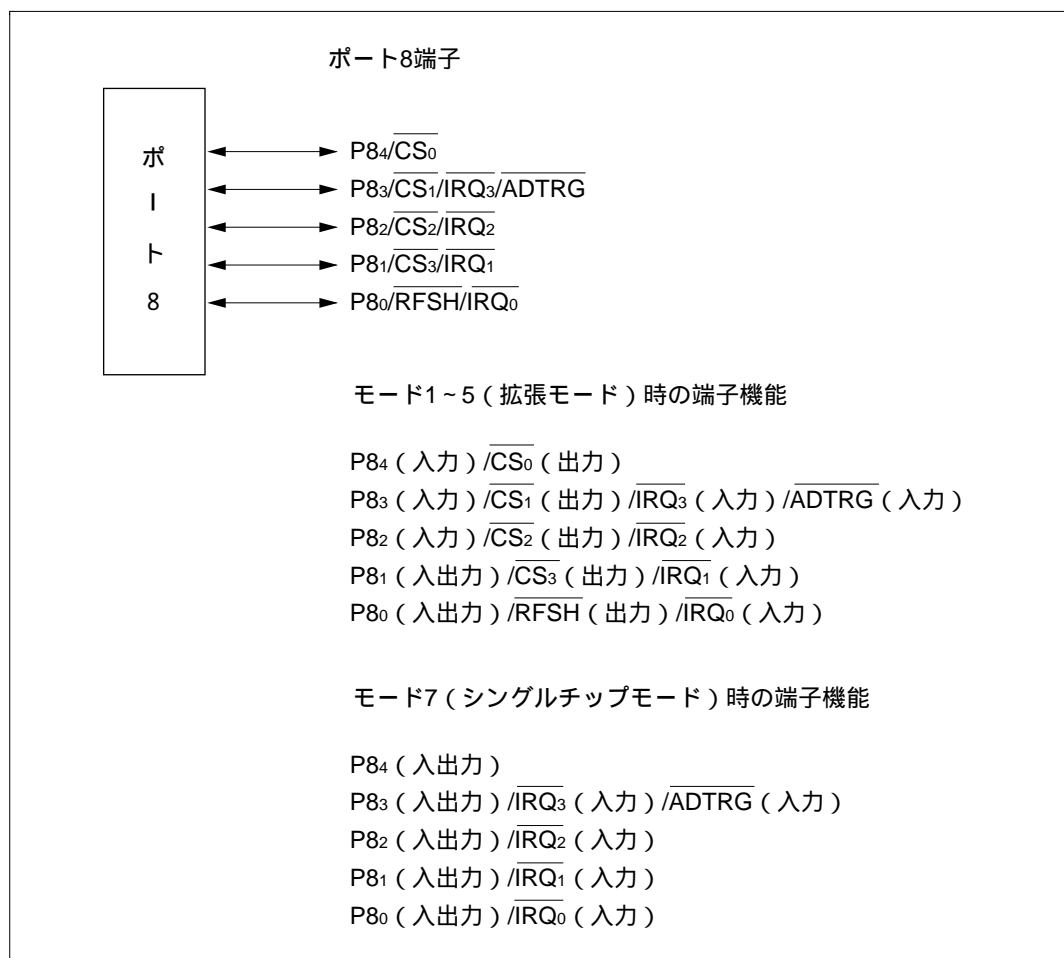


図 8.8 ポート 8 の端子構成

8.9.2 レジスタ構成

表 8.13 にポート 8 のレジスタ構成を示します。

表 8.13 ポート 8 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1～4	モード 5、7
H'EE007	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0	H'E0
H'FFFD7	ポート 8 データレジスタ	P8DR	R/W	H'E0	

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

ポート8データディレクション4~0

(2) ポート 8 データレジスタ (P8DR)

P8DR は、8 ビットのリード/ライト可能なレジスタで、ポート 8 の出力データを格納します。ポート 8 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P8DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P8DR の値が読み出されます。

ビット 7～ビット 5 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P84	P83	P82	P81	P80
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ4～0
ポート8の各端子のデータを格納する
ビットです。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.14 モード 1～5 の端子機能（ポート 8）

端子	選択方法と端子機能								
P8 ₄ / $\overline{\text{CS}}_0$	P8 ₄ DDR ビットにより、次のように切り替わります。								
	P8 ₄ DDR		0				1		
	端子機能		P8 ₄ 入力端子				$\overline{\text{CS}}_0$ 出力端子		
P8 ₃ / $\overline{\text{CS}}_1$ / $\overline{\text{IRQ}}_3$ / $\overline{\text{ADTRG}}$	P8 ₃ DDR ビットにより、次のように切り替わります。								
	P8 ₃ DDR		0				1		
	端子機能		P8 ₃ 入力端子				$\overline{\text{CS}}_1$ 出力端子		
			$\overline{\text{IRQ}}_3$ 入力端子						
			$\overline{\text{ADTRG}}$ 入力端子						
	P8 ₂ / $\overline{\text{CS}}_2$ / $\overline{\text{IRQ}}_2$	DRCRA の DRAS2、DRAS1、DRAS0 ビットによる DRAM インタフェースの設定、および P8 ₂ DDR ビットにより、次のように切り替わります。							
DRAM インタフェースの設定		下表（１）				下表（２）			
P8 ₂ DDR		0		1		-			
端子機能		P8 ₂ 入力端子		$\overline{\text{CS}}_2$ 出力端子		$\overline{\text{CS}}_2$ 出力端子*			
		$\overline{\text{IRQ}}_3$ 入力端子							
【注】* $\overline{\text{RAS}}_2$ として $\overline{\text{CS}}_2$ 出力します。									
DRAM インタフェースの設定		（１）		（２）					
DRAS2		0				1			
DRAS1		0		1		0		1	
DRAS1		0	1	0	1	0	1	0	1

端子	選択方法と端子機能										
P8 ₁ / $\overline{\text{CS}}_3$ / $\overline{\text{IRQ}}_1$	DRCRA の DRAS2、DRAS1、DRAS0 ビットによる DRAM インタフェースの設定、および P8 ₁ DDR ビットにより、次のように切り替わります。										
	DRAM インタフェースの設定	下表 (1)			下表 (2)			下表 (3)			
		P8 ₁ DDR		0	1	0		1			
		端子機能	P8 ₁ 入力端子	$\overline{\text{CS}}_3$ 出力端子	P8 ₁ 入力端子	P8 ₁ 出力端子	$\overline{\text{CS}}_3$ 出力端子*				
			$\overline{\text{IRQ}}_1$ 入力端子								
	【注】* $\overline{\text{RAS}}_3$ として $\overline{\text{CS}}_3$ 出力します。										
	DRAM インタフェースの設定	(1)		(3)	(2)	(3)		(2)			
		DRAS2		0			1				
		DRAS1		0		1		0		1	
		DRAS0		0	1	0	1	0	1	0	1
DRCRA の RFSHE ビットと P8 ₀ DDR ビットの組み合わせにより、次のように切り替わります。											
P8 ₀ / $\overline{\text{RFSH}}$ / $\overline{\text{IRQ}}_0$	RFSHE		0			1*					
	P8 ₀ DDR		0		1		-				
	端子機能	P8 ₀ 入力端子		P8 ₀ 出力端子		$\overline{\text{RFSH}}$ 出力端子					
		$\overline{\text{IRQ}}_0$ 入力端子									
	【注】* エリア 2~5 を DRAM 空間に設定しない場合は、1 にセットしないでください。										

表 8.15 モード 7 の端子機能 (ポート 8)

端子	選択方法と端子機能		
P8 ₄	P8 ₄ DDR ビットにより、次のように切り替わります。		
	P8 ₄ DDR	0	1
	端子機能	P8 ₄ 入力端子	P8 ₄ 出力端子
P8 ₃ / $\overline{\text{IRQ}}_3$ / $\overline{\text{ADTRG}}$	P8 ₃ DDR ビットにより、次のように切り替わります。		
	P8 ₃ DDR	0	1
	端子機能	P8 ₃ 入力端子	P8 ₃ 出力端子
		$\overline{\text{IRQ}}_3$ 入力端子	
		$\overline{\text{ADTRG}}$ 入力端子	
P8 ₂ / $\overline{\text{IRQ}}_2$	P8 ₂ DDR ビットにより、次のように切り替わります。		
	P8 ₂ DDR	0	1
	端子機能	P8 ₂ 入力端子	P8 ₂ 出力端子
		$\overline{\text{IRQ}}_2$ 入力端子	
P8 ₁ / $\overline{\text{IRQ}}_1$	P8 ₁ DDR ビットにより、次のように切り替わります。		
	P8 ₁ DDR	0	1
	端子機能	P8 ₁ 入力端子	P8 ₁ 出力端子
		$\overline{\text{IRQ}}_1$ 入力端子	
P8 ₀ / $\overline{\text{IRQ}}_0$	P8 ₀ DDR ビットにより、次のように切り替わります。		
	P8 ₀ DDR	0	1
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子
		$\overline{\text{IRQ}}_0$ 入力端子	

8.10 ポート 9

8.10.1 概要

ポート 9 は、6 ビットの入出力ポートです。ポート 9 はシリアルコミュニケーションインタフェースチャンネル 0、1 (SCI0、SCI1) の入出力端子 (TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。

端子機能の選択方法については表 8.17 を参照してください。

$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ の機能は入出力にかかわらず IER をセットすることにより選択されます。そのため注意が必要です。

詳細は「5.3.1 外部割り込み」を参照してください。

ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の端子構成を図 8.9 に示します。

ポート 9 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントトランジスタを駆動することができます。

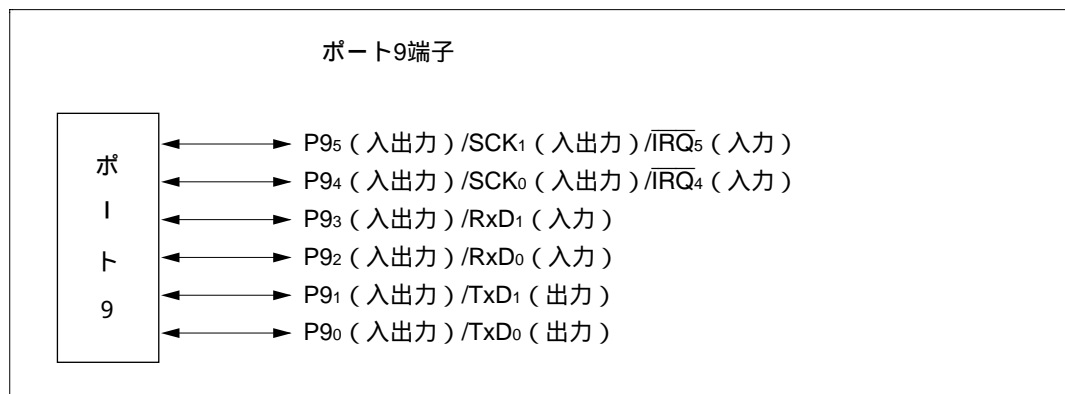


図 8.9 ポート 9 の端子構成

8.10.2 レジスタ構成

表 8.16 にポート 9 のレジスタ構成を示します。

表 8.16 ポート 9 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE008	ポート 9 データディレクションレジスタ	P9DDR	W	H'C0
H'FFFD8	ポート 9 データレジスタ	P9DR	R/W	H'C0

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 9 データディレクションレジスタ (P9DDR)

P9DDR は、8 ビットのライト専用のレジスタで、ポート 9 各端子の入出力をビットごとに指定することができます。

ビット 7、ビット 6 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W
	リザーブビット		ポート 9 データディレクション 5 ~ 0 ポート 9 の各端子の入出力を選択するビットです。					

ポート 9 が入出力ポートとして機能している場合、P9DDR を 1 にセットすると対応するポート 9 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。端子機能の選択方法については、表 8.17 を参照してください。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P9DDR は、リセット、またはハードウェアスタンバイモード時に、H'C0 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート 9 が入出力ポートとして機能しているとき、P9DDR が、1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 9 データレジスタ (P9DR)

P9DR は、8 ビットのリード/ライト可能なレジスタで、ポート 9 の出力データを格納します。ポート 9 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P9DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P9DR の値が読み出されます。

ビット 7、6 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート9データ5 ~ 0
ポート9の各端子のデータを格納するビットです。

P9DR は、リセット、またはハードウェアスタンバイモード時に、H'C0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.17 ポート 9 の端子機能

端子	選択方法と端子機能				
P9 ₅ /SCK ₁ / $\overline{\text{IRQ}}_5$	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビットと P9 ₅ DDR ビットの組み合わせにより、次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	-
	CKE0	0		1	-
	P9 ₅ DDR	0	1	-	-
	端子機能	P9 ₅ 入力 端子	P9 ₅ 出力 端子	SCK ₁ 出力 端子	SCK ₁ 出力端子 SCK ₁ 入力 端子
		$\overline{\text{IRQ}}_5$ 入力端子			
P9 ₄ /SCK ₀ / $\overline{\text{IRQ}}_4$	SCI0 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビットと P9 ₄ DDR ビットの組み合わせにより、次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	-
	CKE0	0		1	-
	P9 ₄ DDR	0	1	-	-
	端子機能	P9 ₄ 入力 端子	P9 ₄ 出力 端子	SCK ₀ 出力 端子	SCK ₀ 出力端子 SCK ₀ 入力 端子
		$\overline{\text{IRQ}}_4$ 入力端子			
P9 ₃ /RxD ₁	SCI1 の SCR の RE ビットと SCMR の SMIF ビットと P9 ₃ DDR ビットの組み合わせにより、次のように切り替わります。				
	SMIF	0			1
	RE	0		1	-
	P9 ₃ DDR	0	1	-	-
	端子機能	P9 ₃ 入力端子	P9 ₃ 出力端子	RxD ₁ 入力端子	RxD ₁ 入力端子
P9 ₂ /RxD ₀	SCI0 の SCR の RE ビットと SCMR の SMIF ビットと P9 ₂ DDR ビットの組み合わせにより、次のように切り替わります。				
	SMIF	0			1
	RE	0		1	-
	P9 ₂ DDR	0	1	-	-
	端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	RxD ₀ 入力端子	RxD ₀ 入力端子

端子	選択方法と端子機能			
P9 _i /TxD _i	SCI1 の SCR の TE ビットと、SCMR の SMIF ビット、および P9 _i DDR ビットの組み合わせにより、次のように切り替わります。			
	SMIF	0		1
	TE	0		1
	P9 _i DDR	0	1	-
	端子機能	P9 _i 入力端子	P9 _i 出力端子	TxD _i 出力端子
	【注】* TxD _i 出力端子として機能します。ただしハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。			
P9 ₀ /TxD ₀	SCI0 の SCR の TE ビット、SCMR の SMIF ビット、および P9 ₀ DDR ビットの組み合わせにより、次のように切り替わります。			
	SMIF	0		1
	TE	0		1
	P9 ₀ DDR	0	1	-
	端子機能	P9 ₀ 入力端子	P9 ₀ 出力端子	TxD ₀ 出力端子
	【注】* TxD ₀ 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。			

8.11 ポート A

8.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A はプログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP₇ ~ TP₀)、16 ビットタイマの入出力端子 (TIOCB₂、TIOCA₂、TIOCB₁、TIOCA₁、TIOCB₀、TIOCA₀、TCLKD、TCLKC、TCLKB、TCLKA)、8 ビットタイマのクロック入力端子 (TCLKD、TCLKC、TCLKB、TCLKA)、DMA コントローラ (DMAC) の出力端子 ($\overline{\text{TEND}}_1$ 、 $\overline{\text{TEND}}_0$)、アドレスバス (A₂₃ ~ A₂₀) と兼用になっています。ポート A は、動作モード 3、4 で A₂₀ が強制的に出力となることを除き、リセットおよびハードウェアスタンバイモードで入力ポートとなっています。端子機能の選択方法については表 8.19 ~ 表 8.21 を参照してください。

TPC、16 ビットタイマ、8 ビットタイマ、DMAC の入出力端子として使用する端子については、それぞれのモジュールの説明を参照してください。モード 3、4、5 で A₂₃ ~ A₂₀ を出力する場合は、「6.2.4 バスリリースコントロールレジスタ」を参照してください。これらいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート A の端子構成を図 8.10 に示します

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポート A は、シュミットトリガ入力です。

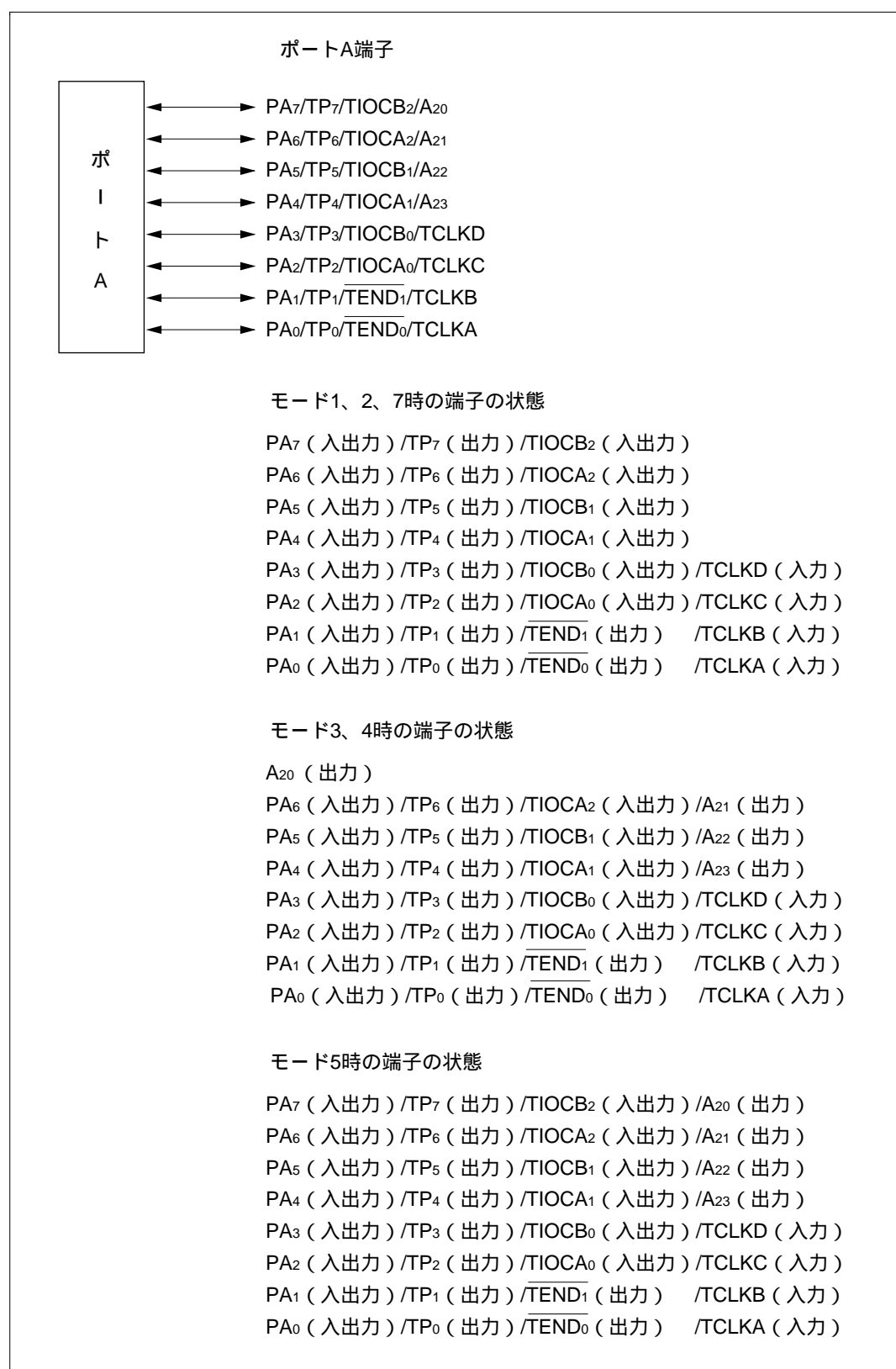


図 8.10 ポート A の端子構成

8.11.2 レジスタ構成

表 8.18 にポート A のレジスタ構成を示します。

表 8.18 ポート A レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1、2、5、7	モード 3、4
H'EE009	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFFD9	ポート A データレジスタ	PADR	R/W	H'00	

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

ビット:		7	6	5	4	3	2	1	0
		PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
モード 3,4	初期値:	1	0	0	0	0	0	0	0
	R/W :	—	W	W	W	W	W	W	W
モード 1,2,5,7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート A データディレクション 7~0
 ポート A の各端子の入出力を選択するビットです。

PA₇~PA₄はモード 1、2、7の場合と、モード 3~5の場合で、選択できる端子機能が異なります。端子機能の選択方法については、表 8.19 および表 8.20 を参照してください。

PA₃~PA₀については、選択できる端子機能はモード 1~5、7 で共通です。端子機能の選択方法については表 8.21 を参照してください。

ポート A が入出力ポートとして機能している場合、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。ただし、モード 3、4 では PA₇DDR は 1 に固定され、PA₇はアドレス A₂₀ 出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2、5、7 では H'00 に、モード 3、4 では H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート A が入出力ポートとして機能し

ているとき、PADDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート A データレジスタ (PADR)

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の出力データを格納します。ポート A が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、PADDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PADR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータ7~0

ポートAの各端子のデータを格納するビットです。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.19 ポート A (モード 1、2、7) の端子機能

端子	選択方法と端子機能				
PA ₇ /TP ₇ / TIOCB ₂	TMDR の PWM2 ビット、TIOB2 の IOB2 ~ IOB0 ビット、NDERA の NDER7 ビットと PA ₇ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 2 の設定	下表 (1)	下表 (2)		
	PA ₇ DDR	-	0	1	1
	NDER7	-	-	0	1
	端子機能	TIOCB ₂ 出力端子	PA ₇ 入力端子	PA ₇ 出力端子	TP ₇ 出力端子
			TIOCB ₂ 入力端子*		
	【注】* IOB2 = 1、かつ PWM2 = 0 のとき、TIOCB ₂ 入力端子となります。				
	16 ビットタイマ チャンネル 2 の設定	(2)	(1)		(2)
	IOB2	0			1
	IOB1	0	0	1	-
IOB0	0	1	-	-	
PA ₆ /TP ₆ / TIOCA ₂	TMDR の PWM2 ビット、TIOB2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビットと PA ₆ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 2 の設定	下表 (1)	下表 (2)		
	PA ₆ DDR	-	0	1	1
	NDER6	-	-	0	1
	端子機能	TIOCA ₂ 出力端子	PA ₆ 入力端子	PA ₆ 出力端子	TP ₆ 出力端子
			TIOCA ₂ 入力端子*		
	【注】* IOA2 = 1 のとき、TIOCA ₂ 入力端子となります。				
	16 ビットタイマ チャンネル 2 の設定	(2)	(1)		(2)
	PWM2	0			1
	IOA2	0		1	-
IOA1	0	0	1	-	
IOA0	0	1	-	-	

端子	選択方法と端子機能					
PA ₅ /TP ₅ / TIOCB ₁	TMDR の PWM1 ビット、TIOR1 の IOB2 ~ IOB0 ビット、NDERA の NDER5 ビットと PA ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	16 ビットタイマ チャンネル 1 の設定	下表 (1)	下表 (2)			
	PA ₅ DDR	-	0	1	1	
	NDER5	-	-	0	1	
	端子機能	TIOCB ₁ 出力端子	PA ₅ 入力端子	PA ₅ 出力端子	TP ₅ 出力端子	
			TIOCB ₁ 入力端子*			
	【注】* IOB2 = 1、かつ PWM1 = 0 のとき、TIOCB ₁ 入力端子となります。					
	16 ビットタイマ チャンネル 1 の設定	(2)	(1)		(2)	
	IOB2	0			1	
	IOB1	0	0	1	-	
	IOB0	0	1	-	-	
PA ₄ /TP ₄ / TIOCA ₁	TMDR の PWM1 ビット、TIOR1 の IOA2 ~ IOA0 ビット、NDERA の NDER4 ビットと PA ₄ DDR ビットの組み合わせにより、次のように切り替わります。					
	16 ビットタイマ チャンネル 1 の設定	下表 (1)	下表 (2)			
	PA ₄ DDR	-	0	1	1	
	NDER4	-	-	0	1	
	端子機能	TIOCA ₁ 出力端子	PA ₄ 入力端子	PA ₄ 出力端子	TP ₄ 出力端子	
			TIOCA ₁ 入力端子*			
	【注】* IOA2 = 1 のとき、TIOCA ₁ 入力端子となります。					
	16 ビットタイマ チャンネル 1 の設定	(2)	(1)		(2)	(1)
	PWM1	0			1	
	IOA2	0		1	-	
	IOA1	0	0	1	-	-
IOA0	0	1	-	-	-	

表 8.20 ポート A (モード 3、4、5) の端子機能

端子	選択方法と端子機能					
PA ₇ /TP ₇ / TIOCB ₂ /A ₂₀	モード 3、4 の場合： A ₂₀ が強制的に出力されます。					
	端子機能		A ₂₀ 出力端子			
	モード 5 の場合： TMDR の PWM2 ビット、TIOB2 の IOB2 ~ IOB0 ビット、NDERA の NDER7 ビット、 BRCR の A20E ビットと PA ₇ DDR ビットの組み合わせにより次のように切り替わります。					
	A20E	1				0
	16 ビットタイマ チャンネル 2 の設定	下表 (1)	下表 (2)			-
	PA ₇ DDR	-	0	1	1	-
	NDER7	-	-	0	1	-
	端子機能	TIOCB ₂ 出力端子	PA ₇ 入力端子	PA ₇ 出力端子	TP ₇ 出力端子	A ₂₀ 出力端子
	TIOCB ₂ 入力端子*					
	【注】* IOB2=1 かつ PWM2=0 のとき TIOCB ₂ 入力端子となります。					
PA ₆ /TP ₆ / TIOCA ₂ /A ₂₁	16 ビットタイマチャンネル 2 の設定	(2)	(1)			(2)
	IOB2	0				1
	IOB1	0	0	1	-	-
	IOB0	0	1	-	-	-
	TMDR の PWM2 ビット、TIOB2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビット、 BRCR の A21E ビットと PA ₆ DDR ビットの組み合わせにより次のように切り替わります。					
	A21E	1				0
	16 ビットタイマ チャンネル 2 の設定	下表 (1)	下表 (2)			-
	PA ₆ DDR	-	0	1	1	-
	NDER6	-	-	0	1	-
	端子機能	TIOCA ₂ 出力端子	PA ₆ 入力端子	PA ₆ 出力端子	TP ₆ 入力端子	A ₂₁ 出力端子
TIOCA ₂ 入力端子*						
【注】* IOA2=1 のとき、TIOCA ₂ 入力端子となります。						
	16 ビットタイマチャンネル 2 の設定	(2)	(1)		(2)	(1)
	PWM2	0				1
	IOA2	0			1	-
	IOA1	0	0	1	-	-
	IOA0	0	1	-	-	-

端子	選択方法と端子機能					
PA ₅ /TP ₅ / TIOCB ₁ /A ₂₂	TMDR の PWM1 ビット、TIOR1 の IOB2 ~ IOB0 ビット、NDERA の NDER5 ビット、BRCR の A22E ビットと PA ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	A22E	1				0
	16 ビットタイマ チャンネル 1 の設定	下表 (1)	下表 (2)			-
	PA ₅ DDR	-	0	1	1	-
	NDER5	-	-	0	1	-
	端子機能	TIOCB ₁ 出力端子	PA ₅ 入力端子	PA ₅ 出力端子	TP ₅ 出力端子	A ₂₂ 出力端子
			TIOCB ₁ 入力端子*			
	【注】* IOB2 = 1、かつ PWM1 = 0 のとき、TIOCB ₁ 入力端子となります。					
	16 ビットタイマ チャンネル 1 の設定	(2)	(1)		(2)	
	IOB2	0			1	
	IOB1	0	0	1	-	
IOB0	0	1	-	-		
PA ₄ /TP ₄ / TIOCA ₁ /A ₂₃	TMDR の PWM1 ビット、TIOR1 の IOA2 ~ IOA0 ビット、NDERA の NDER4 ビット、BRCR の A23E ビットと PA ₄ DDR ビットの組み合わせにより、次のように切り替わります。					
	A23E	1				0
	16 ビットタイマ チャンネル 1 の設定	下表 (1)	下表 (2)			-
	PA ₄ DDR	-	0	1	1	-
	NDER4	-	-	0	1	-
	端子機能	TIOCA ₁ 出力端子	PA ₄ 入力端子	PA ₄ 出力端子	TP ₄ 出力端子	A ₂₃ 出力端子
			TIOCA ₁ 入力端子*			
	【注】* IOA2 = 1 のとき、TIOCA ₁ 入力端子となります。					
	16 ビットタイマ チャンネル 1 の設定	(2)	(1)		(2)	(1)
	PWM1	0				1
	IOA2	0		1		-
IOA1	0	0	1	-	-	
IOA0	0	1	-	-	-	

表 8.21 ポート A (モード 1 ~ 5、7) の端子機能

端子	選択方法と端子機能				
PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	TMDR の PWM0 ビット、TIOR0 の IOB2 ~ IOB0 ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR2 の CKS2 ~ CKS0 ビット、NDERA の NDER3 ビットと PA ₃ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 0 の設定	下表 (1)	下表 (2)		
	PA ₃ DDR	-	0	1	1
	NDER3	-	-	0	1
	端子機能	TIOCB ₀ 出力端子	PA ₃ 入力端子	PA ₃ 出力端子	TP ₃ 出力端子
			TIOCB ₀ 入力端子* ¹		
			TCLKD 入力端子* ²		
【注】 *1 IOB2 = 1、かつ PWM0 = 0 のとき、TIOCB ₀ 入力端子となります。					
*2 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = TPSC1 = TPSC0 = 1 または、8TCR2 の CKS2 ~ CKS0 ビットが下表 (3) のとき TCLKD 入力端子となります。					
	16 ビットタイマ チャンネル 0 の設定	(2)	(1)		(2)
	IOB2	0			1
	IOB1	0	0	1	-
	IOB0	0	1	-	-
	8 ビットタイマ チャンネル 2 の設定	(4)		(3)	
	CKS2	0	1		
	CKS1	-	0		1
	CKS0	-	0	1	-

端子	選択方法と端子機能					
PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	TMDR の PWM0 ビット、TIOR0 の IOA2 ~ IOA0 ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR0 の CKS2 ~ CKS0 ビット、NDERA の NDER2 ビットと PA ₂ DDR ビットの組み合わせにより、次のように切り替わります。					
	16 ビットタイマ チャンネル 0 の設定	下表 (1)	下表 (2)			
	PA ₂ DDR	-	0	1	1	
	NDER2	-	-	0	1	
	端子機能	TIOCA ₀ 出力端子	PA ₂ 入力端子	PA ₂ 出力端子	TP ₂ 出力端子	
			TIOCA ₀ 入力端子* ¹			
		TCLKC 入力端子* ²				
【注】*1 IOA2 = 1 のとき、TIOCA ₀ 入力端子となります。						
*2 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = TPSC1 = 1、TPSC0 = 0、または、8TCR0 の CKS2 ~ CKS0 ビットが下表 (3) のとき TCLKC 入力端子となります。						
	16 ビットタイマ チャンネル 0 の設定	(2)	(1)		(2)	(1)
	PWM0	0			1	
	IOA2	0			1	-
	IOA1	0	0	1	-	-
	IOA0	0	1	-	-	-
	8 ビットタイマ チャンネル 0 の設定	(4)			(3)	
	CKS2	0	1			
	CKS1	-	0		1	
	CKS0	-	0	1	-	

端子	選択方法と端子機能				
PA _i /TP _i / TCLKB/ $\overline{\text{TEND}}_i$	TMDR の MDF ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR3 の CKS2 ~ CKS0 ビット、NDERA の NDER1 ビットと PA _i DDR ビットの組み合わせにより、次のように切り替わります。				
	PA _i DDR	0	1	1	
	NDER1	-	0	1	
	端子機能	PA _i 入力端子	PA _i 出力端子	TP _i 出力端子	
		TCLKB 出力端子* ¹			
		$\overline{\text{TEND}}_i$ 出力端子* ²			
	【注】 *1 TMDR の MDF = 1、または 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 1、または、8TCR3 の CKS2 ~ CKS0 ビットが下表（１） のとき TCLKB 入力端子となります。				
	*2 DMAC の起動要因として外部リクエストを指定した場合は、PA _i DDR ビット、NDER1 ビットとは無関係に $\overline{\text{TEND}}_i$ 出力端子となります。				
	8 ビットタイマ チャンネル 3 の設定	（２）		（１）	
	CKS2	0	1		
	CKS1	-	0		1
	CKS0	-	0	1	-

端子	選択方法と端子機能			
PA ₀ /TP ₀ / TCLKA/ $\overline{\text{TEND}}_0$	TMDR の MDF ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR1 の CKS2 ~ CKS0 ビット、NDERA の NDER0 ビットと PA ₀ DDR ビットの組み合わせにより、次のように切り替わります。			
	PA ₀ DDR	0	1	
	NDER0	-	0	1
端子機能	PA ₀ 入力端子	PA ₀ 出力端子		TP ₀ 出力端子
	TCLKA 出力端子* ¹			
	$\overline{\text{TEND}}_0$ 出力端子* ²			
【注】 *1 TMDR の MDF = 1、または 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 0 または、8TCR1 の CKS2 ~ CKS0 ビットが下表（1）のとき TCLKA 入力端子となります。				
*2 DMAC の起動要因として外部リクエストを指定した場合は、PA ₀ DDR ビット、NDER0 ビットとは無関係に $\overline{\text{TEND}}_0$ 出力端子となります。				
8 ビットタイマ チャンネル 1 の設定	（2）		（1）	
CKS2	0	1		
CKS1	-	0		1
CKS0	-	0	1	-

8.12 ポート B

8.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B はプログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP₁₅ ~ TP₈)、8 ビットタイマの入出力端子 (TMIO₃、TMO₂、TMIO₁、TMO₀)、 \overline{CS}_7 ~ \overline{CS}_4 出力端子、DMA コントローラ (DMAC) の入力端子 (\overline{DREQ}_1 、 \overline{DREQ}_0)、シリアルコミュニケーションインタフェースチャネル 2 (SCI2) の入出力端子 (TxD₂、RxD₂、SCK₂)、DRAM インタフェースの出力端子 (\overline{UCAS} 、 \overline{LCAS}) と兼用になっています。端子機能の選択方法については表 8.23 ~ 表 8.24 を参照してください。

ポート B はリセットおよびハードウェアスタンバイモードで入力ポートになっています。モード 1 ~ 5 で \overline{CS}_7 ~ \overline{CS}_4 を出力する場合は、「6.3.4 チップセレクト信号」を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート B の端子構成を図 8.11 に示します。

エリア 2、3、4、5 に DRAM を接続する場合には、 \overline{CS}_4 、 \overline{CS}_5 出力が各エリアに対応した \overline{RAS} の出力端子となります。詳細は「6.5 DRAM インタフェース」を参照してください。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

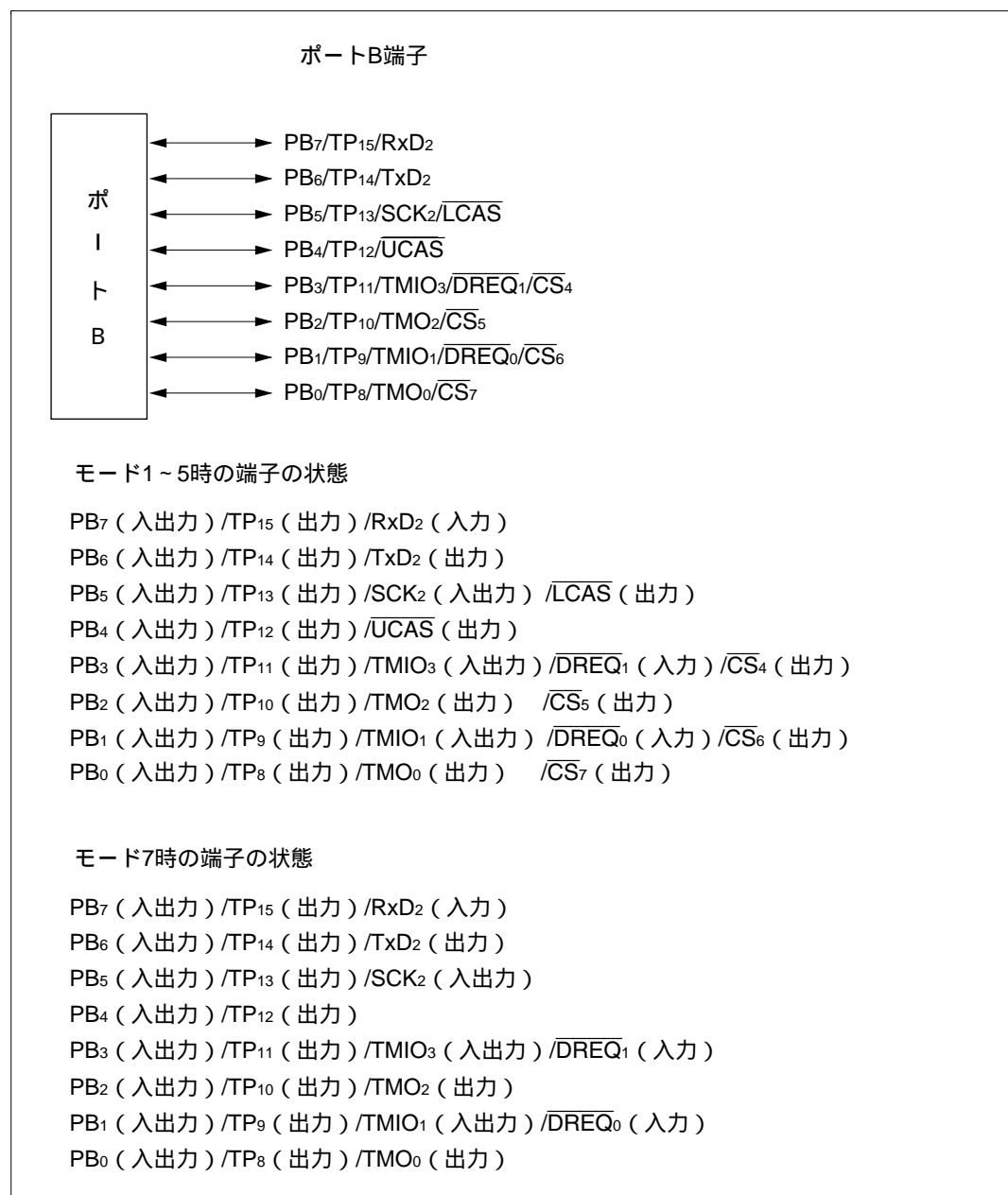


図 8.11 ポート B の端子構成

8.12.2 レジスタ構成

表 8.22 にポート B のレジスタ構成を示します。

表 8.22 ポート B レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE00A	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFFDA	ポート B データレジスタ	PBDR	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PBDDR の対応するビットをセットしてください。

ビット:	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート B データディレクション 7~0
ポート B の各端子の入出力を選択するビットです。

ポート B はモード 1~5 の場合と、モード 7 の場合で選択できる端子機能が異なります。端子機能の選択方法については表 8.23 および表 8.24 を参照してください。

ポート B が入出力ポートとして機能している場合、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート B が入出力ポートとして機能しているとき、PBDDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B データレジスタ (PBDR)

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の出力データを格納します。ポート B が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、PBDDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PBDR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBデータ7~0

ポートBの各端子のデータを格納するビットです。

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.23 ポート B (モード 1 ~ 5) の端子機能

端子	選択方法と端子機能					
PB ₇ /TP ₁₅ / RxD ₂	SCI2 の SCR の RE ビット、SCMR の SMIF ビット、NDERB の NDER15 ビットと PB ₇ DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0				1
	RE	0			1	-
	PB ₇ DDR	0	1	1	-	-
	NDER15	-	0	1	-	-
	端子機能	PB ₇ 入力 端子	PB ₇ 出力 端子	TP ₁₅ 出力 端子	RxD ₂ 入力 端子	RxD ₂ 入力 端子
PB ₆ /TP ₁₄ / TxD ₂	SCI2 の SCR の TE ビット、SCMR の SMIF ビット、NDERB の NDER14 ビットと PB ₆ DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0				1
	TE	0			1	-
	PB ₆ DDR	0	1	1	-	-
	NDER14	-	0	1	-	-
	端子機能	PB ₆ 入力 端子	PB ₆ 出力 端子	TP ₁₄ 出力 端子	TxD ₂ 出力 端子	TxD ₂ 出力 端子*
	【注】* TxD ₂ 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の 2 種類の状態があります。					
PB ₅ / TP ₁₃ / SCK ₂ /LCAS	SCI2 の SMR の C/ \bar{A} ビット、SCR の CKE0, CKE1 ビット、NDERB の NDER13 ビットと PB ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0				1
	C/ \bar{A}	0			1	-
	CKE0	0			1	-
	PB ₅ DDR	0	1	1	-	-
	NDER13	-	0	1	-	-
	端子機能	PB ₅ 入力 端子	PB ₅ 出力 端子	TP ₁₃ 出 力 端子	SCK ₂ 出 力端子	SCK ₂ 出 力端子
		LCAS 出力端子*				
	【注】* DRCRA の DRAS2 ~ 0 ビットと DRCRB の CSEL ビットに依存し、C/ \bar{A} ビット、CKE0, 1 ビット、NDER13 ビット、PB ₅ DDR ビットとは無関係に LCAS 出力となります。詳細は「第 6 章 バスコントローラ」を参照してください。					

端子	選択方法と端子機能										
PB ₄ /TP ₁₂ / UCAS	NDERB の NDER12 ビットと PB ₄ DDR ビットの組み合わせにより、次のように切り替わります。										
	PB ₄ DDR		0		1		1				
	NDER12		-		0		1				
	端子機能		PB ₄ 入力端子		PB ₄ 出力端子		TP ₁₂ 出力端子				
			UCAS 出力端子*								
【注】* DRCRA の DRAS2～0 ビットと DRCRB の CSEL ビットに依存し、NDER12 ビット、PB ₄ DDR ビットとは無関係に UCAS 出力となります。詳細は「第 6 章 バスコントローラ」を参照してください。											
PB ₃ /TP ₁₁ / TMIO ₃ / DREQ ₁ /CS ₄	DRCRA の DRAS2、DRAS1、DRAS0 ビットによる DRAM インタフェースの設定、8TCSR3 の OIS3～OIS2、OS1～OS0 ビット、8TCR3 の CCLR1～CCLR0 ビット、CSCR の CS4E ビット、NDERB の NDER11 ビットと PB ₃ DDR ビットの組み合わせにより、次のように切り替わります。										
	DRAM インタフェースの設定		下表（1）						下表（2）		
	OIS3, OIS2, OS1, OS0		すべてが 0				いずれかが 1		-		
	CS4E		0		1		-		-		
	PB ₃ DDR		0	1	1	-	-	-	-	-	
	NDER11		-	0	1	-	-	-	-	-	
	端子機能		PB ₃ 入力端子	PB ₃ 出力端子	TP ₁₁ 出力端子	CS ₄ 出力端子	TMIO ₃ 出力端子	CS ₄ 出力端子* ³			
			TMIO ₃ 入力端子* ¹								
			DREQ ₁ 入力端子* ²								
	【注】* ¹ CCLR1、CCLR0=1 のとき、TMIO ₃ 入力端子となります。										
	* ² DMAC の起動要因を外部リクエストに指定した場合は、OIS3、OIS2 ビット、OS1、OS0 ビット、CCLR1、CCLR0 ビット、CS4E ビット、NDER11 ビット、PB ₃ DDR ビットとは無関係に DREQ ₁ 入力端子となります。										
	* ³ RAS ₄ として CS ₄ 出力します。										
DRAM インタフェースの設定		(1)				(2)				(1)	
DRAS2		0				1					
DRAS1		0	1	0	1	0	1	0	1		
DRAS0		0	1	0	1	0	1	0	1		

端子	選択方法と端子機能									
PB ₂ /TP ₁₀ / TMO ₂ / $\overline{\text{CS}}_5$	DRCRA の DRAS2、DRAS1、DRAS0 ビットによる DRAM インタフェースの設定、8TCSR2 の OIS3、OIS2、OS1、OS0 ビット、CSCR の CS5E ビット、NDERB の NDER10 ビットと PB ₂ DDR ビットの組み合わせにより、次のように切り替わります。									
	DRAM インタフェースの設定	下表 (1)						下表 (2)		
		OIS3, OIS2, OS1, OS0	すべてが 0				いずれかが 1	-		
			CS5E		0	1	-	-		
		PB ₂ DDR	0	1	1	-	-	-		
		NDER10	-	0	1	-	-	-		
		端子機能	PB ₂ 入力端子	PB ₂ 出力端子	TP ₁₀ 出力端子	$\overline{\text{CS}}_5$ 出力端子	TMO ₂ 出力端子	$\overline{\text{CS}}_5$ 出力端子*		
	【注】* $\overline{\text{RAS}}_5$ として $\overline{\text{CS}}_5$ 出力します。									
	DRAM インタフェースの設定	(1)						(2)	(1)	
		DRAS2		0			1			
		DRAS1		0		1		0		1
		DRAS0		0	1	0	1	0	1	0

端子	選択方法と端子機能					
PB ₁ /TP ₉ / TMIO ₁ / $\overline{\text{DREQ}}_0$ / $\overline{\text{CS}}_6$	8TCSR1 の OIS3、OIS2、OS1、OS0 ビット、8TCR0 の CCLR1、CCLR0 ビット、CSCR の CS6E ビット、NDERB の NDER9 ビットと PB ₁ DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3, OIS2, OS1, OS0	すべてが 0				いずれかが 1
	CS6E	0			1	-
	PB ₁ DDR	0	1	1	-	-
	NDER9	-	0	1	-	-
	端子機能	PB ₁ 入力端子	PB ₁ 出力端子	TP ₉ 出力端子	$\overline{\text{CS}}_6$ 出力端子	TMIO ₁ 出力端子
		TMIO ₁ 入力端子* ¹				
		$\overline{\text{DREQ}}_0$ 入力端子* ²				
【注】*1 CCLR1~0=1 のとき、TMIO ₁ 入力端子となります。						
*2 DMAC の起動要因を外部リクエストに指定した場合は、OIS3、OIS2、OS1、OS0 ビット、CCLR1、CCLR0 ビット、CS6E ビット、NDER9 ビット、PB ₁ DDR ビットとは無関係に $\overline{\text{DREQ}}_0$ 入力端子となります。						
PB ₀ /TP ₈ / TMO ₀ / $\overline{\text{CS}}_7$	8TCSR0 の OIS3、OIS2、OS1、OS0 ビット、CSCR の CS7E ビット、NDERB の NDER8 ビットと PB ₀ DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3, OIS2, OS1, OS0	すべてが 0				いずれかが 1
	CS7E	0			1	-
	PB ₀ DDR	0	1	1	-	-
	NDER8	-	0	1	-	-
	端子機能	PB ₀ 入力端子	PB ₀ 出力端子	TP ₈ 出力端子	$\overline{\text{CS}}_7$ 出力端子	TMO ₀ 出力端子

表 8.24 ポート B (モード 7) の端子機能

端子	選択方法と端子機能					
PB ₇ /TP ₁₅ / RxD ₂	SCI2 の SCR の RE ビット、SCMR の SMIF ビット、NDERB の NDER15 ビットと PB ₇ DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0				1
	RE	0			1	-
	PB ₇ DDR	0	1	1	-	-
	NDER15	-	0	1	-	-
	端子機能	PB ₇ 入力端子	PB ₇ 出力端子	TP ₁₅ 出力端子	RxD ₂ 入力端子	RxD ₂ 入力端子
PB ₆ /TP ₁₄ / TxD ₂	SCI2 の SCR の TE ビット、SCMR の SMIF ビット、NDERB の NDER14 ビットと PB ₆ DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0				1
	TE	0			1	-
	PB ₆ DDR	0	1	1	-	-
	NDER14	-	0	1	-	-
	端子機能	PB ₆ 入力端子	PB ₆ 出力端子	TP ₁₄ 出力端子	TxD ₂ 出力端子	TxD ₂ 出力端子*
	【注】* TxD ₂ 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の 2 種類の状態があります。					
PB ₅ /TP ₁₃ / SCK ₂	SCI2 の SMR の C/ \bar{A} ビット、SCR の CKE0, CKE1 ビット、NDERB の NDER13 ビットと PB ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0				1
	C/ \bar{A}	0			1	-
	CKE0	0			1	-
	PB ₅ DDR	0	1	1	-	-
	NDER13	-	0	1	-	-
	端子機能	PB ₅ 入力端子	PB ₅ 出力端子	TP ₁₃ 出力端子	SCK ₂ 出力端子	SCK ₂ 出力端子
PB ₄ /TP ₁₂	NDERB の NDER12 ビットと PB ₄ DDR ビットの組み合わせにより、次のように切り替わります。					
	PB ₄ DDR	0		1		1
	NDER12	-		0		1
	端子機能	PB ₄ 入力端子		PB ₄ 出力端子		TP ₁₂ 出力端子

端子	選択方法と端子機能				
PB ₃ /TP ₁₁ / TMIO ₃ / $\overline{\text{DREQ}}_1$	8TCSR3 の OIS3、OIS2、OS1、OS0 ビット、8TCR3 の CCLR1、CCLR0 ビット、 NDERB の NDER11 ビットと PB ₃ DDR ビットの組み合わせにより、次のように切り替わります。				
	OIS3, OIS2, OS1, OS0	すべてが 0			いずれかが 1
	PB ₃ DDR	0	1	1	-
	NDER11	-	0	1	-
	端子機能	PB ₃ 入力端子	PB ₃ 出力端子	TP ₁₁ 出力端子	TMIO ₃ 出力端子
		TMIO ₃ 入力端子* ¹			
		$\overline{\text{DREQ}}_1$ 入力端子* ²			
【注】*1 CCLR1、CCLR0=1 のとき、 TMIO ₃ 入力端子となります。					
*2 DMAC の起動要因を外部リクエストに指定した場合は、 OIS3、OIS2、 OS1、OS0 ビット、NDER11 ビット、PB ₃ DDR ビットとは無関係に $\overline{\text{DREQ}}_1$ 入力端子となります。					
PB ₂ /TP ₁₀ / TMO ₂	8TCSR2 の OIS3、OIS2、OS1、OS0 ビット、NDERB の NDER10 ビットと PB ₂ DDR ビットの組み合わせにより、次のように切り替わります。				
	OIS3, OIS2, OS1, OS0	すべてが 0			いずれかが 1
	PB ₂ DDR	0	1	1	-
	NDER10	-	0	1	-
	端子機能	PB ₂ 入力端子	PB ₂ 出力端子	TP ₁₀ 出力端子	TMO ₂ 出力端子

端子	選択方法と端子機能				
PB ₁ /TP ₉ / TMIO ₁ / $\overline{\text{DREQ}}_0$	8TCSR1 の OIS3、OIS2、OS1、OS0 ビット、8TCR0 の CCLR1、CCLR0 ビット、 NDERB の NDER9 ビットと PB ₁ DDR ビットの組み合わせにより、次のように切り 替わります。				
	OIS3, OIS2, OS1, OS0	すべてが 0			いずれかが 1
	PB ₁ DDR	0	1	1	-
	NDER9	-	0	1	-
	端子機能	PB ₁ 入力端子	PB ₁ 出力端子	TP ₉ 出力端子	TMIO ₁ 出力端子
		TMIO ₁ 入力端子* ¹			
		$\overline{\text{DREQ}}_0$ 入力端子* ²			
【注】*1 CCLR1、CCLR0 = 1 のとき、TMIO ₁ 入力端子となります。					
*2 DMAC の起動要因に外部リクエストを指定した場合は、OIS3、OIS2、 OS1、OS0、NDER9 ビット、PB ₁ DDR ビットとは無関係に $\overline{\text{DREQ}}_0$ 入力 端子となります。					
PB ₀ /TP ₈ / TMO ₀	8TCSR0 の OIS3、OIS2、OS1、OS0 ビット、NDERB の NDER8 ビットと PB ₀ DDR ビットの組み合わせにより、次のように切り替わります。				
	OIS3, OIS2, OS1, OS0	すべてが 0			いずれかが 1
	PB ₀ DDR	0	1	1	-
	NDER8	-	0	1	-
	端子機能	PB ₀ 入力端子	PB ₀ 出力端子	TP ₈ 出力端子	TMO ₀ 出力端子

9. 16 ビットタイマ

第9章 目次

9.1	概要	353
9.1.1	特長	353
9.1.2	ブロック図	355
9.1.3	端子構成.....	358
9.1.4	レジスタ構成	359
9.2	各レジスタの説明	360
9.2.1	タイマスタートレジスタ (TSTR)	360
9.2.2	タイマシンクロレジスタ (TSNC)	361
9.2.3	タイマモードレジスタ (TMDR)	363
9.2.4	タイマインタラプトステータスレジスタ A (TISRA)	366
9.2.5	タイマインタラプトステータスレジスタ B (TISRB)	369
9.2.6	タイマインタラプトステータスレジスタ C (TISRC)	372
9.2.7	タイマカウンタ (16TCNT)	375
9.2.8	ジェネラルレジスタ A、B (GRA、GRB)	376
9.2.9	タイマコントロールレジスタ (16TCR)	377
9.2.10	タイマ I/O コントロールレジスタ (TIOR)	380
9.2.11	タイマアウトプットレベルセットレジスタ (TOLR)	383
9.3	CPU とのインタフェース	385
9.3.1	16 ビットアクセス可能なレジスタ	385
9.3.2	8 ビットアクセスのレジスタ.....	387
9.4	動作説明.....	388
9.4.1	概要	388
9.4.2	基本機能.....	389
9.4.3	同期動作.....	399
9.4.4	PWM モード	401
9.4.5	位相計数モード.....	405
9.4.6	16 ビットタイマ出力初期値の設定	407

9.5	割り込み.....	408
9.5.1	ステータスフラグのセットタイミング	408
9.5.2	ステータスフラグのクリアタイミング	410
9.5.3	割り込み要因	411
9.6	使用上の注意	412

9.1 概要

本 LSI は、3 チャンネルの 16 ビットカウンタにより構成される 16 ビットタイマを内蔵しています。

9.1.1 特長

16 ビットタイマの特長を以下に示します。

最大 6 種類のパルス出力、または最大 6 種類のパルス入力処理が可能

各チャンネル 2 本、合計 6 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立にアウトプットコンペアマッチ/インプットキャプチャの機能設定が可能

各チャンネルとも 8 種類のカウンタ入力クロックを選択可能

内部クロック：、 $/2$ 、 $/4$ 、 $/8$

外部クロック：TCLKA、TCLKB、TCLKC、TCLKD

各チャンネルとも次の動作モードを設定可能

- ・コンペアマッチによる波形出力：0 出力 / 1 出力 / トグル出力が選択可能 (チャンネル 2 は 0 出力 / 1 出力が可能)
- ・インプットキャプチャ機能：立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が選択可能
- ・カウンタクリア機能：コンペアマッチ / インプットキャプチャによるカウンタクリアが可能
- ・同期動作：複数のタイマカウンタ (16TCNT) への同時書き込みが可能
コンペアマッチ / インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- ・PWM モード：任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 3 相の PWM 出力が可能

チャンネル 2 は位相計数モードを設定可能

2 相エンコーダのカウント数の自動計測が可能

内部 16 ビットバスによる高速アクセス

16TCNT、GR の 16 ビットレジスタに対して、16 ビットバスによる高速アクセスが可能

タイマ出力初期値を任意に設定可能

9 種類の割り込み要因

各チャンネルともコンペアマッチ / インプットキャプチャ兼用割り込み $\times 2$ 要因、オーバーフロー割り込み $\times 1$ 要因があり、それぞれ独立に要求可能

プログラマブルパターンコントローラ (TPC) の出力トリガが生成可能

チャンネル 0~2 のコンペアマッチ / インプットキャプチャ信号を TPC の出力トリガとして使用可能

16 ビットタイマの機能一覧を表 9.1 に示します。

表 9.1 16 ビットタイマの機能一覧

項目		チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック		内部クロック： 、 /2、 /4、 /8 外部クロック： TCLKA、 TCLKB、 TCLKC、 TCLKD から独立に選択可能		
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ兼用レジスタ)		GRA0、GRB0	GRA1、GRB1	GRA2、GRB2
入出力端子		TIOCA ₀ 、TIOCB ₀	TIOCA ₁ 、TIOCB ₁	TIOCA ₂ 、TIOCB ₂
カウンタクリア機能		GRA0/GRB0 のコンペアマッチまたはインプットキャプチャ	GRA1/GRB1 のコンペアマッチまたはインプットキャプチャ	GRA2/GRB2 のコンペアマッチまたはインプットキャプチャ
出力初期値設定機能				
コンペア マッチ 出力	0 出力			
	1 出力			
	トグル出力			
インプットキャプチャ機能				
同期動作				
PWM モード				
位相計数モード				
割り込み要因		3 要因 ・コンペアマッチ/インプットキャプチャ A0 ・コンペアマッチ/インプットキャプチャ B0 ・オーバーフロー	3 要因 ・コンペアマッチ/インプットキャプチャ A1 ・コンペアマッチ/インプットキャプチャ B1 ・オーバーフロー	3 要因 ・コンペアマッチ/インプットキャプチャ A2 ・コンペアマッチ/インプットキャプチャ B2 ・オーバーフロー

【記号説明】

: 可能

- : 不可

9.1.2 ブロック図

(1) 16ビットタイマのブロック図(全体図)

16ビットタイマのブロック図(全体図)を図9.1に示します。

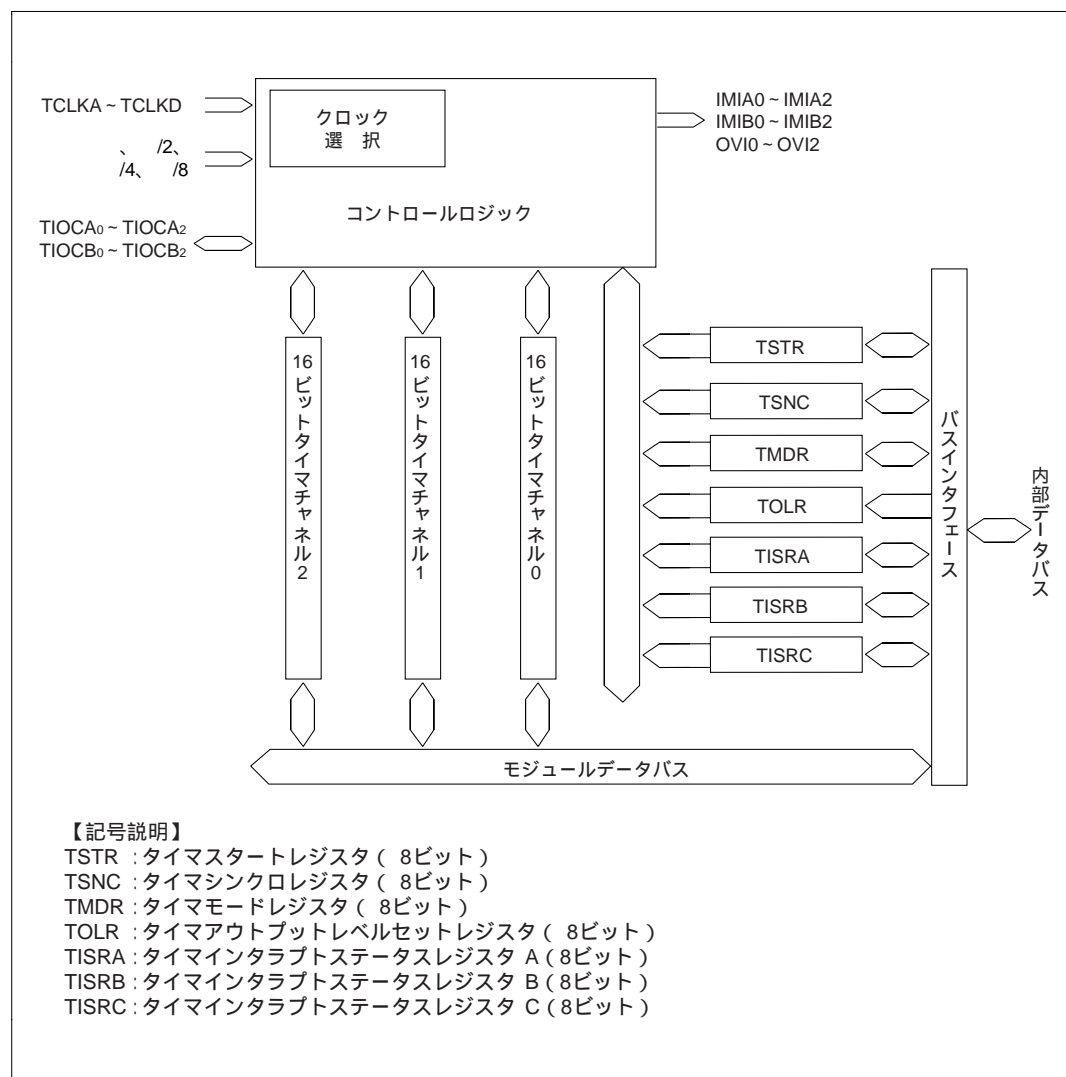


図9.1 16ビットタイマのブロック図(全体図)

(2) チャンネル0、1のブロック図

16ビットタイマのチャンネル0、1は同一の機能を持っています。チャンネル0、1のブロック図を図9.2に示します。

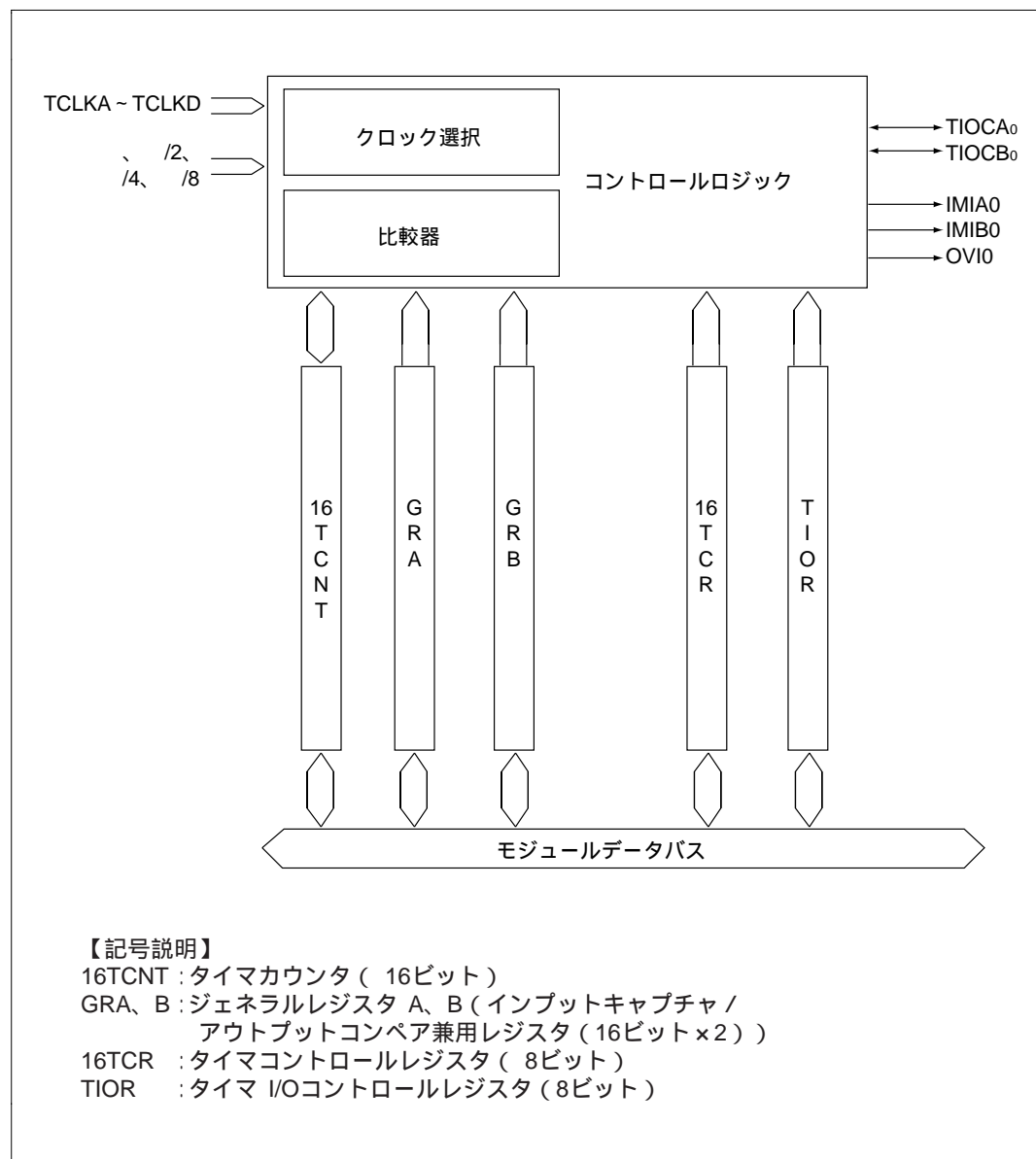


図9.2 チャンネル0、1のブロック図

(3) チャンネル2のブロック図

チャンネル2のブロック図を図9.3に示します。

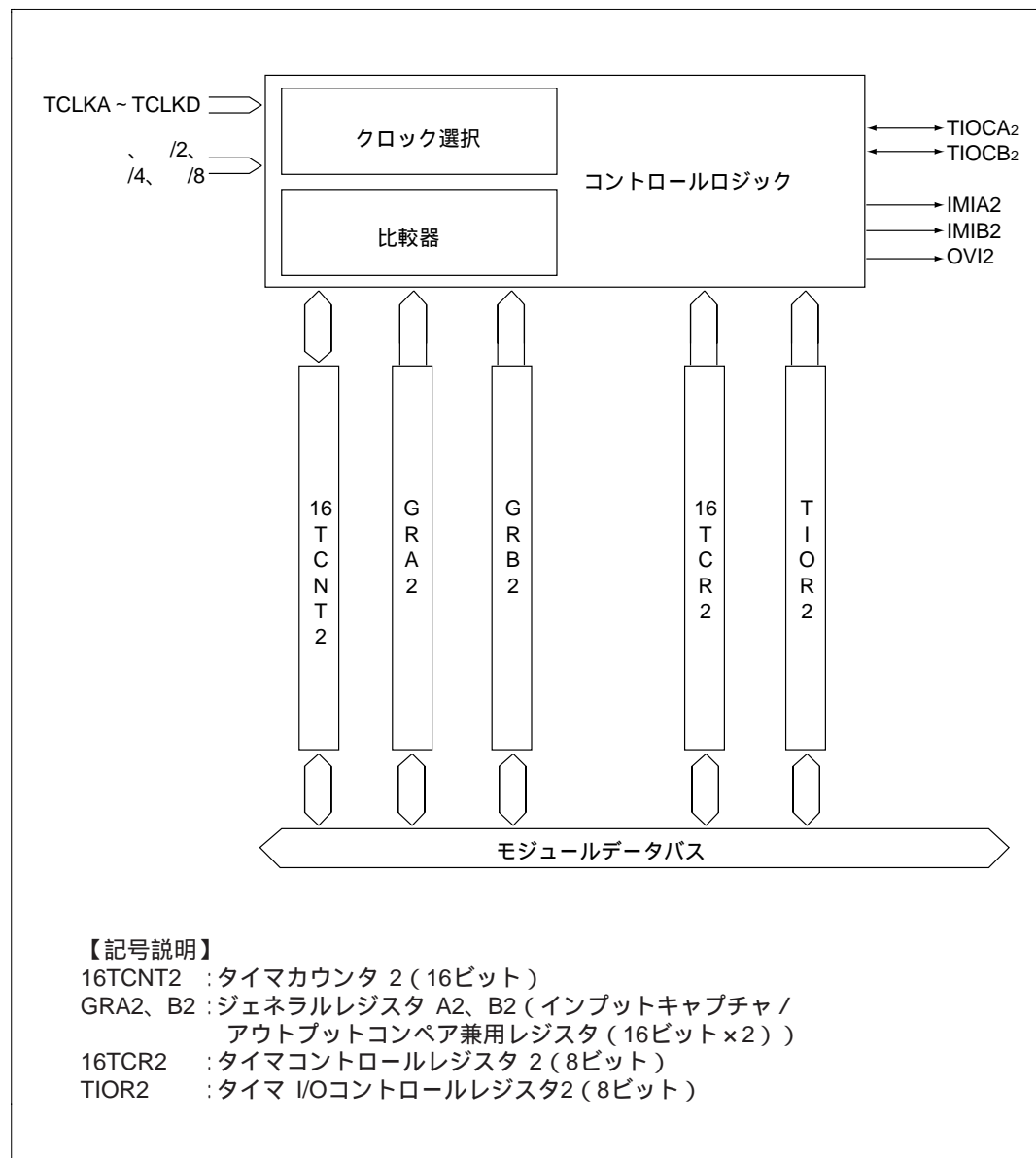


図9.3 チャンネル2のブロック図

9.1.3 端子構成

16ビットタイマの端子構成を表9.2に示します。

表9.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インプットキャプチャ / アウトプットコンペア A0	TIOCA ₀	入出力	GRA0 アウトプットコンペア出力 / GRA0 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B0	TIOCB ₀	入出力	GRB0 アウトプットコンペア出力 / GRB0 インプットキャプチャ入力端子
1	インプットキャプチャ / アウトプットコンペア A1	TIOCA ₁	入出力	GRA1 アウトプットコンペア出力 / GRA1 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B1	TIOCB ₁	入出力	GRB1 アウトプットコンペア出力 / GRB1 インプットキャプチャ入力端子
2	インプットキャプチャ / アウトプットコンペア A2	TIOCA ₂	入出力	GRA2 アウトプットコンペア出力 / GRA2 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B2	TIOCB ₂	入出力	GRB2 アウトプットコンペア出力 / GRB2 インプットキャプチャ入力端子

9.1.4 レジスタ構成

16ビットタイマのレジスタ構成を表9.3に示します。

表9.3 レジスタ構成

チャンネル	アドレス ^{*1}	名称	略称	R/W	初期値
共通	H'FFF60	タイマスタートレジスタ	TSTR	R/W	H'F8
	H'FFF61	タイマシンクロレジスタ	TSNC	R/W	H'F8
	H'FFF62	タイマモードレジスタ	TMDR	R/W	H'98
	H'FFF63	タイマアウトプットレベルセットレジスタ	TOLR	W	H'C0
	H'FFF64	タイマインタラプトステータスレジスタ A	TISRA	R/(W) ^{*2}	H'88
	H'FFF65	タイマインタラプトステータスレジスタ B	TISRB	R/(W) ^{*2}	H'88
	H'FFF66	タイマインタラプトステータスレジスタ C	TISRC	R/(W) ^{*2}	H'88
0	H'FFF68	タイマコントロールレジスタ 0	16TCR0	R/W	H'80
	H'FFF69	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FFF6A	タイマカウンタ 0H	16TCNT0H	R/W	H'00
	H'FFF6B	タイマカウンタ 0L	16TCNT0L	R/W	H'00
	H'FFF6C	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FFF6D	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FFF6E	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FFF6F	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FFF70	タイマコントロールレジスタ 1	16TCR1	R/W	H'80
	H'FFF71	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FFF72	タイマカウンタ 1H	16TCNT1H	R/W	H'00
	H'FFF73	タイマカウンタ 1L	16TCNT1L	R/W	H'00
	H'FFF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FFF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FFF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FFF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FFF78	タイマコントロールレジスタ 2	16TCR2	R/W	H'80
	H'FFF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FFF7A	タイマカウンタ 2H	16TCNT2H	R/W	H'00
	H'FFF7B	タイマカウンタ 2L	16TCNT2L	R/W	H'00
	H'FFF7C	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FFF7D	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FFF7E	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FFF7F	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 ビット 3～0 はフラグをクリアするための 0 ライトのみ可能です。

9.2 各レジスタの説明

9.2.1 タイマスタートレジスタ (TSTR)

TSTRは8ビットのリード/ライト可能なレジスタで、チャンネル0~2の16TCNTの動作/停止を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

リザーブビット

カウンタスタート2~0
16TCNT2~16TCNT0の動作/停止を
選択するビットです。

TSTRはリセット、またはスタンバイモード時に、HF8にイニシャライズされます。

ビット7~3:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2:カウンタスタート 2 (STR2)

タイマカウンタ2 (16TCNT2) の動作/停止を選択します。

ビット2	
STR2	説 明
0	16TCNT2のカウンタ動作は停止 (初期値)
1	16TCNT2はカウンタ動作

ビット1:カウンタスタート 1 (STR1)

タイマカウンタ1 (16TCNT1) の動作/停止を選択します。

ビット1	
STR1	説 明
0	16TCNT1のカウンタ動作は停止 (初期値)
1	16TCNT1はカウンタ動作

ビット0: カウンタスタート 0 (STR0)

タイマカウンタ0 (16TCNT0) の動作 / 停止を選択します。

ビット0	説 明
STR0	
0	16TCNT0 のカウント動作は停止 (初期値)
1	16TCNT0 はカウント動作

9.2.2 タイマシンクロレジスタ (TSNC)

TSNC は8ビットのリード / ライト可能なレジスタで、チャンネル0~2の独立動作 / 同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

リザーブビット
タイマ同期2~0
チャンネル2~0の同期動作を設定するビットです。

TSNC はリセット、またはスタンバイモード時に、HF8 にイニシャライズされます。

ビット7~3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2: タイマ同期 2 (SYNC2)

チャンネル2の独立動作 / 同期動作を選択します。

ビット2	説 明
SYNC2	
0	チャンネル2のタイマカウンタ (16TCNT2) は独立動作 (16TCNT2のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル2は同期動作 16TCNT2の同期プリセット / 同期クリアが可能

ビット1: タイマ同期 1 (SYNC1)

チャンネル1の独立動作 / 同期動作を選択します。

ビット1	説 明
SYNC1	
0	チャンネル1のタイマカウンタ (16TCNT1) は独立動作 (16TCNT1のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル1は同期動作 16TCNT1は同期プリセット / 同期クリアが可能

ビット0: タイマ同期 0 (SYNC0)

チャンネル0の独立動作 / 同期動作を選択します。

ビット0	説 明
SYNC0	
0	チャンネル0のタイマカウンタ (16TCNT0) は独立動作 (16TCNT0のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル0は同期動作 16TCNT0は同期プリセット / 同期クリアが可能

9.2.3 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~2 の PWM モードの設定、チャンネル 2 の位相計数モードの設定およびオーバーフローフラグ (OVF) のセット条件の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	—	—	PWM2	PWM1	PWM0
初期値:	1	0	0	1	1	0	0	0
R/W:	—	R/W	R/W	—	—	R/W	R/W	R/W

PWMモード2~0
チャンネル2~0をPWMモードに
設定するビットです。

リザーブビット

フラグディレクション
TISRCのOVFフラグセット条件を
設定するビットです。

位相計数モード
チャンネル2を位相計数モードに設定するビットです。

リザーブビット

TMDR はリセット、またはスタンバイモード時に、H'98 にイニシャライズされます。

ビット7:リザーブビット









リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット6:位相計数モード (MDF)

チャンネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット 6	説 明
MDF	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は位相計数モード

MDF ビットを 1 にセットして位相計数モードにすると、16TCNT2 はアップ/ダウンカウンタ、TCLKA、TCLKB 端子がカウントクロック入力端子となります。16TCNT2 は TCLKA、TCLKB 端子の立ち上がり () 立ち下がり () の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA端子		High		Low	Low		High	
TCLKB端子	Low		High			High		Low

位相計数モードでは、16TCR2のCKEG1、CKEG0ビットによる外部クロックエッジの選択、およびTPSC2～TPSC0ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、16TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、TIOA2、TISRA、TISRB、TISRCのコンペアマッチ/インプットキャプチャ機能と割り込みの設定は位相計数モードでも有効です。

ビット5: フラグディレクション (FDIR)

TISRCのOVFフラグのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	
FDIR	説 明
0	TISRCのOVFフラグは、16TCNT2がオーバフローまたはアンダフローしたときに1にセット (初期値)
1	TISRCのOVFフラグは、16TCNT2がオーバフローしたときに1にセット

ビット4、3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2: PWMモード2 (PWM2)

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	
PWM2	説 明
0	チャンネル2は通常動作 (初期値)
1	チャンネル2はPWMモード

PWM2を1にセットしてPWMモードにすると、TIOCA₂端子はPWM出力端子となり、GRA2のコンペアマッチで1出力、GRB2のコンペアマッチで0出力となります。

ビット1: PWMモード1 (PWM1)

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説 明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を1にセットしてPWMモードにすると、TIOCA₁端子はPWM出力端子となり、GRA1のコンペアマッチで1出力、GRB1のコンペアマッチで0出力となります。

ビット0: PWMモード0 (PWM0)

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説 明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を1にセットしてPWMモードにすると、TIOCA₀端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

9.2.4 タイマインタラプトステータスレジスタ A (TISRA)

TISRA は 8 ビットのリード/ライト可能なレジスタで、GRA のコンペアマッチ/イン
プットキャプチャの発生を示し、GRA のコンペアマッチ/インプットキャプチャ割り込
み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	IMIEA2	IMIEA1	IMIEA0	—	IMFA2	IMFA1	IMFA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*

インプットキャプチャ/
コンペアマッチフラグA2~0
GRAによるコンペアマッチ/
インプットキャプチャの発生を
示すステータスフラグです。

リザーブビット

インプットキャプチャ/コンペアマッチインタラプトイネーブルA2~0
IMFAフラグによる割り込みを許可/禁止します。

リザーブビット

【注】* フラグをクリアするための0ライトのみ可能です。

TISRA はリセット、またはスタンバイモード時に、H'88 にイニシャライズされます。

ビット7:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット6:インプットキャプチャ/コンペアマッチインタラプトイネーブル A2(IMIEA2)

IMFA2 フラグが1にセットされたとき、IMFA2 による割り込み要求を許可/禁止しま
す。

ビット6		
IMIEA2	説 明	
0	IMFA2 フラグによる割り込み (IMIA2) 要求を禁止	(初期値)
1	IMFA2 フラグによる割り込み (IMIA2) 要求を許可	

ビット5:インプットキャプチャ/コンペアマッチインタラプトイネーブル A1(IMIEA1)

IMFA1 フラグが1にセットされたとき、IMFA1 による割り込み要求を許可/禁止します。

ビット5	説 明
IMIEA1	
0	IMFA1 フラグによる割り込み (IMIA1) 要求を禁止 (初期値)
1	IMFA1 フラグによる割り込み (IMIA1) 要求を許可

ビット4:インプットキャプチャ/コンペアマッチインタラプトイネーブル A0(IMIEA0)

IMFA0 フラグが1にセットされたとき、IMFA0 による割り込み要求を許可/禁止します。

ビット4	説 明
IMIEA0	
0	IMFA0 フラグによる割り込み (IMIA0) 要求を禁止 (初期値)
1	IMFA0 フラグによる割り込み (IMIA0) 要求を許可

ビット3:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2:インプットキャプチャ/コンペアマッチフラグ A2(IMFA2)

GRA2 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット2	説 明
IMFA2	
0	[クリア条件] (初期値) IMFA2=1 の状態で、IMFA2 フラグをリードした後、IMFA2 フラグに0をライトしたとき
1	[セット条件] (1) GRA2 がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2 になったとき (2) GRA2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT2 の値が GRA2 に転送されたとき

ビット1:インプットキャプチャ/コンペアマッチフラグ A1 (IMFA1)

GRA1 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	
IMFA1	説 明
0	[クリア条件] (初期値) IMFA1 = 1 の状態で、IMFA1 フラグをリードした後、IMFA1 フラグに 0 をライトしたとき
1	[セット条件] (1) GRA1 がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1 になったとき (2) GRA1 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT1 の値が GRA1 に転送されたとき

ビット0:インプットキャプチャ/コンペアマッチフラグ A0 (IMFA0)

GRA0 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	
IMFA0	説 明
0	[クリア条件] (初期値) IMFA0 = 1 の状態で、IMFA0 フラグをリードした後、IMFA0 フラグに 0 をライトしたとき
1	[セット条件] (1) GRA0 がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0 になったとき (2) GRA0 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT0 の値が GRA0 に転送されたとき

9.2.5 タイマインタラプトステータスレジスタ B (TISRB)

TISRB は 8 ビットのリード / ライト可能なレジスタで、GRB のコンペアマッチ / インพุットキャプチャの発生を示し、GRB のコンペアマッチ / インพุットキャプチャ割り込み要求の許可 / 禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	IMIEB2	IMIEB1	IMIEB0	—	IMFB2	IMFB1	IMFB0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット
インพุットキャプチャ / コンペアマッチフラグ B2 ~ 0
GRB によるコンペアマッチ / インพุットキャプチャの発生を示すステータスフラグです。

リザーブビット
インพุットキャプチャ / コンペアマッチインタラプトイネーブル B2 ~ 0
IMFB フラグによる割り込みを許可 / 禁止します。

【注】* フラグをクリアするための 0 ライトのみ可能です。

TISRB はリセット、またはスタンバイモード時に、H'88 にイニシャライズされます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6: インพุットキャプチャ / コンペアマッチインタラプトイネーブル B2 (IMIEB2)

IMFB2 フラグが 1 にセットされたとき、IMFB2 による割り込み要求を許可 / 禁止します。

ビット 6	IMIEB2	説明
0		IMFB2 フラグによる割り込み (IMIB2) 要求を禁止 (初期値)
1		IMFB2 フラグによる割り込み (IMIB2) 要求を許可

ビット5:インプットキャプチャ/コンペアマッチインタラプトイネーブル B1(IMIEB1)

IMFB1 フラグが1にセットされたとき、IMFB1 による割り込み要求を許可/禁止します。

ビット5	説 明
IMIEB1	
0	IMFB1 フラグによる割り込み (IMIB1) 要求を禁止 (初期値)
1	IMFB1 フラグによる割り込み (IMIB1) 要求を許可

ビット4:インプットキャプチャ/コンペアマッチインタラプトイネーブル B0(IMIEB0)

IMFB0 フラグが1にセットされたとき、IMFB0 による割り込み要求を許可/禁止します。

ビット4	説 明
IMIEB0	
0	IMFB0 フラグによる割り込み (IMIB0) 要求を禁止 (初期値)
1	IMFB0 フラグによる割り込み (IMIB0) 要求を許可

ビット3:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2:インプットキャプチャ/コンペアマッチフラグ B2(IMFB2)

GRB2のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット2	説 明
IMFB2	
0	[クリア条件] (初期値) IMFB2 = 1 の状態で、IMFB2 フラグをリードした後、IMFB2 フラグに0をライトしたとき
1	[セット条件] (1) GRB2 がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2 になったとき (2) GRB2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT2 の値が GRB2 に転送されたとき

ビット1:インプットキャプチャ/コンペアマッチフラグ B1 (IMFB1)

GRB1のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	
IMFB1	説 明
0	[クリア条件] (初期値) IMFB1 = 1 の状態で、IMFB1 フラグをリードした後、IMFB1 フラグに 0 をライトしたとき
1	[セット条件] (1) GRB1 がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1 になったとき (2) GRB1 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT1 の値が GRB1 に転送されたとき

ビット0:インプットキャプチャ/コンペアマッチフラグ B0 (IMFB0)

GRB0のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	
IMFB0	説 明
0	[クリア条件] (初期値) IMFB0 = 1 の状態で、IMFB0 フラグをリードした後、IMFB0 フラグに 0 をライトしたとき
1	[セット条件] (1) GRB0 がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0 になったとき (2) GRB0 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT0 の値が GRB0 に転送されたとき

9.2.6 タイマインタラプトステータスレジスタ C (TISRC)

TISRCは8ビットのリード/ライト可能なレジスタで、16TCNTのオーバーフロー/アンダフローの発生を示し、オーバーフロー割り込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	OVIE2	OVIE1	OVIE0	—	OVF2	OVF1	OVF0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*
	リザーブビット	リザーブビット			リザーブビット	オーバーフローフラグ2~0 OVFフラグによる割り込みの発生を示すステータスフラグです。		
		オーバーフローインタラプトイネーブル2~0 OVFフラグによる割り込みを許可/禁止します。						

【注】* フラグをクリアするための0ライトのみ可能です。

TISRCはリセット、またはスタンバイモード時に、H'88にイニシャライズされます。

ビット7:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット6:オーバーフローインタラプトイネーブル 2 (OVIE2)

OVF2フラグが1にセットされたとき、OVF2による割り込み要求を許可/禁止します。

ビット6		
OVIE2	説 明	
0	OVF2フラグによる割り込み(OVF2)要求を禁止	(初期値)
1	OVF2フラグによる割り込み(OVF2)要求を許可	

ビット5: オーバフローインタラプトイネーブル 1 (OVIE1)

OVF1 フラグが1にセットされたとき、OVF1 による割り込み要求を許可 / 禁止します。

ビット5	説 明
OVIE1	
0	OVF1 フラグによる割り込み (OVI1) 要求を禁止 (初期値)
1	OVF1 フラグによる割り込み (OVI1) 要求を許可

ビット4: オーバフローインタラプトイネーブル 0 (OVIE0)

OVF0 フラグが1にセットされたとき、OVF0 による割り込み要求を許可 / 禁止します。

ビット4	説 明
OVIE0	
0	OVF0 フラグによる割り込み (OVI0) 要求を禁止 (初期値)
1	OVF0 フラグによる割り込み (OVI0) 要求を許可

ビット3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2: オーバフローフラグ 2 (OVF2)

16TCNT2 のオーバーフローの発生を示すステータスフラグです。

ビット2	説 明
OVF2	
0	[クリア条件] (初期値) OVF2 = 1 の状態で、OVF2 フラグをリードした後、OVF2 フラグに0をライトしたとき
1	[セット条件] 16TCNT2 の値がオーバーフロー (H'FFFF H'0000) またはアンダフロー (H'0000 H'FFFF) したとき

【注】 16TCNT のアンダフローは、16TCNT がアップ / ダウンカウントとして機能している場合に発生します。したがって、次の場合にのみアンダフローが発生することがあります。
チャンネル2 が位相計数モードに設定されているとき (TMDR の MDF = 1)

ビット1:オーバーフローフラグ 1 (OVF1)

16TCNT1 のオーバーフローの発生を示すステータスフラグです。

ビット1	説 明
OVF1	
0	[クリア条件] (初期値) OVF1 = 1 の状態で、OVF1 フラグをリードした後、OVF1 フラグに 0 をライトしたとき
1	[セット条件] 16TCNT1 の値がオーバーフロー (H'FFFF H'0000) したとき

ビット0:オーバーフローフラグ 0 (OVF0)

16TCNT0 のオーバーフローの発生を示すステータスフラグです。

ビット0	説 明
OVF0	
0	[クリア条件] (初期値) OVF0 = 1 の状態で、OVF0 フラグをリードした後、OVF0 フラグに 0 をライトしたとき
1	[セット条件] 16TCNT0 の値がオーバーフロー (H'FFFF H'0000) したとき

9.2.7 タイマカウンタ（16TCNT）

16TCNT は16ビットのカウンタです。16ビットタイマには、各チャネル1本、計3本の16TCNTがあります。

チャネル	略 称	機 能
0	16TCNT0	アップカウンタ
1	16TCNT1	
2	16TCNT2	位相計数モード: アップ / ダウンカウンタ 上記以外 : アップカウンタ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16TCNT は16ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、16TCRのTPSC2～TPSC0ビットにより選択します。

16TCNT0、16TCNT1はアップカウント動作を行います。

16TCNT2は位相計数モード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

16TCNTは、対応するGRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます（カウンタクリア機能）。

16TCNTがオーバフロー（H'FFFF H'0000）すると、TISRCの対応するチャネルのOVFフラグが1にセットされます。

16TCNTがアンダフロー（H'0000 H'FFFF）すると、TISRCの対応するチャネルのOVFフラグが1にセットされます。

16TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

16TCNTはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

9.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GR は、16 ビットのレジスタです。16 ビットタイマには、各チャンネル 2 本、計 6 本のジェネラルレジスタがあります。

チャンネル	略 称	機 能
0	GRA0、GRB0	アウトプットコンペア / インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットのリード / ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TIOR により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRB の値と 16TCNT の値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、TISRA/TISRB の IMFA/IMFB フラグが 1 にセットされます。TIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、16TCNT の値を格納します。このとき対応する TISRA/TISRB の IMFA/IMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジは TIOR により行います。

PWM モードに設定されている場合には、TIOR の設定は無視されます。

GR は CPU と内部 16 ビットバスで接続されており、ワード / バイト単位のリード / ライトが可能です。

GR はリセット、またはスタンバイモード時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFF にイニシャライズされます。

9.2.9 タイマコントロールレジスタ（16TCR）

16TCR は 8 ビットのレジスタです。16 ビットタイマには、各チャンネル 1 本、計 3 本の 16TCR があります。

チャンネル	略 称	機 能
0	16TCR0	16TCR は 16TCNT の制御を行います。
1	16TCR1	各チャンネルの 16TCR は同一の機能を持っています。
2	16TCR2	チャンネル 2 を位相計数モードに設定したとき、16TCR2 の CKEG1、CKEG0 ビットおよび TPSC2 ~ TPSC0 ビットの設定は無効となります。

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット	カウンタクリア1、0 カウンタクリア要因を選択するビットです。		クロックエッジ1、0 クロックの検出エッジを選択するビットです。		タイマプリスケラ2~0 16TCNTのカウントクロック を選択するビットです。		

16TCR は 8 ビットのリード / ライト可能なレジスタで、16TCNT のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

16TCR はリセット、またはスタンバイモード時に H'80 にイニシャライズされます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット6、5:カウンタクリア 1、0 (CCLR1、CCLR0)

16TCNTのカウンタクリア要因を選択します。

ビット6	ビット5	説 明
CCLR1	CCLR0	
0	0	16TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャ*1で16TCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャ*1で16TCNTをクリア
	1	同期クリア。同期動作*2をしている他のタイマのカウンタクリアに同期して16TCNTをクリア

【注】 *1 GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定はTSNCにより行います。

ビット4、3:クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1		立ち上がり/立ち下がりエッジの両エッジでカウント

チャネル2が位相計数モードに設定されているとき、16TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2～0: タイマプリスケアラ 2～0 (TPSC2～TPSC0)

16TCNT のカウントクロックを選択します。

ビット2	ビット1	ビット0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: でカウント (初期値)
		1	内部クロック: /2 でカウント
	1	0	内部クロック: /4 でカウント
		1	内部クロック: /8 でカウント
1	0	0	外部クロック A: TCLKA 端子入力でカウント
		1	外部クロック B: TCLKB 端子入力でカウント
	1	0	外部クロック C: TCLKC 端子入力でカウント
		1	外部クロック D: TCLKD 端子入力でカウント

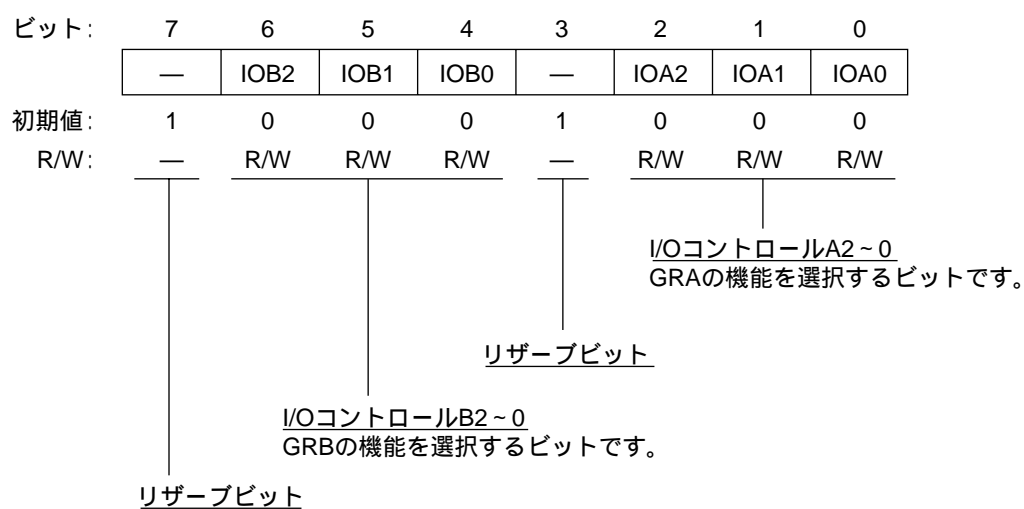
TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立ち下がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF ビット = 1) 16TCR2 の TPSC2～TPSC0 のビットの設定は無効となり、位相計数モードの動作が優先されます。

9.2.10 タイマ I/O コントロールレジスタ (TIOR)

TIOR は 8 ビットのレジスタです。16 ビットタイマには、各チャンネル 1 本、計 3 本の TIOR があります。

チャンネル	略 称	機 能
0	TIOR0	TIOR は GR の制御を行います。
1	TIOR1	PWM モード時、一部機能が異なります。
2	TIOR2	



TIOR は 8 ビットのリード / ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIORA、TIORB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 にイニシャライズされます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6 ~ 4: I/O コントロール B2 ~ 0 (IOB2 ~ IOB0)

GRB の機能を選択します。

ビット 6	ビット 5	ビット 4		
IOB2	IOB1	IOB0	説 明	
0	0	0	GRB はアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRB のコンペアマッチで 0 出力 ^{*1}
	1	0		GRB のコンペアマッチで 1 出力 ^{*1}
		1		GRB のコンペアマッチでトグル出力 ^{*1*2} (チャンネル 2 のみ 1 出力)
1	0	0	GRB はインプットキャプチャレジスタ	立ち上がりエッジで GRB ヘインプットキャプチャ
		1		立ち下がりエッジで GRB ヘインプットキャプチャ
	1	0		立ち上がり / 立ち下がりの両エッジでインプットキャプチャ
		1		

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は TOLR の設定に従います。

*2 チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

ビット 3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2～0: I/O コントロール A2～0 (IOA2～IOA0)

GRA の機能を選択します。

ビット2	ビット1	ビット0		
IOA2	IOA1	IOA0	説 明	
0	0	0	GRA はアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRA のコンペアマッチで 0 出力 ^{*1}
	1	0		GRA のコンペアマッチで 1 出力 ^{*1}
		1		GRA のコンペアマッチでトグル出力 ^{*1*2} (チャンネル2のみ1出力)
1	0	0	GRA はインプットキャプチャレジスタ	立ち上がりエッジで GRA ヘインプットキャプチャ
		1		立ち下がりエッジで GRA ヘインプットキャプチャ
	1	0		立ち上がり / 立ち下がりの両エッジでインプットキャプチャ
		1		

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は TOLR の設定に従います。

*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

9.2.11 タイマアウトプットレベルセットレジスタ (TOLR)

TOLR は 8 ビットのライト専用のレジスタで、チャンネル 0~2 のタイマ出力レベルの設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	TOB2	TOA2	TOB1	TOA1	TOB0	TOA0
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

リザーブビット

出力レベルセット A2~0、B2~0
タイマ出力 (TIOCA_{2~0}、TIOCB_{2~0})
のレベルを設定するビットです。

TOLR は TSTR の対応するビットが 0 の時のみ設定が可能です。

TOLR レジスタはライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

TOLR はリセット、またはスタンバイモード時に、H'C0 にイニシャライズされます。

ビット 7~6: リザーブビット

リード/ライトは無効です。

ビット 5: 出力レベルセット B2 (TOB2)

タイマ出力 (TIOCB₂) の値を設定します。

ビット 5	
TOB2	説 明
0	TIOCB ₂ は 0 出力 (初期値)
1	TIOCB ₂ は 1 出力

ビット 4: 出力レベルセット A2 (TOA2)

タイマ出力 (TIOCA₂) の値を設定します。

ビット 4	
TOA2	説 明
0	TIOCA ₂ は 0 出力 (初期値)
1	TIOCA ₂ は 1 出力

ビット3:出力レベルセット B1 (TOB1)

タイマ出力 (TIOCB₁) の値を設定します。

ビット3	説 明
TOB1	
0	TIOCB ₁ は 0 出力 (初期値)
1	TIOCB ₁ は 1 出力

ビット2:出力レベルセット A1 (TOA1)

タイマ出力 (TIOCA₁) の値を設定します。

ビット2	説 明
TOA1	
0	TIOCA ₁ は 0 出力 (初期値)
1	TIOCA ₁ は 1 出力

ビット1:出力レベルセット B0 (TOB0)

タイマ出力 (TIOCB₀) の値を設定します。

ビット1	説 明
TOB0	
0	TIOCB ₀ は 0 出力 (初期値)
1	TIOCB ₀ は 1 出力

ビット0:出力レベルセット A0 (TOA0)

タイマ出力 (TIOCA₀) の値を設定します。

ビット0	説 明
TOA0	
0	TIOCA ₀ は 0 出力 (初期値)
1	TIOCA ₀ は 1 出力

9.3 CPU とのインタフェース

9.3.1 16ビットアクセス可能なレジスタ

16TCNT、GRA、GRB は 16 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

16TCNT に対してワード単位のリード/ライトを行った場合の動作を図 9.4、図 9.5 に示します。

また、16TCNTH、16TCNTL に対してバイト単位のリード/ライトを行った場合の動作を図 9.6、図 9.7、図 9.8、図 9.9 に示します。

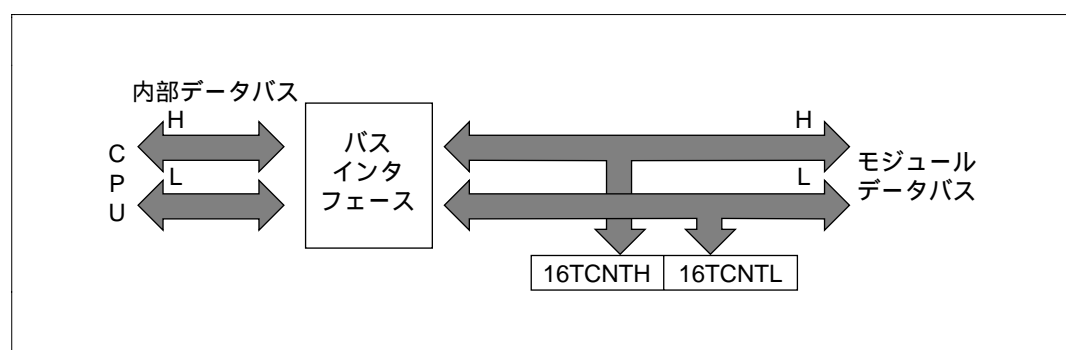


図 9.4 16TCNT のアクセス動作 [CPU 16TCNT (ワード)]

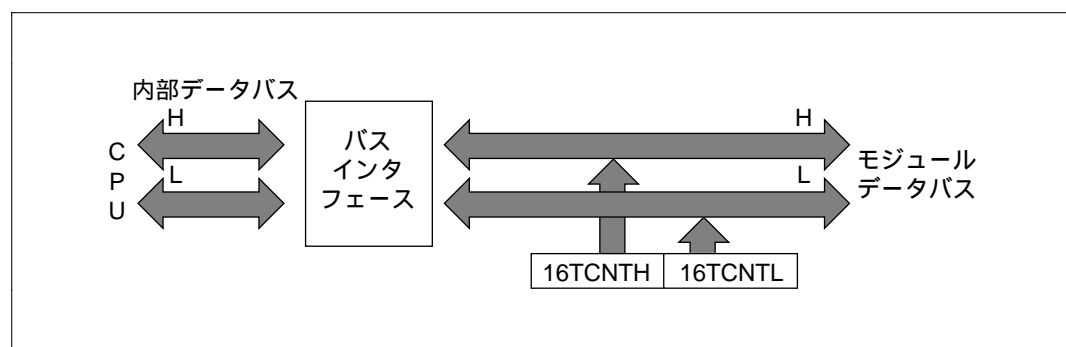


図 9.5 16TCNT のアクセス動作 [16TCNT CPU (ワード)]

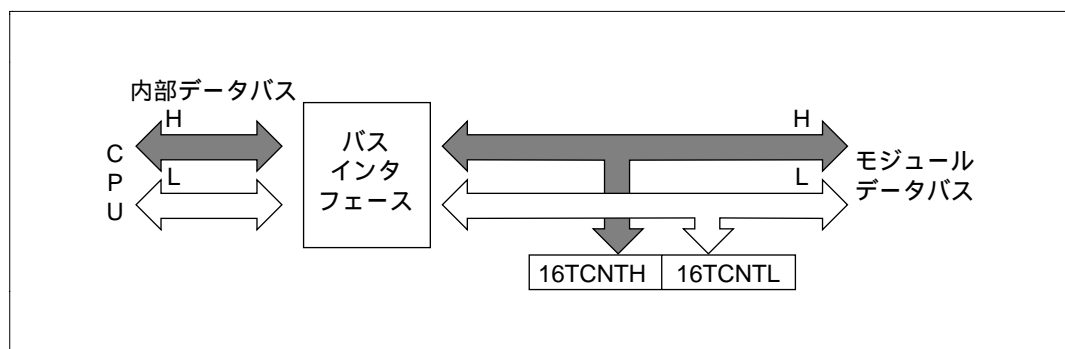


図 9.6 16TCNTH のアクセス動作 [CPU 16TCNTH (上位バイト)]

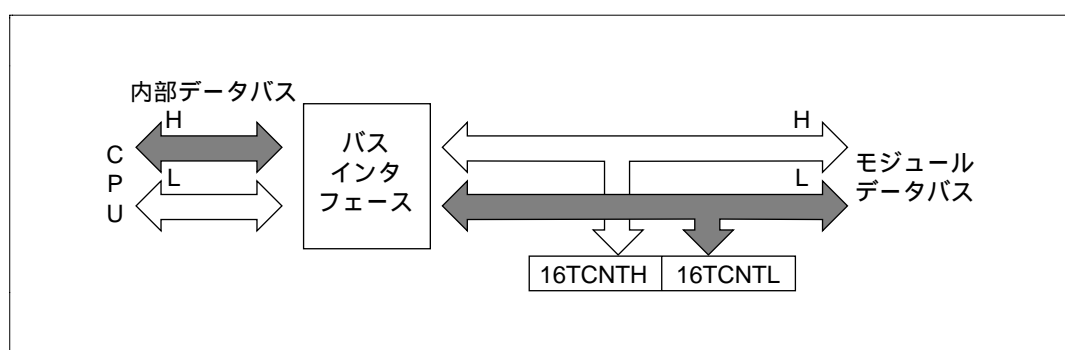


図 9.7 16TCNTL のアクセス動作 [CPU 16TCNTL (下位バイト)]

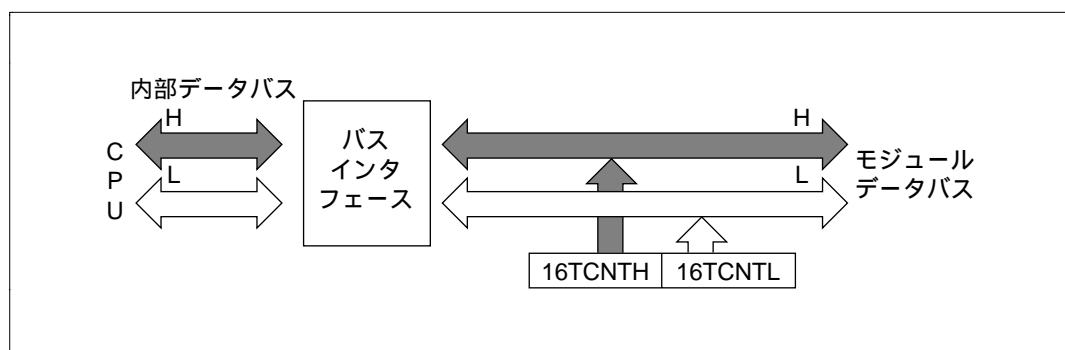


図 9.8 16TCNTH のアクセス動作 [16TCNTH CPU (上位バイト)]

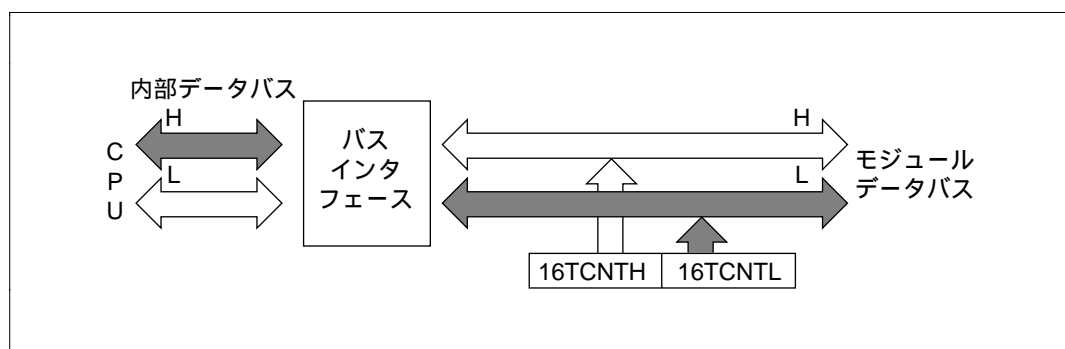


図 9.9 16TCNTL のアクセス動作 [16TCNTL CPU (下位バイト)]

9.3.2 8ビットアクセスのレジスタ

16TCNT、GR 以外のレジスタは 8 ビットのレジスタです。これらのレジスタは、CPU と内部 8 ビットデータバスで接続されています。

16TCR に対してバイト単位のリード / ライトを行った場合の動作を図 9.10、図 9.11 に示します。

なお、ワードサイズの転送命令を実行するとバイト単位 2 回の転送が行われます。

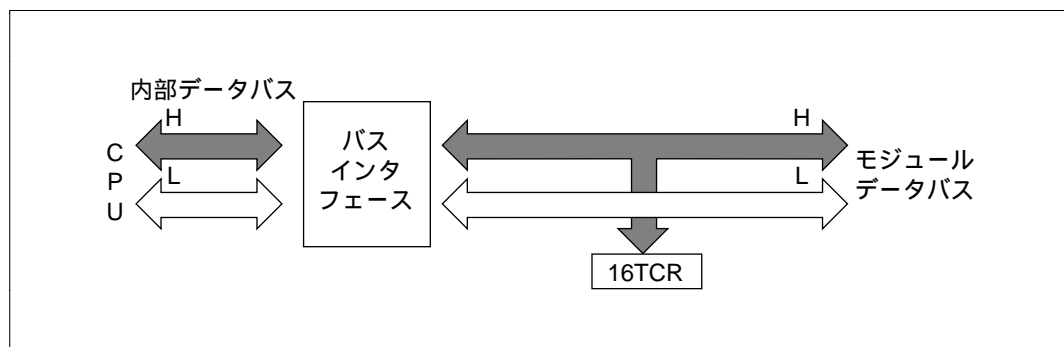


図 9.10 16TCR のアクセス動作 [CPU 16TCR]

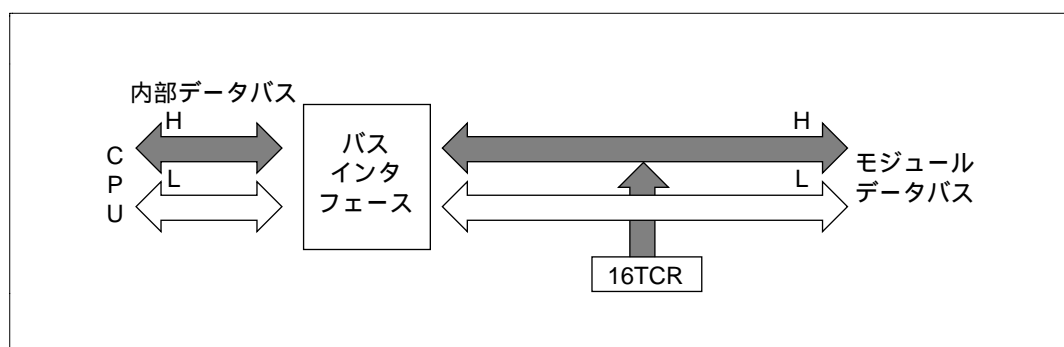


図 9.11 16TCR のアクセス動作 [16TCR CPU]

9.4 動作説明

9.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、16TCNTとGRがあります。16TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの16TCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の16TCNTを書き換えると他のチャンネルの16TCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの16TCRのCCLR1、CCLR0ビットの設定により、16TCNTの同期クリアが可能です。

(3) PWM モード

TIOCA端子からPWM波形を出力するモードです。コンペアマッチAにより1出力、コンペアマッチBにより0出力となります。GRA、GRBの設定により、デューティ0～100%のPWM波形を出力できます。PWMモードに設定すると当該チャンネルのGRA、GRBは自動的にアウトプットコンペアレジスタとして機能します。

(4) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、16TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定すると、TCLKA、TCLKB端子はクロック入力となり、また16TCNT2はアップ/ダウンカウント動作を行います。

9.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) の STR0 ~ STR2 ビットを 1 にセットすると、対応するチャンネルの 16TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 9.12 に示します。

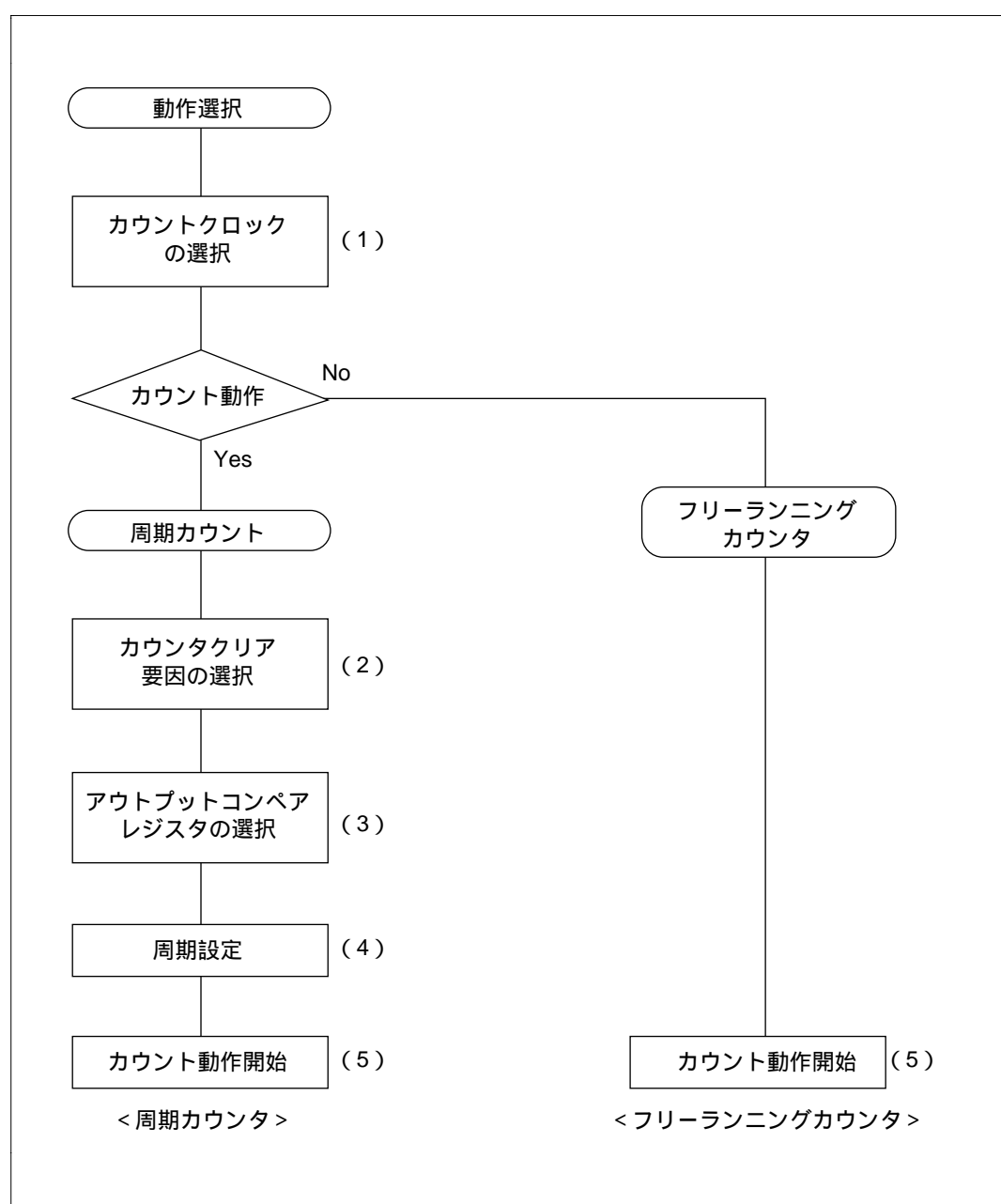


図 9.12 カウント動作設定手順例

- (1) 16TCR の TPSC2 ~ TPSC0 ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、16TCR の CKEG1、CKEG0 ビットで外部クロックのエッジを選択してください。
- (2) 周期カウント動作の場合、16TCR の CCLR1、CCLR0 ビットで 16TCNT を GRA のコンペアマッチでクリアするか、GRB のコンペアマッチでクリアするかを選択してください。
- (3) (2) で選択した GRA または GRB を、TIOCR によりアウトプットコンペアレジスタに設定してください。
- (4) (2) で選択した GRA または GRB に周期を設定してください。
- (5) TSTR の STR ビットを 1 にセットしてカウント動作を開始してください。

(b) フリーランニングカウント動作と周期カウント動作

チャンネル 0 ~ 2 のカウンタ (16TCNT) はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。16TCNT がオーバフロー (H'FFFF H'0000) すると TISRC の OVF フラグが 1 にセットされます。16TCNT はオーバフロー後、H'0000 から再びアップカウント動作を継続します。

フリーランニングカウンタの動作を図 9.13 に示します。

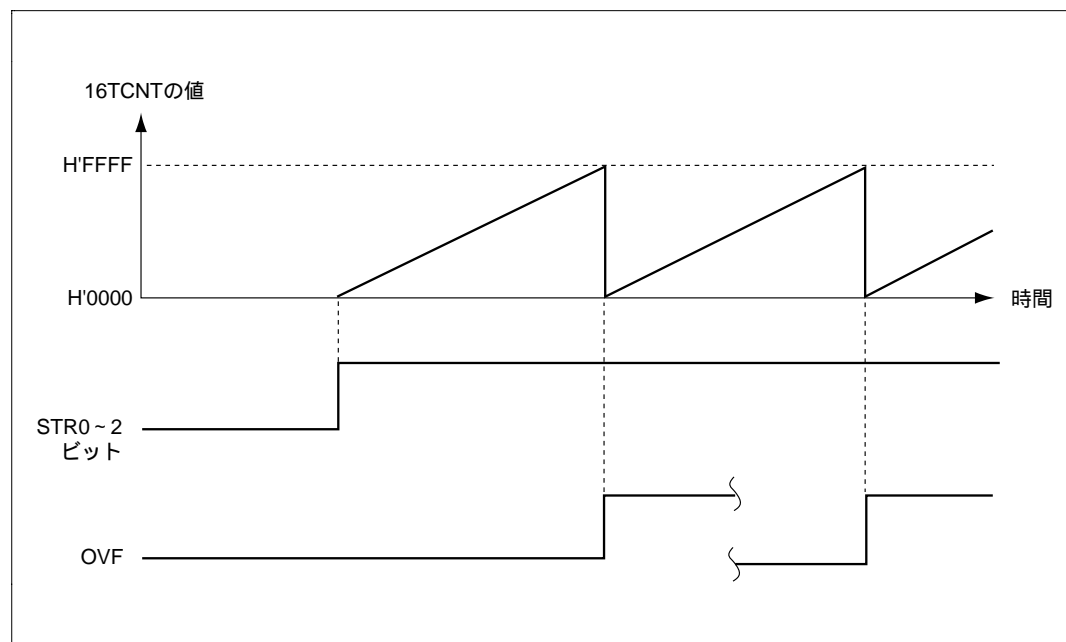


図 9.13 フリーランニングカウンタの動作

16TCNTのクリア要因にコンペアマッチを選択したときは、当該チャネルの16TCNTは周期カウント動作を行います(周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、16TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTRの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTISRA/TISRBのIMFA/IMFBフラグが1にセットされ、16TCNTはH'0000にクリアされます。

このとき、対応するTISRA/TISRBのIMIEA/IMIEBビットが1ならば、CPUに割り込みを要求します。16TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を継続します。

周期カウンタの動作を図9.14に示します。

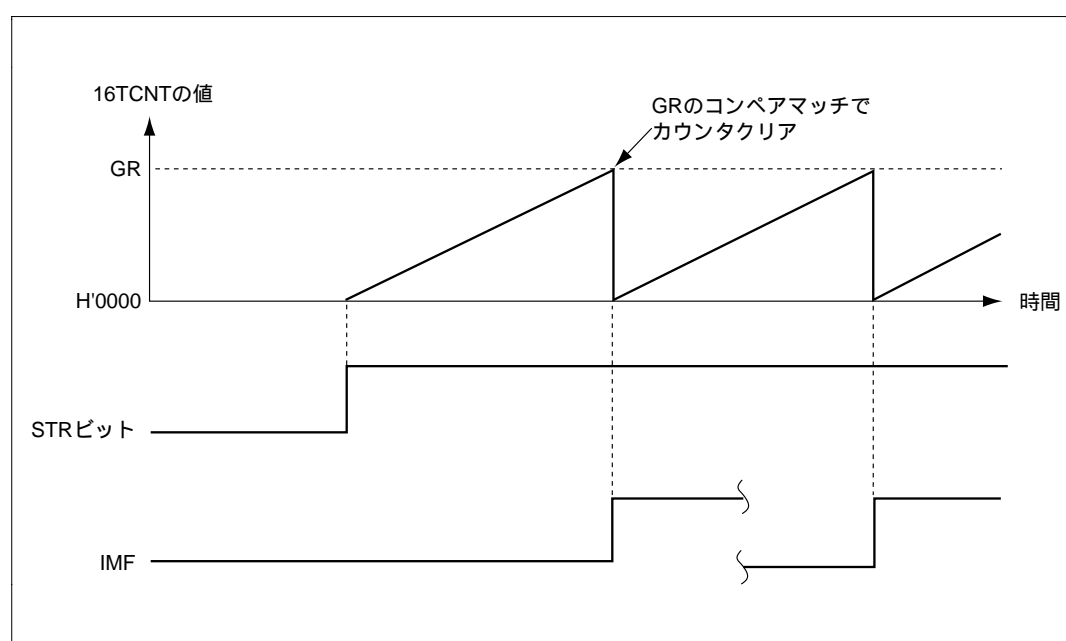


図 9.14 周期カウンタの動作

(c) 16TCNT のカウントタイミング

(1) 内部クロック動作の場合

16TCR の TPSC2 ~ TPSC0 ビットにより、システムクロック () またはシステムクロックを分周した 3 種類のクロック ($/2$ 、 $/4$ 、 $/8$) が選択できます。

このときのタイミングを図 9.15 に示します。

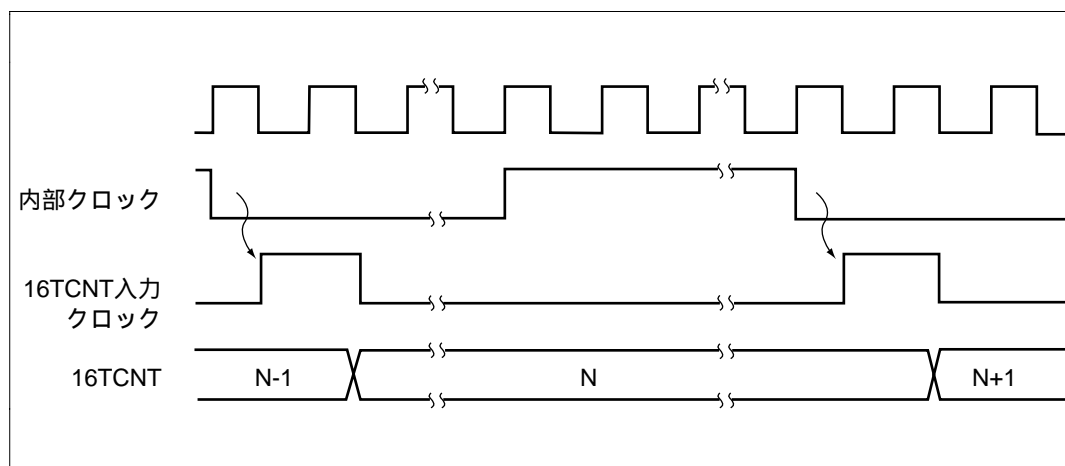


図 9.15 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

16TCR の TPSC2 ~ TPSC0 ビットにより、外部クロック入力端子 (TCLKA ~ TCLKD) を、また CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立ち上がり / 立ち下がりの両エッジ検出時のタイミングを図 9.16 に示します。

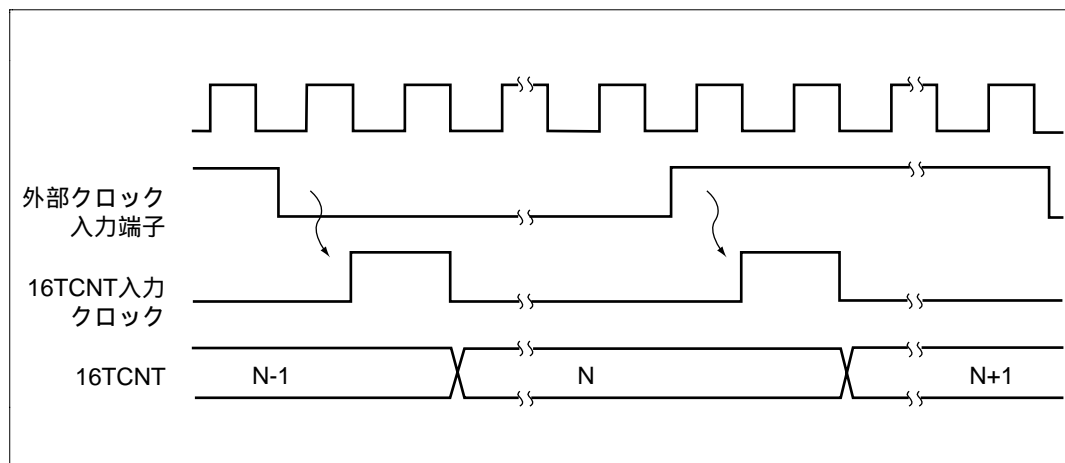


図 9.16 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

16ビットタイマチャンネル0、1は、コンペアマッチA、Bにより対応するTIOCA、TIOCB端子から0出力/1出力/トグル出力を行うことができます。

チャンネル2は0出力/1出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図9.17に示します。

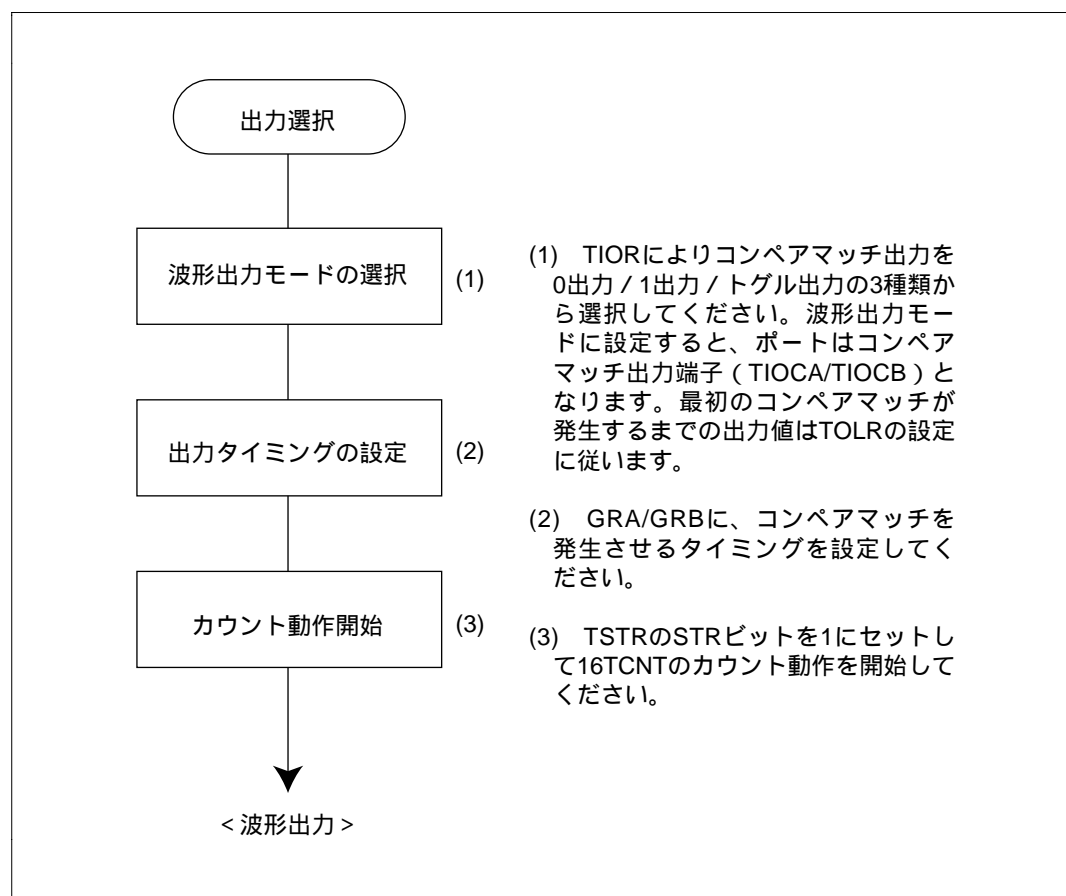


図 9.17 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力 / 1出力の例を図9.18に示します。

16TCNTフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

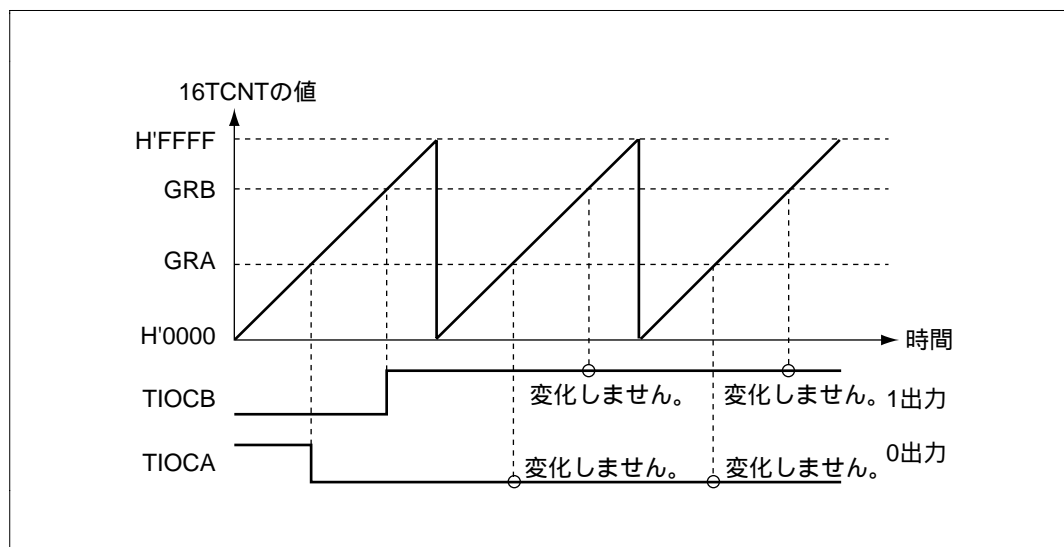


図9.18 0出力、1出力の動作例 (TOA=1, TOB=0の場合)

トグル出力の例を図9.19に示します。

16TCNTを周期カウント動作 (コンペアマッチBでカウンタクリア) に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

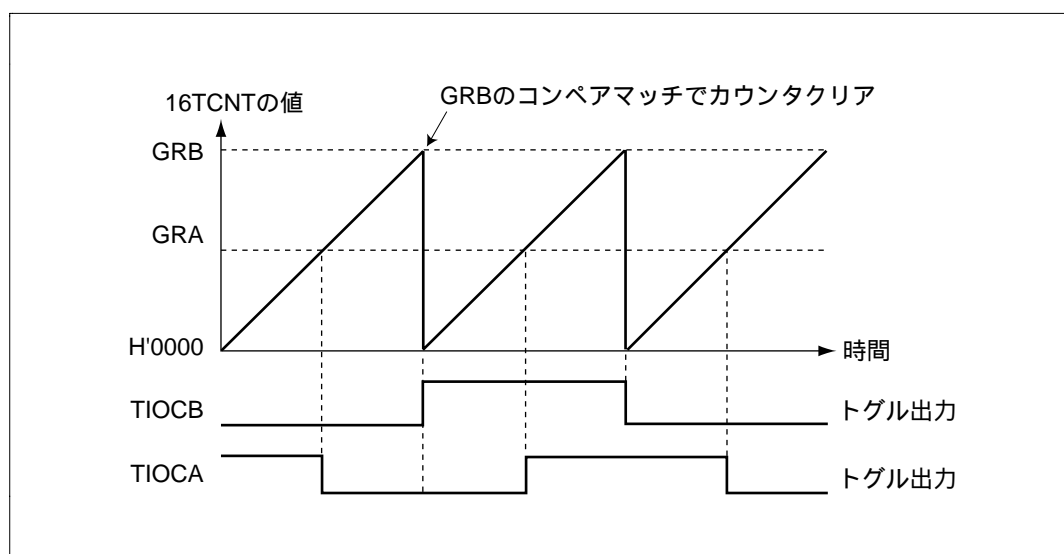


図9.19 トグル出力の動作例 (TOA=1, TOB=0の場合)

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、16TCNT と GR が一致した最後のステート（16TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定される出力値がアウトプットコンペア出力端子（TIOCA、TIOCB）に出力されます。16TCNT と GR が一致した後、16TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.20 に示します。

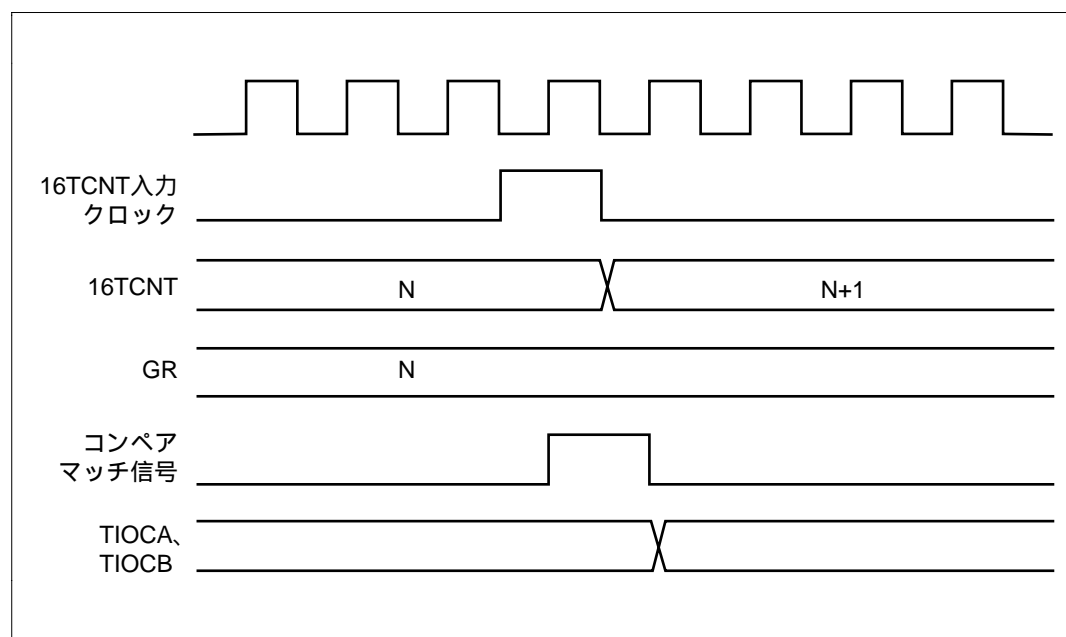


図 9.20 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TIOCA、TIOCB) の入力エッジを検出して 16TCNT の値を GR に転送することができます。検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.21 に示します。

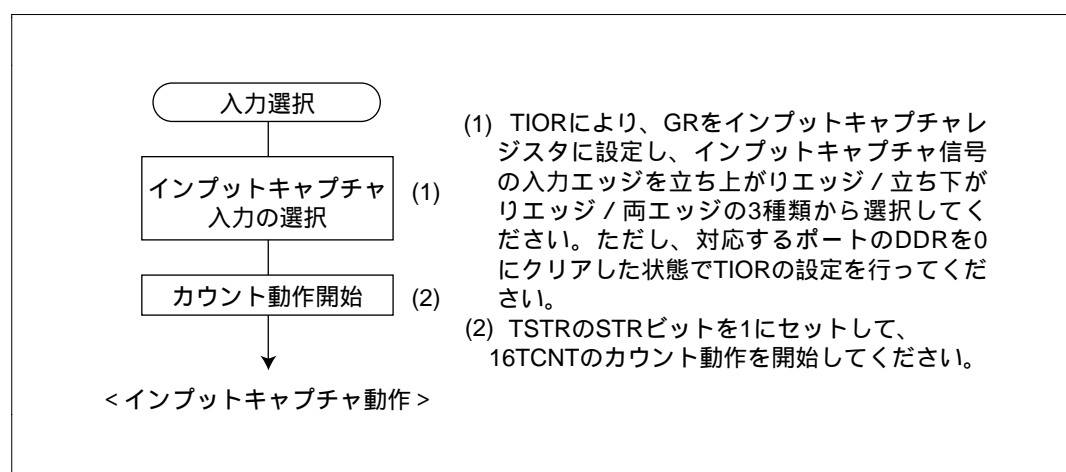


図 9.21 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 9.22 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、16TCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

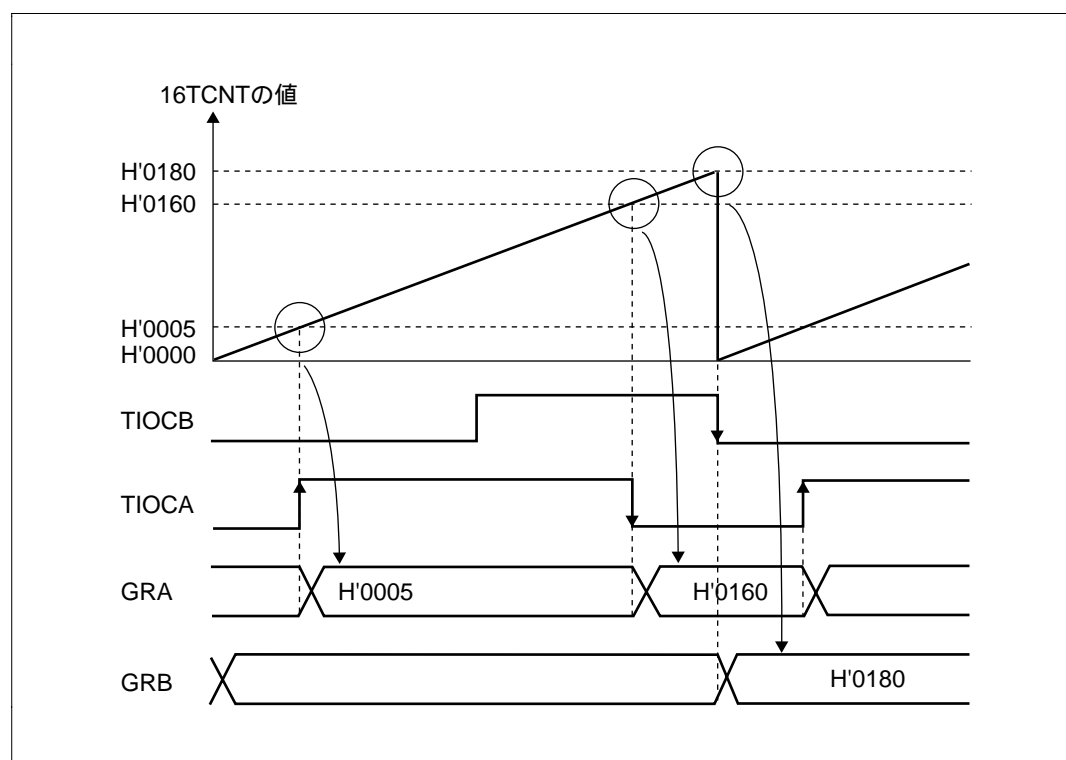


図 9.22 インพุットキャプチャ動作例

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力、TIOR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 9.23 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

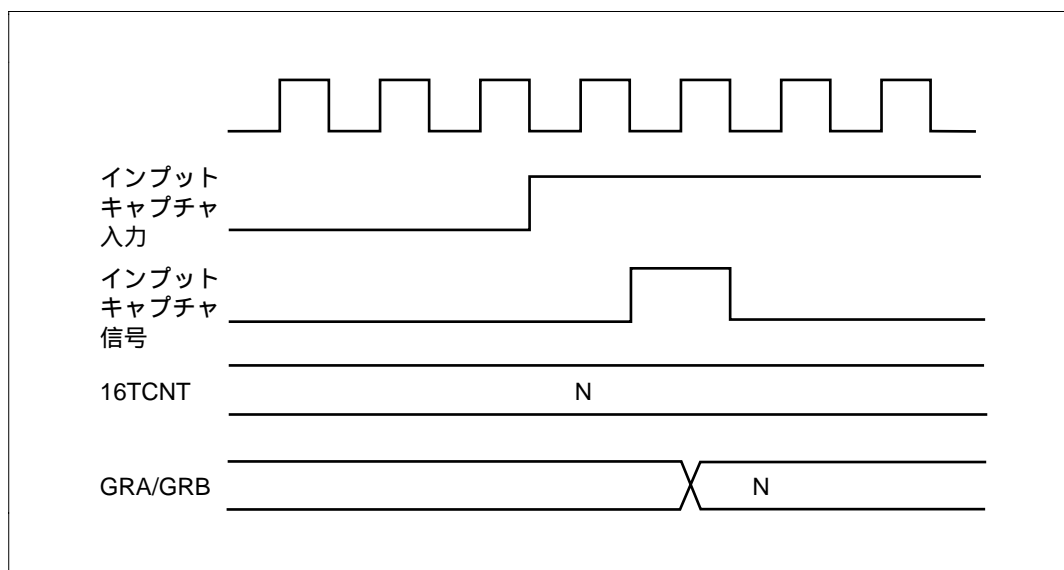


図 9.23 インพุットキャプチャ入力信号タイミング

9.4.3 同期動作

同期動作は、複数の 16TCNT の値を同時に書き換えることができます（同期プリセット）。また、16TCR の設定により複数の 16TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。

チャンネル0～2はすべて同期動作の設定が可能です。

（1）同期動作の設定手順例

同期動作の設定手順例を図 9.24 に示します。

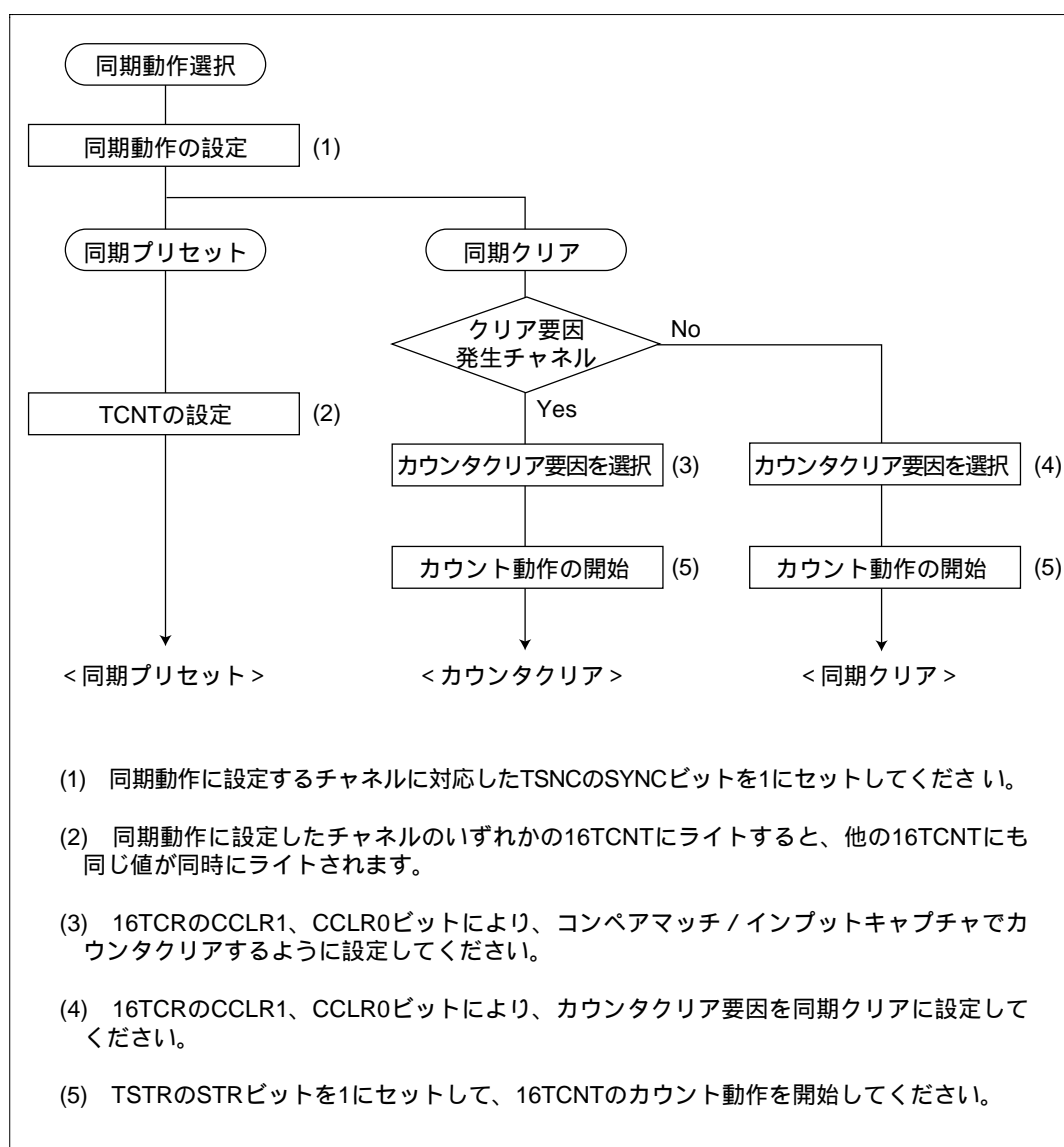


図 9.24 同期モード設定手順例

(2) 同期動作例

同期動作例を図 9.25 に示します。

チャンネル 0～2 を同期動作かつ PWM モードに設定し、チャンネル 0 のカウンタクリア要因を GRB0 のコンペアマッチ、またはチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル 0～2 の 16TCNT は同期プリセット、GRB0 のコンペアマッチによる同期クリア動作を行い、3 相の PWM 波形を TIOCA₀、TIOCA₁、TIOCA₂ 端子から出力します。

PWM モードについては「9.4.4 PWM モード」を参照してください。

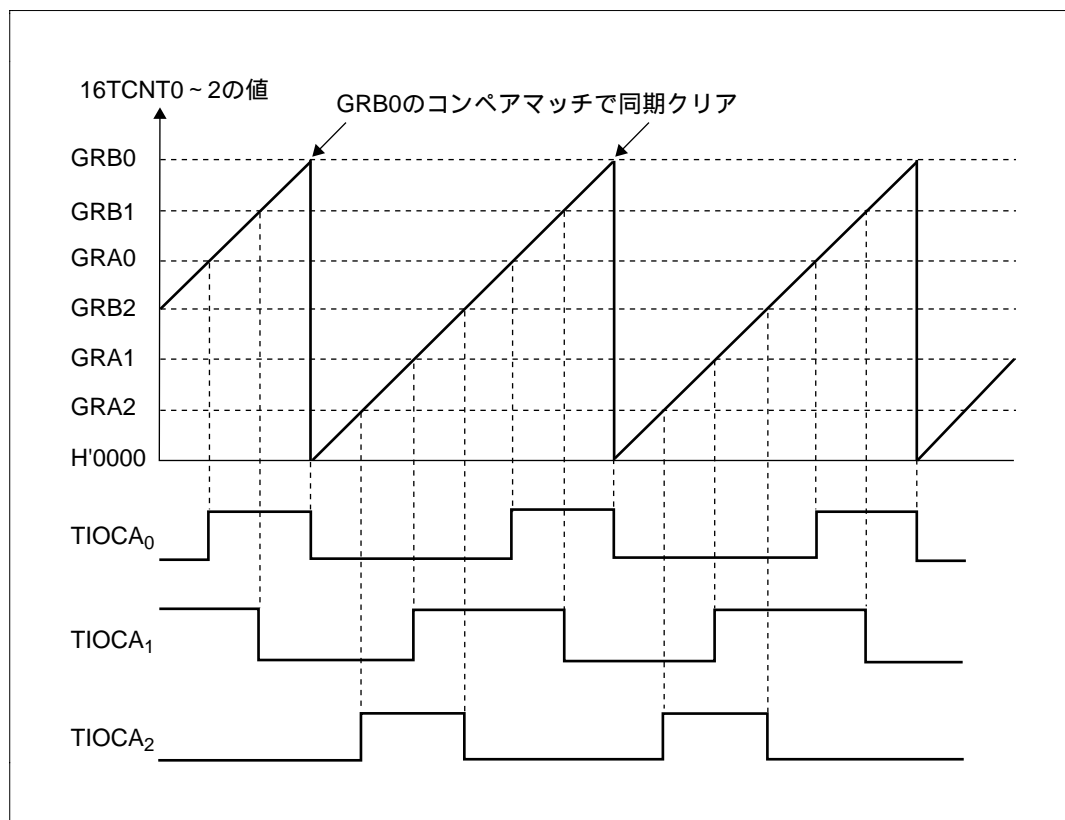


図 9.25 同期動作例

9.4.4 PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを 16TCNT のカウンタクリア要因とすることにより、デューティ 0～100% の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0～2 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 9.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 9.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA ₀	GRA0	GRB0
1	TIOCA ₁	GRA1	GRB1
2	TIOCA ₂	GRA2	GRB2

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 9.26 に示します。

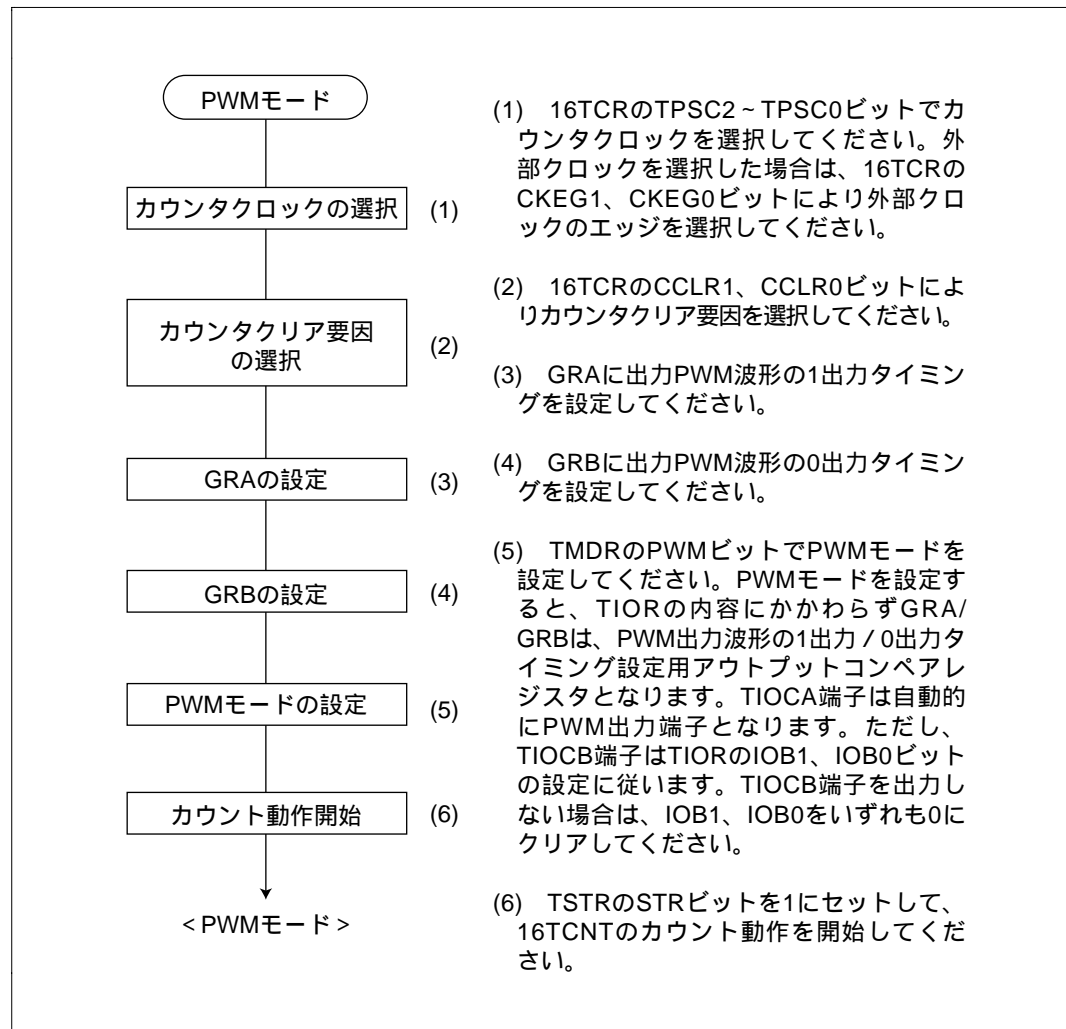


図 9.26 PWM モードの設定手順

(2) PWM モードの動作例

PWM モードの動作例を図 9.27 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

16TCNT のカウンタクリア要因を、GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウント動作も使用できます。

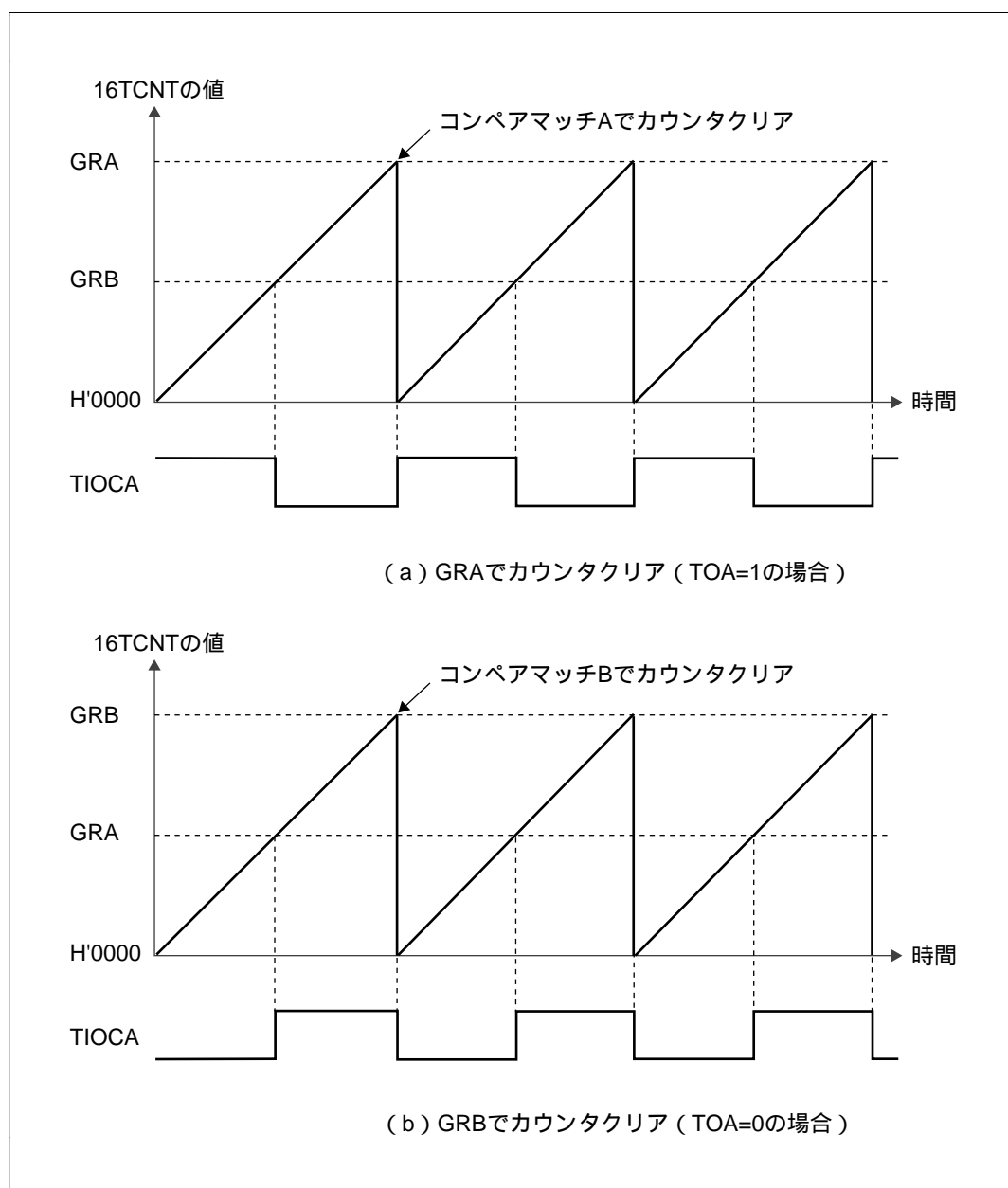


図 9.27 PWM モードの動作例

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図9.28に示します。

カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値 > GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値 > GRAの設定値としたときPWM波形はデューティ100%となります。

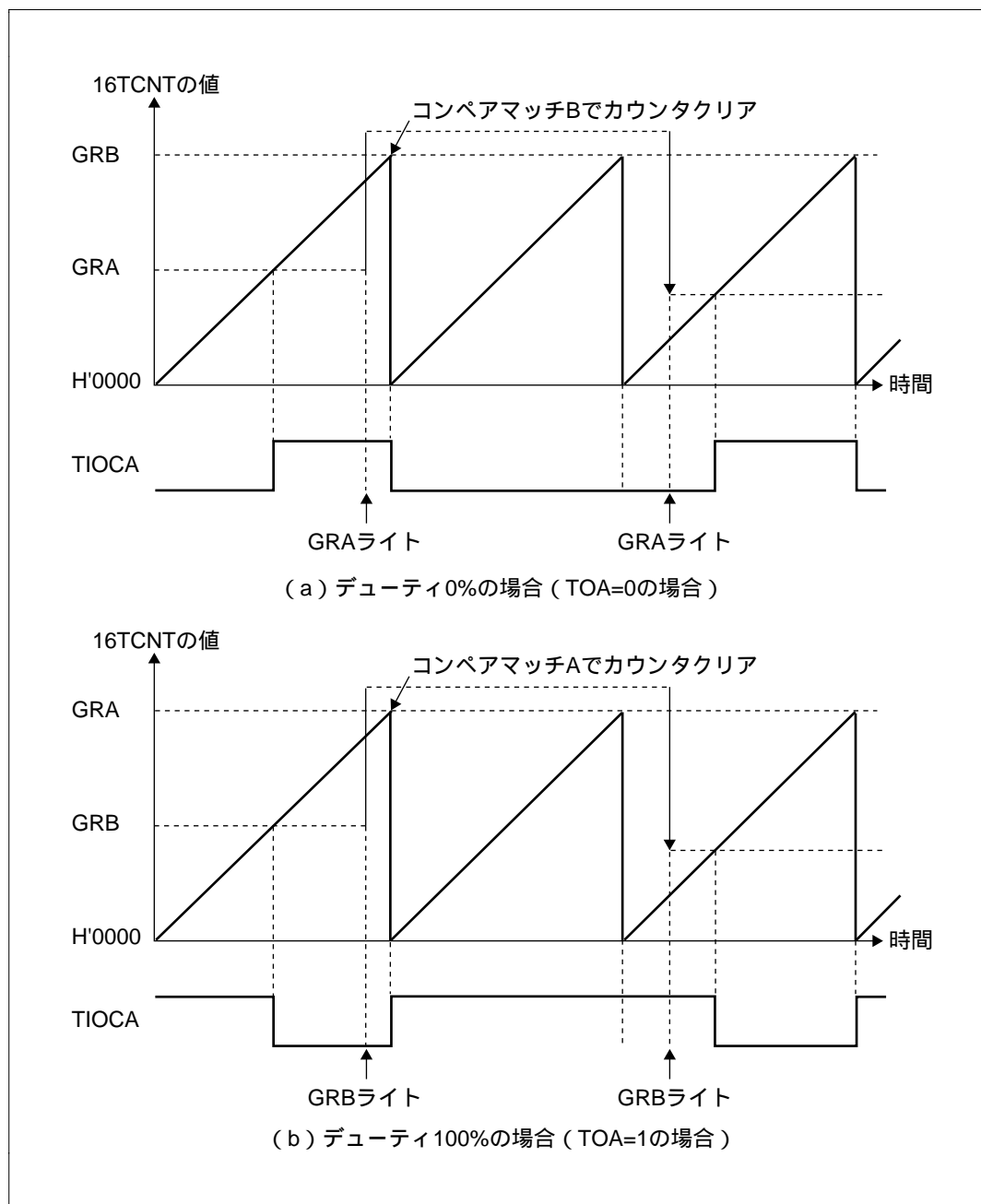


図 9.28 PWMモードの動作例

9.4.5 位相計数モード

位相計数モードは、2本の外部クロック入力（TCLKA、TCLKB 端子）の位相差を検出し、16TCNT2をアップ/ダウンカウントします。

位相計数モードに設定すると、16TCR2のTPSC2～TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、また16TCNT2はアップ/ダウンカウンタとなります。ただし、16TCR2のCCLR1、CCLR0ビット、TIOR2、TISRA、TISRB、TISRC、TSTRのSTR2ビット、GRA2、GRB2は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル2のみが持つ機能です。

（１）位相計数モードの設定手順例

位相計数モードの設定手順例を図9.29に示します。

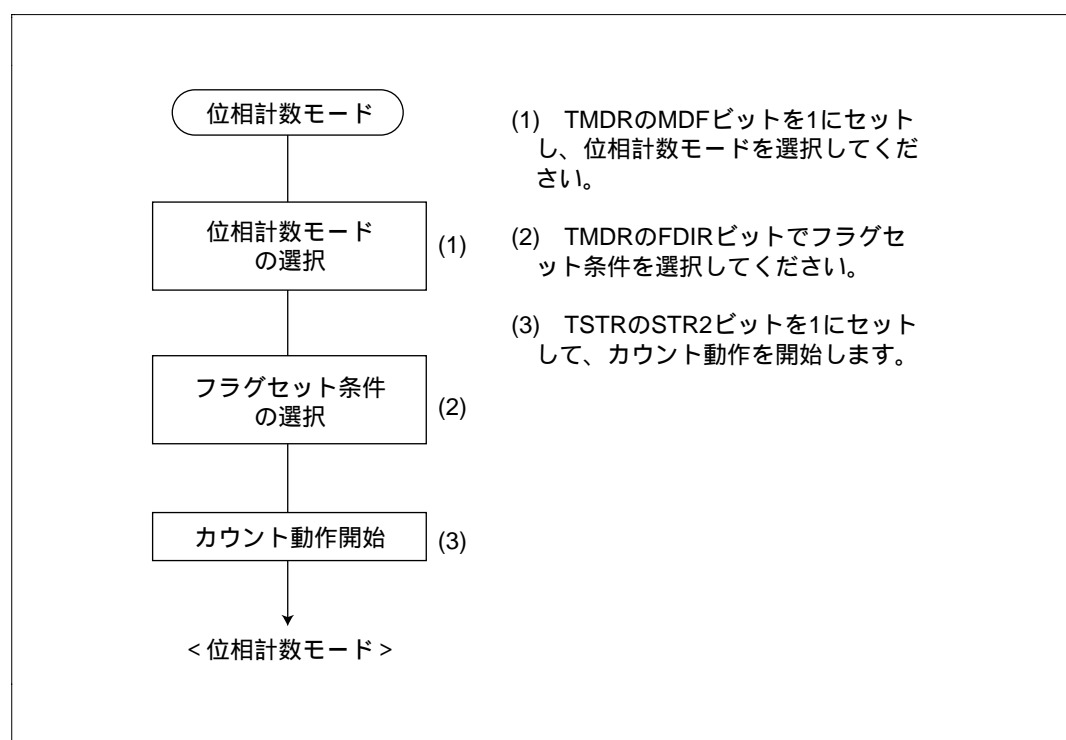


図 9.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図9.30に、16TCNT2のアップ/ダウンカウント条件を表9.5にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB 端子の立ち上がり () / 立ち下がり () の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。

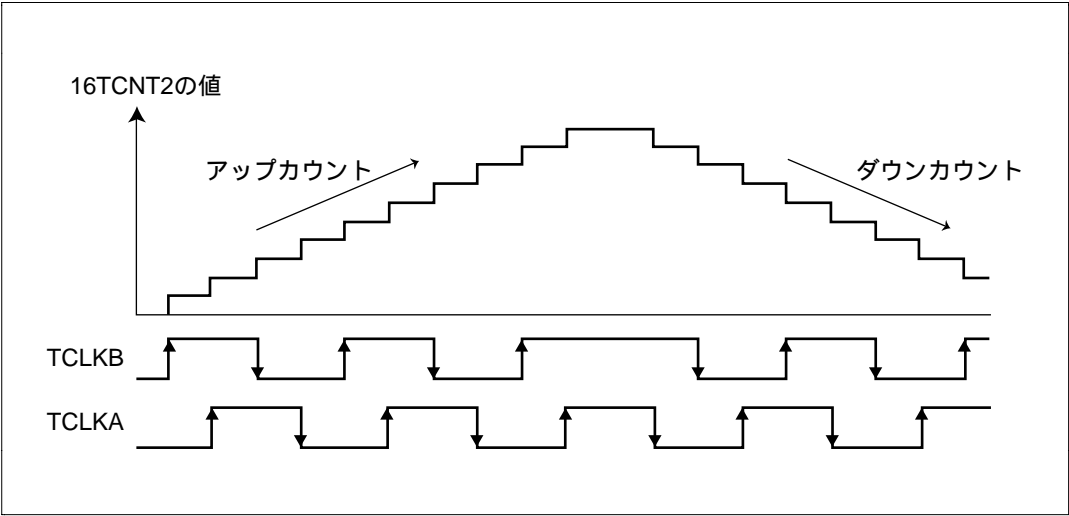


図 9.30 位相計数モードの動作例

表 9.5 アップ / ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
TCLKB		High		Low	High		Low	
TCLKA	Low		High			Low		High

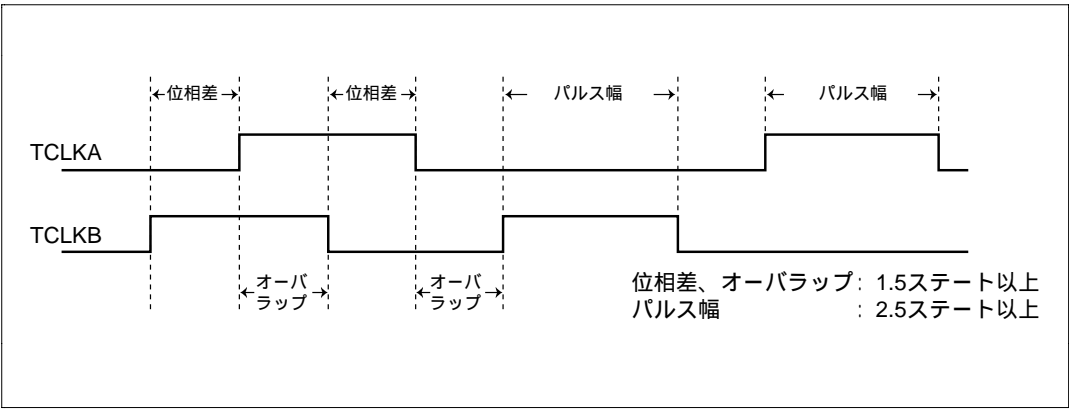


図 9.31 位相計数モード時の位相差、オーバーラップおよびパルス幅

9.4.6 16 ビットタイマ出力初期値の設定

16 ビットタイマ出力は、TOLR の設定により、タイマカウント動作起動時の出力の初期値を任意に設定することができます。

図 9.32 に TOLR による出力初期値設定タイミングを示します。

なお、TOLR へのライトは必ず対応する TSTR のビットが 0 の時に行ってください。

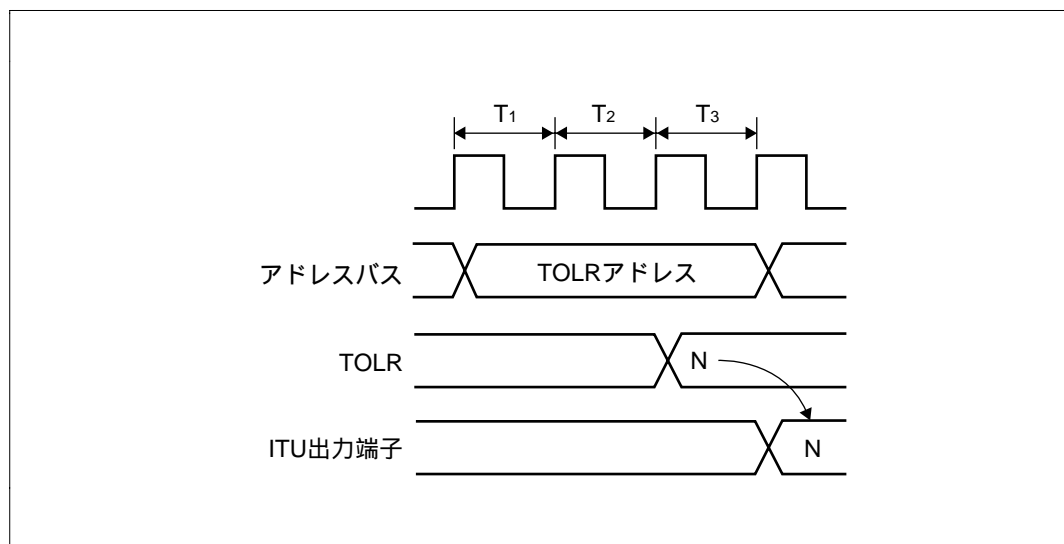


図 9.32 TOLR へのライトによる 16 ビットタイマ出力初期値設定タイミング

9.5 割り込み

16ビットタイマの割り込み要因には、インプットキャプチャ/コンペアマッチ割り込み、オーバーフロー割り込みの2種類があります。

9.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時の IMFA、IMFB フラグのセットタイミング

IMF フラグは、GR と 16TCNT が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (16TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、16TCNT と GR が一致した後、16TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 9.33 に IMF フラグのセットタイミングを示します。

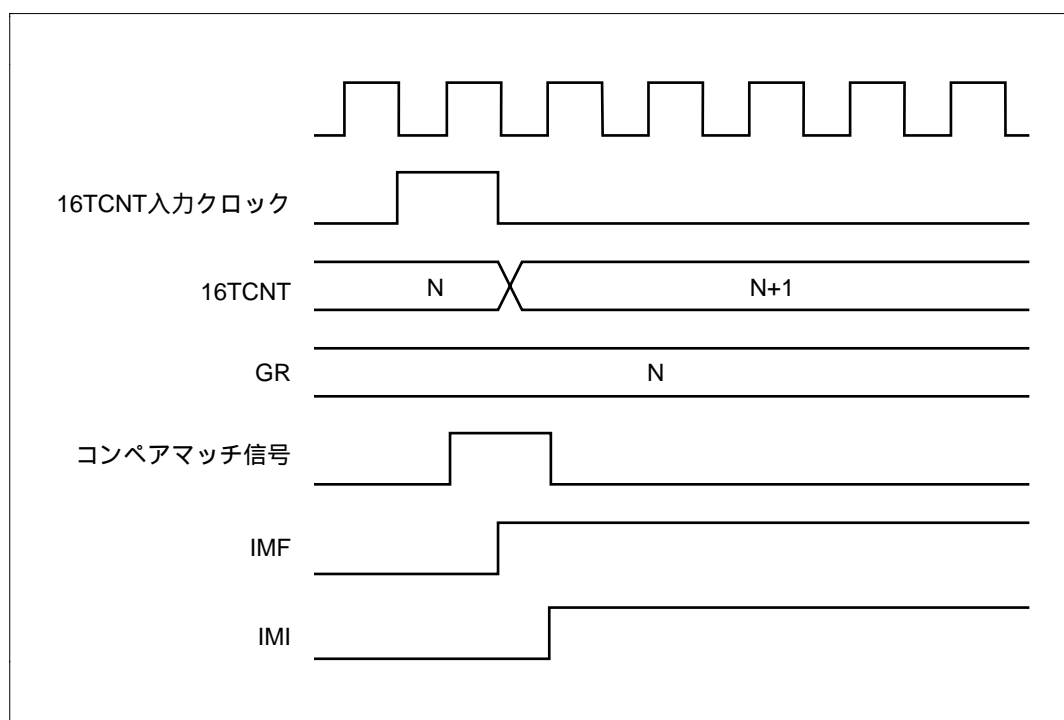


図 9.33 コンペアマッチ時の IMFA、IMFB フラグのセットタイミング

(2) インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により IMF フラグは1にセットされ、同時に 16TCNT の値が対応する GR に転送されます。

このタイミングを図 9.34 に示します。

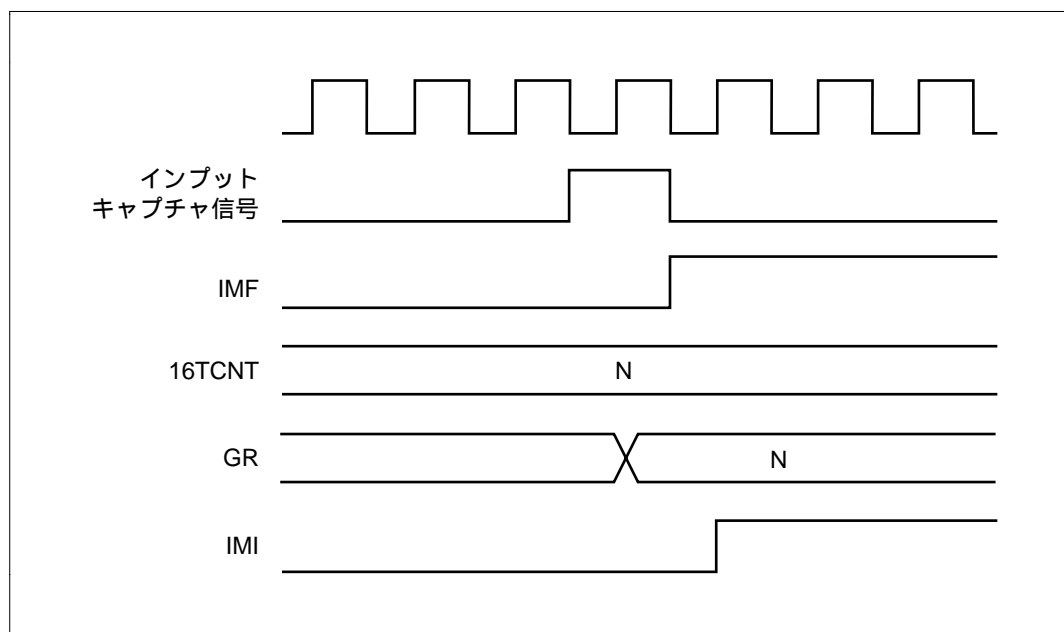


図 9.34 インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、16TCNT がオーバフロー (H'FFFF H'0000) したとき、またはアンダフロー (H'0000 H'FFFF) したときに 1 にセットされます。

このタイミングを図 9.35 に示します。

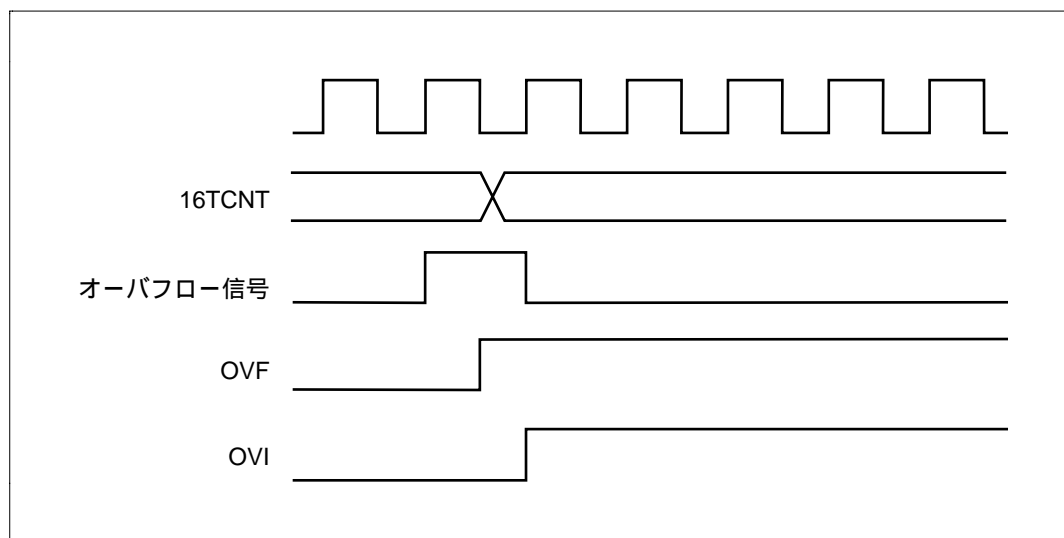


図 9.35 OVF のセットタイミング

9.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後0をライトするとクリアされます。
このタイミングを図9.36に示します。

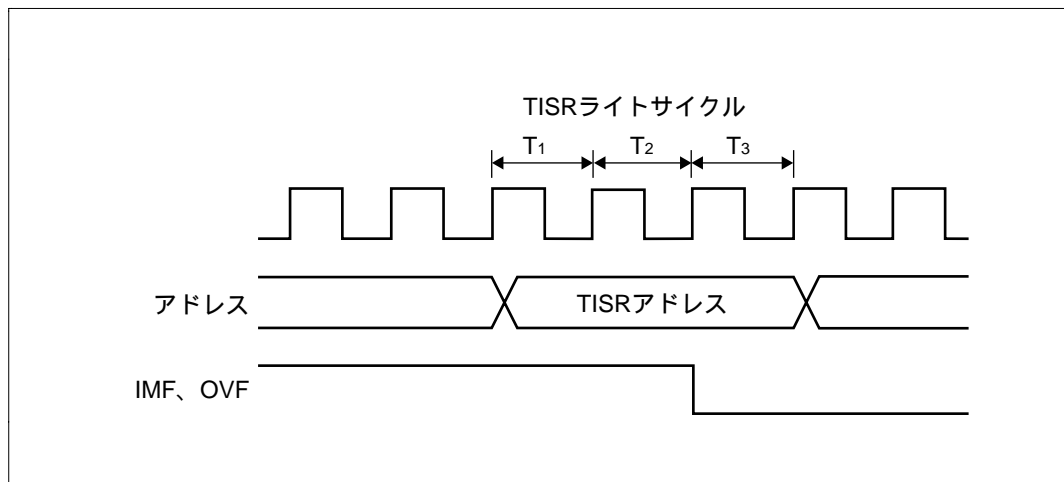


図 9.36 ステータスフラグのクリアタイミング

9.5.3 割り込み要因

16ビットタイマは各チャンネルごとにコンペアマッチ/インプットキャプチャA割り込み、コンペアマッチ/インプットキャプチャB割り込み、およびオーバーフロー割り込みを持っています。これら3種類計9本の割り込みは、それぞれ独立のベクタアドレスが割り付けられています。割り込み要求フラグが1にセットされているとき、当該割り込みが要求されます。

チャンネル間の優先順位は、IPRAにより変更可能です。詳細は「第5章 割り込みコントローラ」を参照してください。

16ビットタイマの割り込み要因を表9.6に示します。

表9.6 16ビットタイマ割り込み要因

チャンネル	割り込み要因	内 容	優先順位*
0	IMIA0	コンペアマッチ/インプットキャプチャA0	<div style="display: flex; align-items: center; justify-content: center;"> <div style="text-align: center;">高</div> <div style="margin: 0 10px;">↑</div> <div style="text-align: center;">低</div> </div>
	IMIB0	コンペアマッチ/インプットキャプチャB0	
	OVI0	オーバーフロー0	
1	IMIA1	コンペアマッチ/インプットキャプチャA1	
	IMIB1	コンペアマッチ/インプットキャプチャB1	
	OVI1	オーバーフロー1	
2	IMIA2	コンペアマッチ/インプットキャプチャA2	
	IMIB2	コンペアマッチ/インプットキャプチャB2	
	OVI2	オーバーフロー2	

【注】* リセット直後の初期状態について示しています。チャンネル間の優先順位は IPRA により変更可能です。

9.6 使用上の注意

16ビットタイマの動作中、次のような競合や動作が起こりますので、注意してください。

(1) 16TCNTのライトとクリアの競合

16TCNTのライトサイクル中の T_3 状態で、カウントクリア信号が発生すると、16TCNTへの書き込みサイクルは行われず16TCNTのクリアが優先されます。

このタイミングを図9.37に示します。

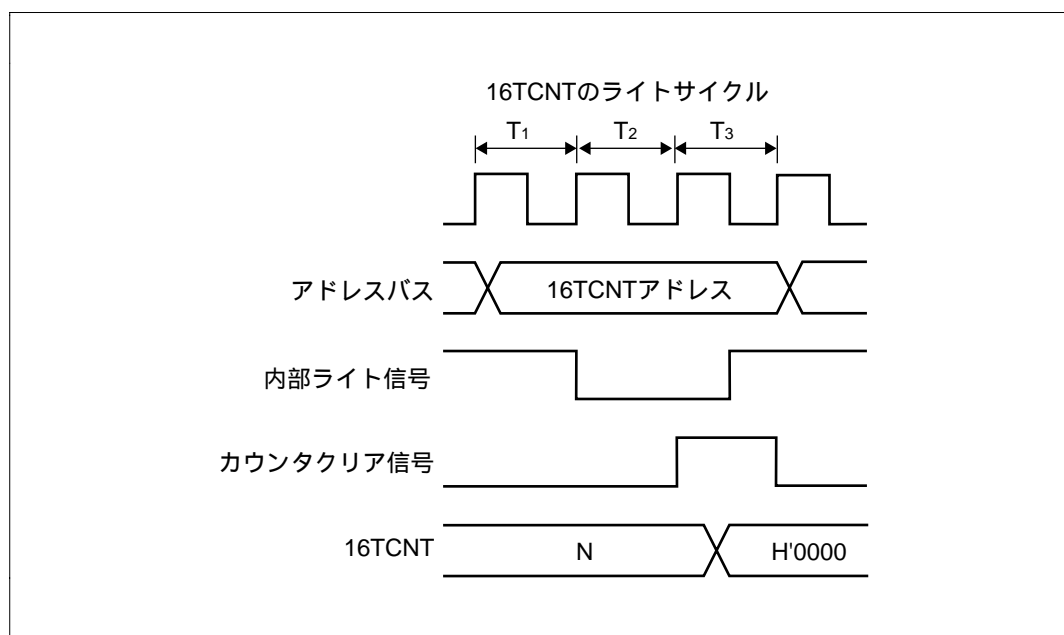


図 9.37 16TCNT のライトとクリアの競合

(2) 16TCNTのワードライトとカウントアップの競合

16TCNTのワードライトサイクル中の T_3 状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図9.38に示します。

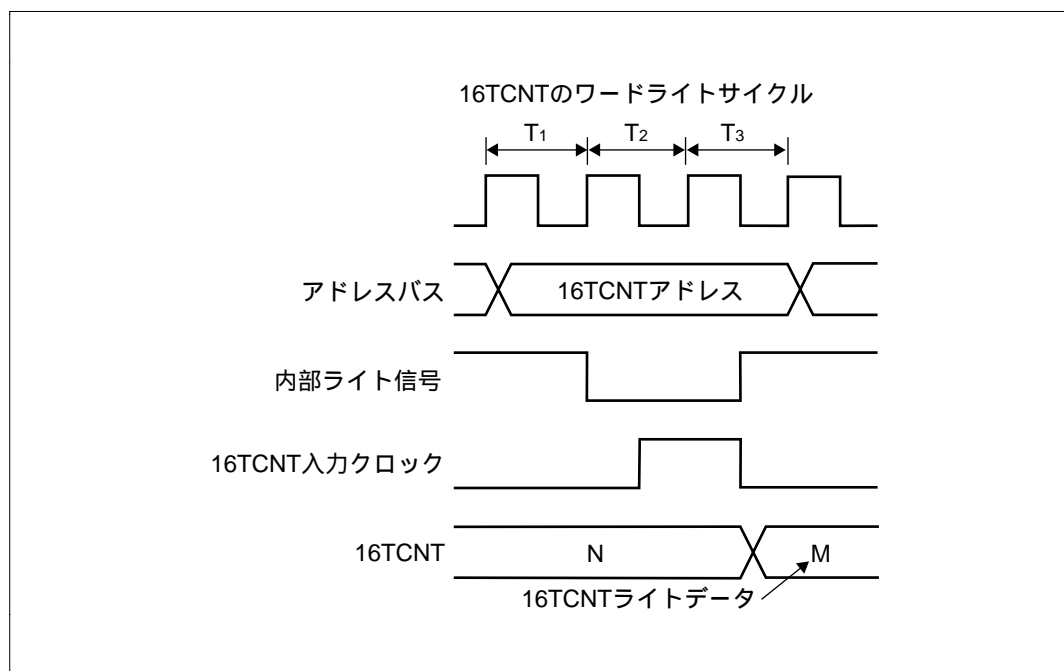


図 9.38 16TCNT のワードライトとカウントアップの競合

(3) 16TCNTのバイトライトとカウントアップの競合

16TCNTのバイトライトサイクル中の T_2 ステートまたは T_3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図9.39に示します。

16TCNTHのバイトライトサイクル中の T_2 ステートでカウントアップが発生した場合の例です。

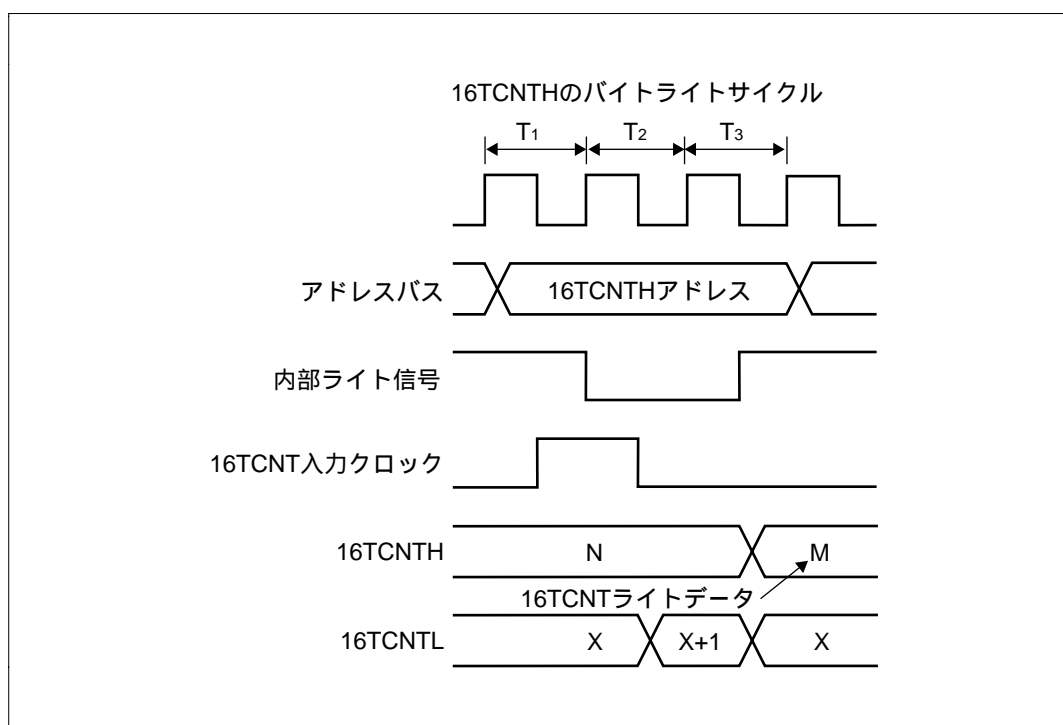


図 9.39 16TCNTのバイトライトとカウントアップの競合

(4) GR のライトとコンペアマッチの競合

GR のライトサイクル中の T_3 ステートでコンペアマッチが発生しても、GR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 9.40 に示します。

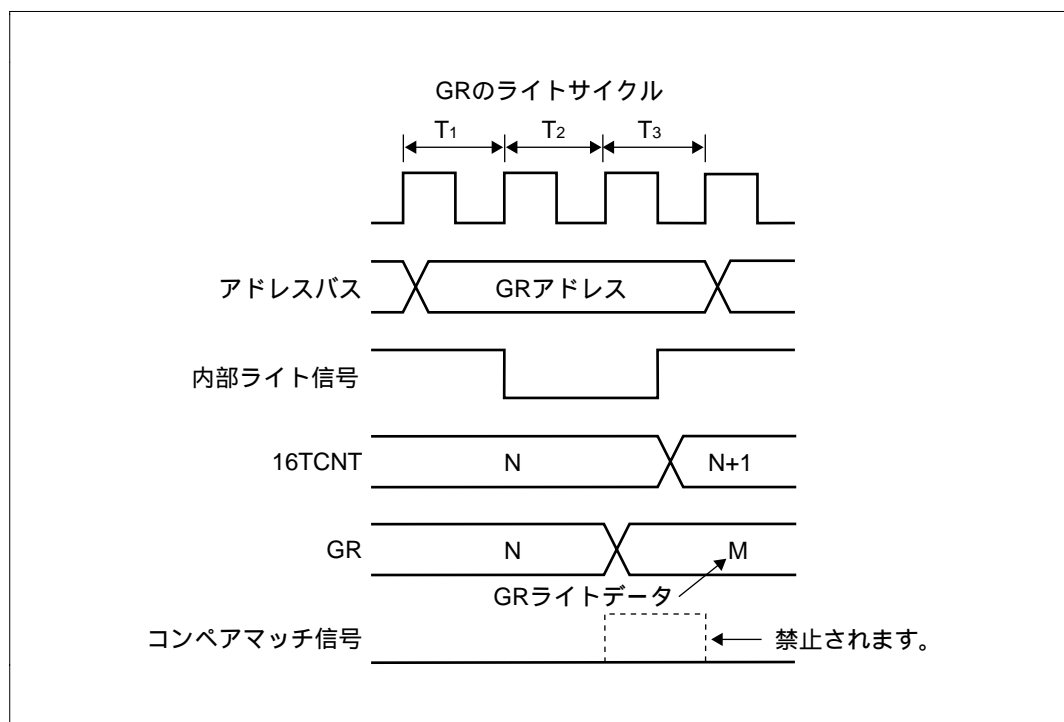


図 9.40 GR のライトとコンペアマッチの競合

(5) 16TCNT のライトとオーバーフロー / アンダフローとの競合

16TCNT のライトサイクル中の T_3 ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。

このタイミングを図 9.41 に示します。

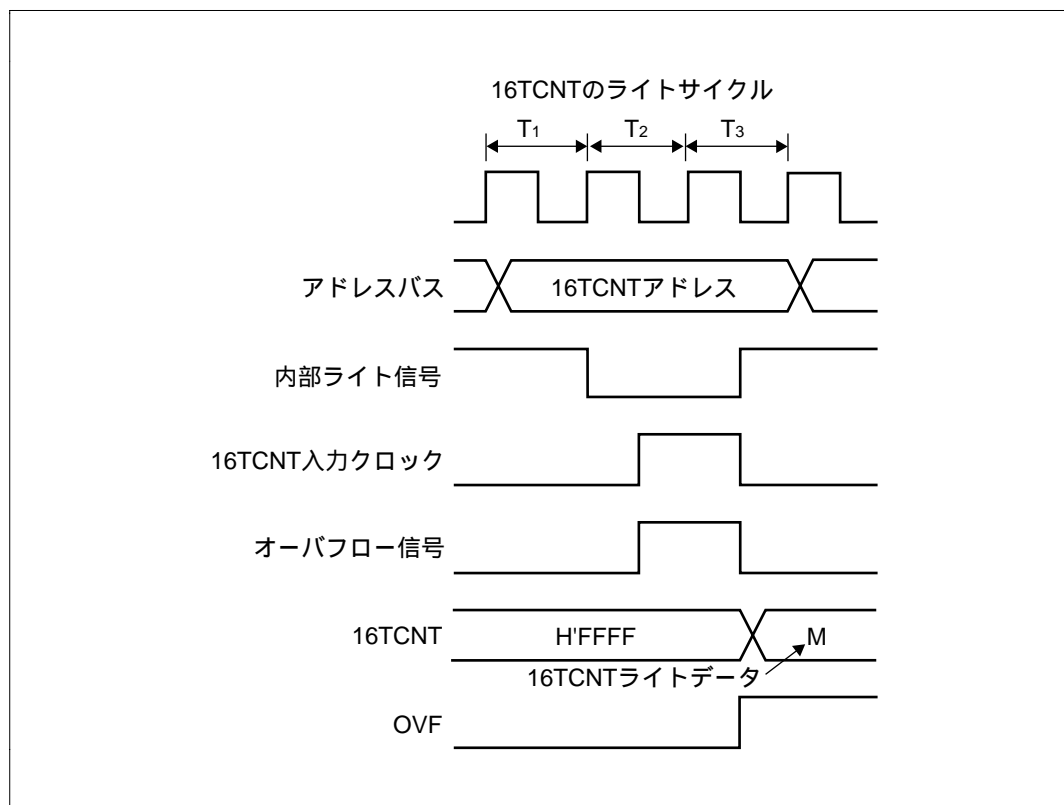


図 9.41 16TCNT のライトとオーバーフローの競合

(6) GR のリードとインプットキャプチャの競合

GR のリードサイクル中の T_3 ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図 9.42 に示します。

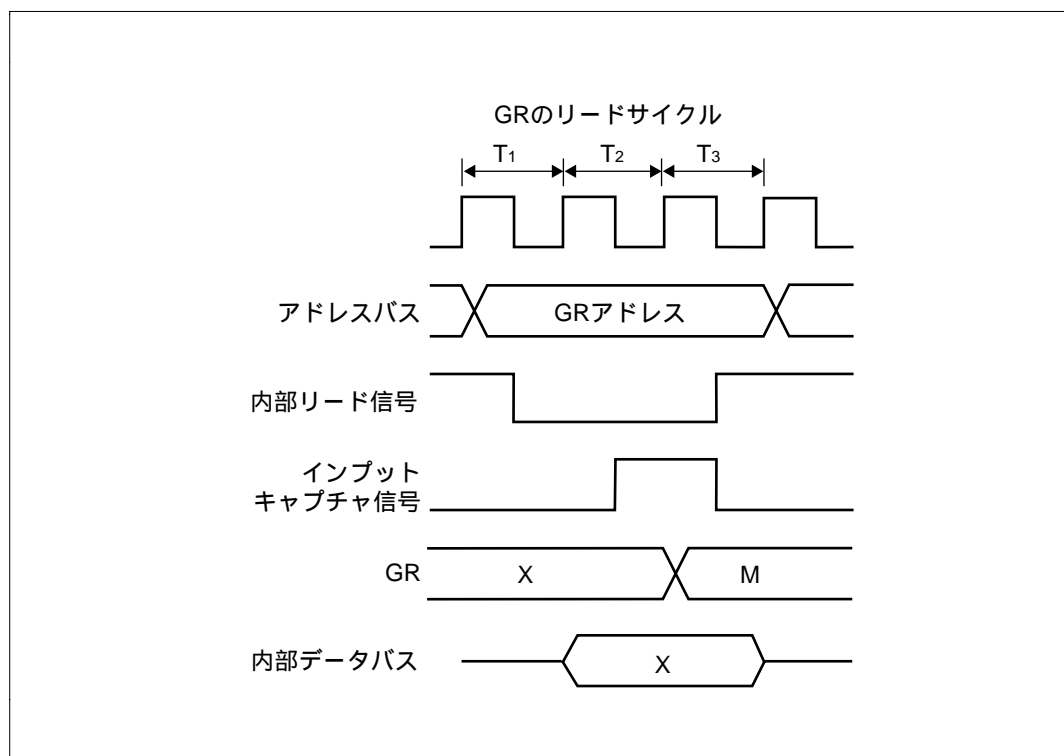


図 9.42 GR のリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。GR にはカウンタクリア前の 16TCNT の内容が転送されます。

このタイミングを図 9.43 に示します。

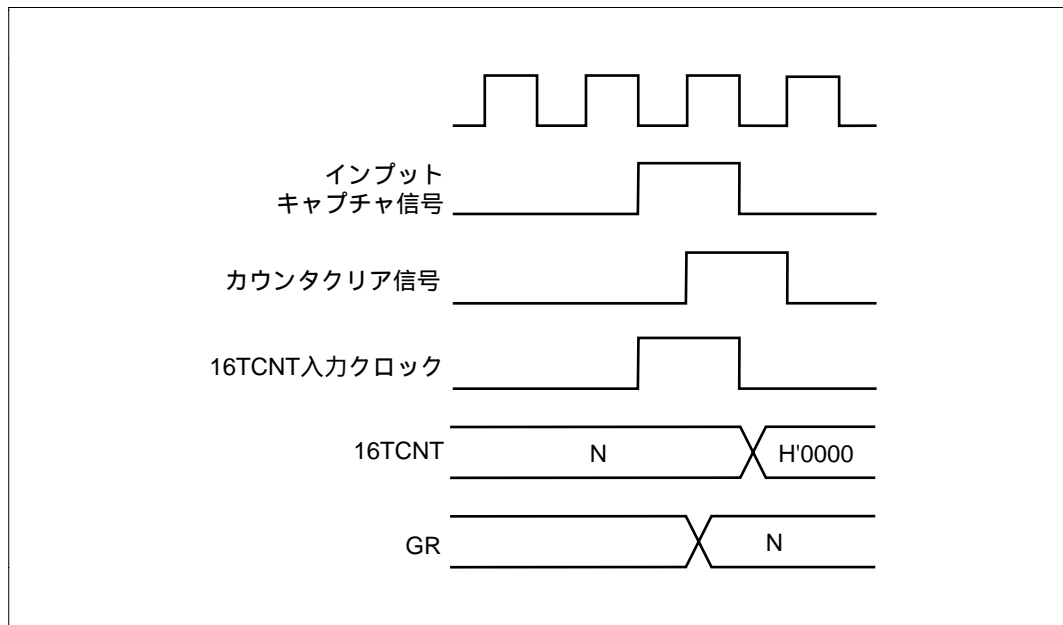


図 9.43 インพุットキャプチャによるカウンタクリアとカウントアップの競合

(8) GR のライトとインプットキャプチャの競合

GR のライトサイクル中の T_3 ステートで、インプットキャプチャ信号が発生すると、GR への書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図 9.44 に示します。

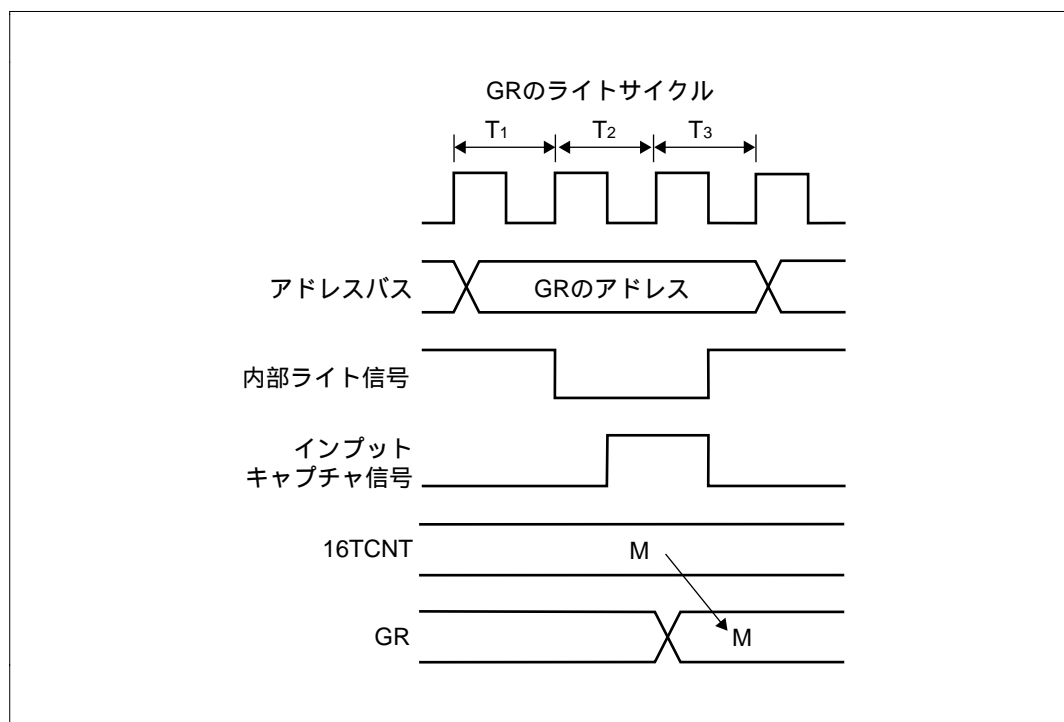


図 9.44 GR のライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、16TCNT は GR の値と一致した最後のステート (16TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタ周波数は次の式ようになります。

$$f = \frac{f_{clk}}{(N+1)}$$

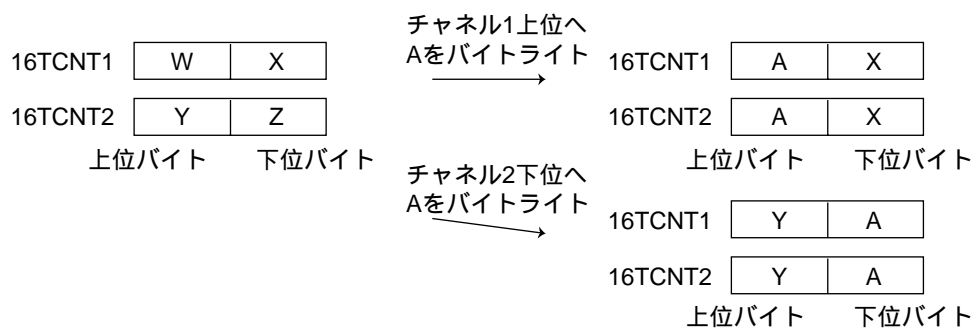
(f : カウンタ周波数、 f_{clk} : 動作周波数、 N : GR の設定値)

(10) 同期動作時のライト動作に関する注意事項

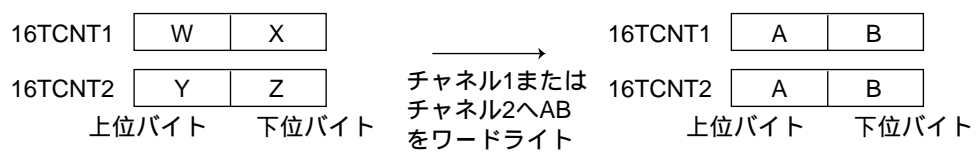
同期動作を設定した状態で、16TCNTのバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した16TCNTと、16ビットすべて同じ値となります。

(例) チャンネル1、2を同期モードで指定した場合

・チャンネル1 / チャンネル2へのバイトライト



・チャンネル1 / チャンネル2へのワードライト



(11) 16ビットタイマの動作モード一覧

表 9.7 (a) 16ビットタイマの動作モード (チャンネル0)

動作モード	レジスタ設定							
	T SNC	TMDR			T IOR0		16TCR0	
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択
同期プリセット	SYNC0=1	—	—	○	○	○	○	○
PWMモード	○	—	—	PWM0=1	—	○*	○	○
アウトプット コンペアA機能	○	—	—	PWM0=0	IOA2=0 他任意	○	○	○
アウトプット コンペアB機能	○	—	—	○	○	IOB2=0 他任意	○	○
インプット キャプチャA機能	○	—	—	PWM0=0	IOA2=1 他任意	○	○	○
インプット キャプチャB機能	○	—	—	PWM0=0	○	IOB2=1 他任意	○	○
カウンタ クリア機能	○	—	—	○	○	○	CCLR1=0 CCLR0=1	○
	○	—	—	○	○	○	CCLR1=1 CCLR0=0	○
	SYNC0=1	—	—	○	○	○	CCLR1=1 CCLR0=1	○

【記号説明】

○ : 設定可能 (有効) です。 — : 設定は当該動作モードに影響しません。

【注】* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 9.7 (b) 16ビットタイマの動作モード (チャネル1)

レジスタ設定								
動作モード	TSNC	TMDR			TIOA1		16TCR1	
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択
同期プリセット	SYNC1=1	—	—	○	○	○	○	○
PWMモード	○	—	—	PWM1=1	—	○ [*]	○	○
アウトプット コンペアA機能	○	—	—	PWM1=0	IOA2=0 他任意	○	○	○
アウトプット コンペアB機能	○	—	—	○	○	IOB2=0 他任意	○	○
インプット キャプチャA機能	○	—	—	PWM1=0	IOA2=1 他任意	○	○	○
インプット キャプチャB機能	○	—	—	PWM1=0	○	IOB2=1 他任意	○	○
カウンタ クリア機能	○	—	—	○	○	○	CCLR1=0 CCLR0=1	○
	○	—	—	○	○	○	CCLR1=1 CCLR0=0	○
	同期クリア	SYNC1=1	—	—	○	○	CCLR1=1 CCLR0=1	○

【記号説明】

○: 設定可能 (有効) です。 —: 設定は当該動作モードに影響しません。

【注】* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 9.7 (c) 16ビットタイムの動作モード(チャンネル2)

動作モード	レジスタ設定							
	TSNC	TMDR			TIOB2		16TCR2	
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択
同期プリセット	SYNC2=1	○	—	○	○	○	○	○
PWMモード	○	○	—	PWM2=1	—	○*	○	○
アウトプット コンペアA機能	○	○	—	PWM2=0	IOA2=0 他任意	○	○	○
アウトプット コンペアB機能	○	○	—	○	○	IOB2=0 他任意	○	○
インプット キャプチャA機能	○	○	—	PWM2=0	IOA2=1 他任意	○	○	○
インプット キャプチャB機能	○	○	—	PWM2=0	○	IOB2=1 他任意	○	○
カウンタ クリア機能	○	○	—	○	○	○	CCLR1=0 CCLR0=1	○
	○	○	—	○	○	○	CCLR1=1 CCLR0=0	○
	SYNC2=1	○	—	○	○	○	CCLR1=1 CCLR0=1	○
位相計数モード	○	MDF=1	○	○	○	○	○	—

【記号説明】

: 設定可能(有効)です。 : 設定は当該動作モードに影響しません。

【注】* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

10. 8 ビットタイマ

第 10 章 目次

10.1	概要	427
10.1.1	特長	427
10.1.2	ブロック図	428
10.1.3	端子構成.....	429
10.1.4	レジスタ構成	430
10.2	各レジスタの説明	431
10.2.1	タイマカウンタ (8TCNT)	431
10.2.2	タイムコンスタントレジスタ A (TCORA)	432
10.2.3	タイムコンスタントレジスタ B (TCORB)	433
10.2.4	タイマコントロールレジスタ (8TCR)	433
10.2.5	タイマコントロール / ステータスレジスタ (8TCSR)	436
10.3	CPU とのインタフェース	441
10.3.1	8 ビットレジスタ	441
10.4	動作説明.....	443
10.4.1	8TCNT のカウントタイミング.....	443
10.4.2	コンペアマッチタイミング	444
10.4.3	インプットキャプチャ信号タイミング	446
10.4.4	ステータスフラグのセットタイミング	447
10.4.5	カスケード接続時の動作	448
10.4.6	インプットキャプチャの設定.....	451
10.5	割り込み.....	453
10.5.1	割り込み要因	453
10.5.2	A/D 変換の起動	453
10.6	8 ビットタイマの使用例	454
10.7	使用上の注意	455
10.7.1	8TCNT のライトとクリアの競合	455
10.7.2	8TCNT のライトとカウントアップの競合	456

10.7.3	TCOR のライトとコンペアマッチの競合	457
10.7.4	TCOR のリードとインプットキャプチャの競合	458
10.7.5	インプットキャプチャによるカウンタクリアとカウントアップの競合	458
10.7.6	TCOR のライトとインプットキャプチャの競合	459
10.7.7	16 ビットカウントモード（カスケード接続時）の 8TCNT のバイトライトと カウントアップの競合	460
10.7.8	コンペアマッチ A、B の競合	460
10.7.9	内部クロックの切り替えと 8TCNT の動作	461

10.1 概要

本 LSI は、8 ビットのカウンタをベースにした 4 チャンネルの 8 ビットタイマ (TMR0、TMR1、TMR2、TMR3) を内蔵しています。4 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (8TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、8TCNT と TCORA、TCORB の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

10.1.1 特長

4 種類のカウンタ入力クロックを選択可能

- ・ 3 種類の内部クロック (/8、 /64、 /8192) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- ・ コンペアマッチ A、B、またはインプットキャプチャ B のうちから選択できます。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- ・ 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力などの種々の応用が可能です。

コンペアマッチによる A/D 変換器の起動が可能

2 チャンネルのカスケード接続が可能

- ・ チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- ・ チャンネル 2 を上位、チャンネル 3 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- ・ チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- ・ チャンネル 3 はチャンネル 2 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。

インプットキャプチャ機能を設定可能

- ・ 8 ビット / 16 ビットのインプットキャプチャ動作が可能です。

12 種類の割り込み要因

- ・ コンペアマッチ × 4 要因、コンペアマッチ / インプットキャプチャ × 4 要因、オーバフロー × 4 要因の計 12 要因があります。

コンペアマッチ割り込みのうち 2 要因とコンペアマッチ / インプットキャプチャ兼用割り込みのうち 2 要因は、独立した割り込みベクタを持っています。残りのコンペアマッチ割り込み、コンペアマッチ / インプットキャプチャ兼用割り込み、オーバフロー割り込みは、2 要因で 1 つの割り込みベクタを持っています。

10.1.2 ブロック図

8ビットタイマのブロック図を図10.1に示します。8ビットタイマは2チャンネルのグループ0(チャンネル0、チャンネル1)およびグループ1(チャンネル2、チャンネル3)に分割されています。

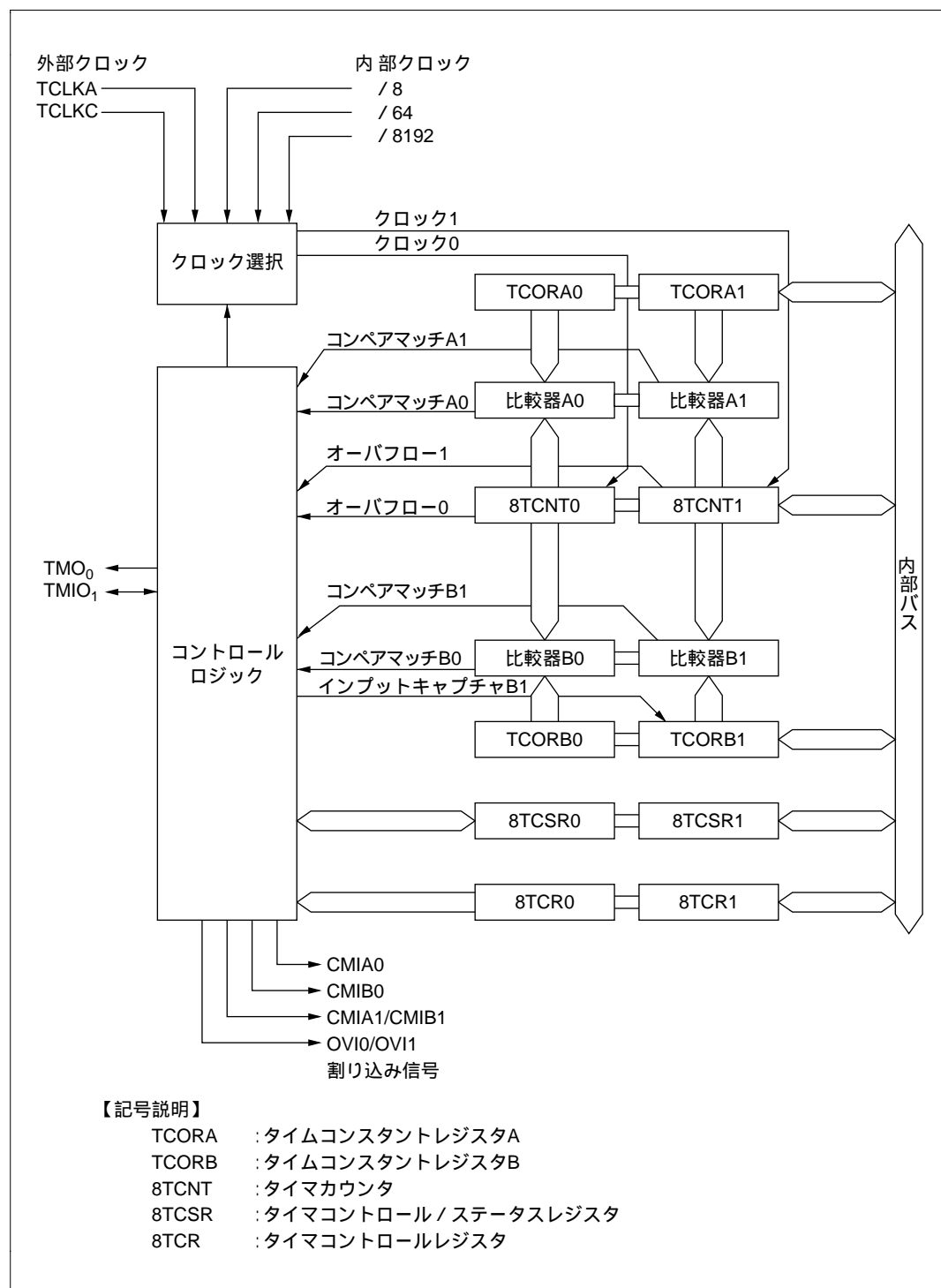


図 10.1 8ビットタイマのブロック図(2チャンネル分:グループ0の場合)

10.1.3 端子構成

8ビットタイマの入出力端子を表 10.1 に示します。

表 10.1 端子構成

グループ	チャンネル	名 称	略 称	入出力	機 能
0	0	タイマ出力端子	TMO ₀	出力	コンペアマッチ出力
		タイマクロック入力端子	TCLKC	入力	カウンタ外部クロック入力
	1	タイマ入出力端子	TMIO ₁	入出力	コンペアマッチ出力 / インブ ットキャプチャ入力
		タイマクロック入力端子	TCLKA	入力	カウンタ外部クロック入力
1	2	タイマ出力端子	TMO ₂	出力	コンペアマッチ出力
		タイマクロック入力端子	TCLKD	入力	カウンタ外部クロック入力
	3	タイマ入出力端子	TMIO ₃	入出力	コンペアマッチ出力 / インブ ットキャプチャ入力
		タイマクロック入力端子	TCLKB	入力	カウンタ外部クロック入力

10.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

チャンネル	アドレス* ¹	名 称	略 称	R/W	初期値
0	H'FFF80	タイマコントロールレジスタ 0	8TCR0	R/W	H'00
	H'FFF82	タイマコントロール / ステータスレジスタ 0	8TCSR0	R/(W)* ²	H'00
	H'FFF84	タイムコンスタントレジスタ A 0	TCORA0	R/W	H'FF
	H'FFF86	タイムコンスタントレジスタ B 0	TCORB0	R/W	H'FF
	H'FFF88	タイマカウンタ 0	8TCNT0	R/W	H'00
1	H'FFF81	タイマコントロールレジスタ 1	8TCR1	R/W	H'00
	H'FFF83	タイマコントロール / ステータスレジスタ 1	8TCSR1	R/(W)* ²	H'00
	H'FFF85	タイムコンスタントレジスタ A 1	TCORA1	R/W	H'FF
	H'FFF87	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF
	H'FFF89	タイマカウンタ 1	8TCNT1	R/W	H'00
2	H'FFF90	タイマコントロールレジスタ 2	8TCR2	R/W	H'00
	H'FFF92	タイマコントロール / ステータスレジスタ 2	8TCSR2	R/(W)* ²	H'10
	H'FFF94	タイムコンスタントレジスタ A 2	TCORA2	R/W	H'FF
	H'FFF96	タイムコンスタントレジスタ B 2	TCORB2	R/W	H'FF
	H'FFF98	タイマカウンタ 2	8TCNT2	R/W	H'00
3	H'FFF91	タイマコントロールレジスタ 3	8TCR3	R/W	H'00
	H'FFF93	タイマコントロール / ステータスレジスタ 3	8TCSR3	R/(W)* ²	H'00
	H'FFF95	タイムコンスタントレジスタ A 3	TCORA3	R/W	H'FF
	H'FFF97	タイムコンスタントレジスタ B3	TCORB3	R/W	H'FF
	H'FFF99	タイマカウンタ 3	8TCNT3	R/W	H'00

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

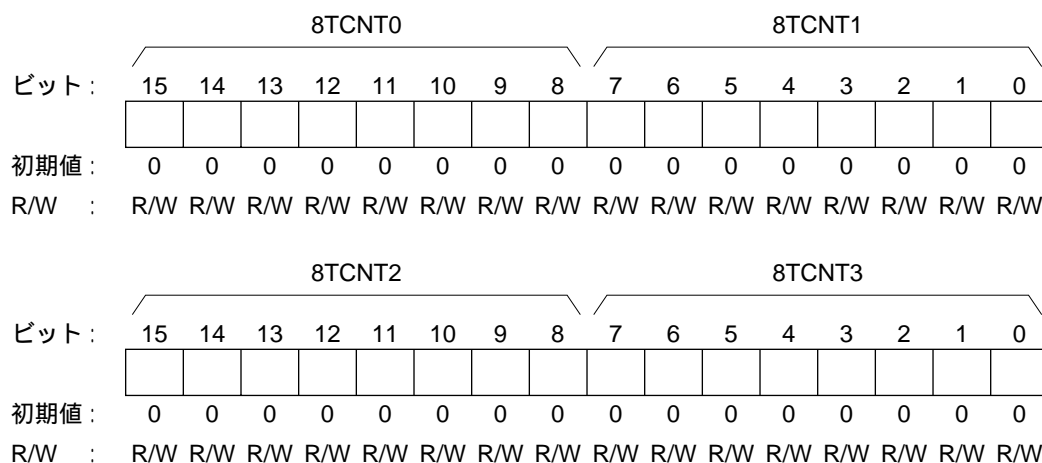
*2 ビット 7～5 は、フラグをクリアするための 0 ライトのみ可能です。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

また、同様にチャンネル 2 とチャンネル 3 の対応するレジスタは、チャンネル 2 を上位、チャンネル 3 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

10.2 各レジスタの説明

10.2.1 タイマカウンタ (8TCNT)



8TCNT はそれぞれ 8 ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、8TCR の CKS2 ~ CKS0 ビットで選択します。8TCNT の値は、CPU から常にリード/ライト可能です。

8TCNT0 と 8TCNT1 および 8TCNT2 と 8TCNT3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

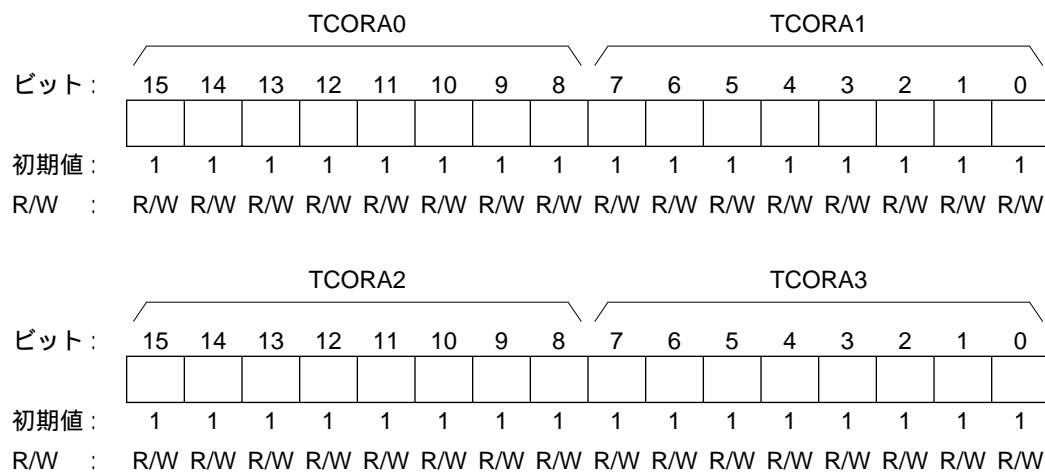
8TCNT は、インプットキャプチャ信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、8TCR の CCLR1、CCLR0 ビットで選択します。

また、8TCNT がオーバーフロー (H'FF H'00) すると、8TCSR の OVF が 1 にセットされます。

8TCNT は、リセットまたはスタンバイモード時に H'00 にイニシャライズされます。

10.2.2 タイムコンスタントレジスタ A (TCORA)

TCORA はそれぞれ 8 ビットのリード/ライト可能なレジスタです。



TCORA0、TCORA1 および TCORA2、TCORA3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と 8TCNT の値は常に比較されており、両者の値が一致すると 8TCSR の CMFA が 1 にセットされます。

また、この一致による信号 (コンペアマッチ) と 8TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはスタンバイモード時に H'FF にイニシャライズされます。

10.2.3 タイムコンスタントレジスタ B (TCORB)

TCORB0								TCORB1								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORB2								TCORB3								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORB はそれぞれ 8 ビットのリード / ライト可能なレジスタです。TCORB0 と TCORB1 および TCORB2 と TCORB3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と 8TCNT の値は常に比較されており、両者の値が一致すると 8TCSR の CMFB が 1 にセットされます。また、この一致による信号 (コンペアマッチ) と 8TCSR のアウトプット / インプットキャプチャエッジセレクト OIS3、OIS2 ビットの設定により、タイマ出力を自由に制御することができます。

インプットキャプチャとして使用している時は、外部からのインプットキャプチャ信号を検出して、8TCNT の値を格納します。このとき対応する 8TCSR の CMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジは 8TCSR により行います。

TCORB は、リセットまたはスタンバイモード時に H'FF にイニシャライズされます。

【注】チャンネル 1 およびチャンネル 3 を TCORB インプットキャプチャに設定した場合、チャンネル 0 およびチャンネル 2 のコンペアマッチ B による CMFB フラグのセットは起こりません。

10.2.4 タイマコントロールレジスタ (8TCR)

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8TCR はそれぞれ 8 ビットのリード / ライト可能なレジスタで、8TCNT の入力クロックの選択、8TCNT のクリア指定、および各割り込み要求の許可を制御します。

8TCR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

なお、タイミングについては、「10.4 動作説明」を参照してください。

ビット7:コンペアマッチインタラプトイネーブル B (CMIEB)

8TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット7	説 明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割り込み要求 (CMIB) を許可

ビット6:コンペアマッチインタラプトイネーブル A (CMIEA)

8TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。

ビット6	説 明
CMIEA	
0	CMFA による割り込み要求 (CMIA) を禁止 (初期値)
1	CMFA による割り込み要求 (CMIA) を許可

ビット5:タイマオーバフローインタラプトイネーブル (OVIE)

8TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。

ビット5	説 明
OVIE	
0	OVF による割り込み要求 (OVI) を禁止 (初期値)
1	OVF による割り込み要求 (OVI) を許可

ビット4、3:カウンタクリア 1、0 (CCLR1、CCLR0)

8TCNT のクリア要因を指定します。クリア要因は、コンペアマッチ A、B またはインプットキャプチャ B から選択します。

ビット4	ビット3	説 明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチ A によりクリア
1	0	コンペアマッチ B / インプットキャプチャ B によりクリア
	1	インプットキャプチャ B によりクリア

【注】8TCNT1 および 8TCNT3 のカウンタクリア要因を、インプットキャプチャ B に設定した場合、8TCNT0 および 8TCNT2 はコンペアマッチ B によりクリアされません。

ビット2～0:クロックセレクト 2～0 (CKS2～CKS0)

8TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック () を分周した 3 種類のクロック (/ 8、 / 64、 / 8192) から選択できます。これら内部クロックは、立ち上がりエッジでカウントします。

外部クロックのとき、クロック入力は立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの 3 種類から選択できます。

CKS2,CKS1,CKS0 = 1,0,0 の設定の場合、チャンネル 0 と 1 およびチャンネル 2 と 3 でカスケード接続になります。

8TCR0 と 8TCR2 に設定した場合と、8TCR1 と 8TCR3 に設定した場合は、カウントアップのクロックソースが異なります。

ビット 2	ビット 1	ビット 0	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック: / 8 立ち上がりエッジでカウント
	1	0	内部クロック: / 64 立ち上がりエッジでカウント
		1	内部クロック: / 8192 立ち上がりエッジでカウント
1	0	0	チャンネル 0 の場合 (16 ビットカウントモード): 8TCNT1 のオーバフロー信号でカウント* ¹ チャンネル 1 の場合 (コンペアマッチカウントモード): 8TCNT0 のコンペアマッチ A でカウント* ¹ チャンネル 2 の場合 (16 ビットカウントモード): 8TCNT3 のオーバフロー信号でカウント* ² チャンネル 3 の場合 (コンペアマッチカウントモード): 8TCNT2 のコンペアマッチ A でカウント* ²
		1	外部クロック: 立ち上がりエッジでカウント
	1	0	外部クロック: 立ち下がりエッジでカウント
		1	外部クロック: 立ち上がり / 立ち下がり両エッジでカウント

【注】 *1 チャンネル 0 のクロック入力を 8TCNT1 のオーバフロー信号とし、チャンネル 1 のクロック入力を 8TCNT0 のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

*2 チャンネル 2 のクロック入力を 8TCNT3 のオーバフロー信号とし、チャンネル 3 のクロック入力を 8TCNT2 のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

10.2.5 タイマコントロール/ステータスレジスタ (8TCSR)

8TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

8TCSR2

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

8TCSR1、8TCSR3

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】* ビット7～5は、フラグをクリアするための0ライトのみ可能です。

8TCSR は8ビットのレジスタで、コンペアマッチ/インプットキャプチャやタイマオーバフローのステータスの表示、およびコンペアマッチ出力/インプットキャプチャのエッジの選択の制御を行います。

リセットまたはスタンバイモード時に、8TCSR0、8TCSR1、8TCSR3 はH'00 にイニシャライズされます。8TCSR2 はH'10 にイニシャライズされます。

ビット7: コンペアマッチ/インプットキャプチャフラグ B (CMFB)

TCORB のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) CMFB = 1 の状態で、CMFB をリードした後、CMFB に 0 ライトしたとき
1	[セット条件] (1) 8TCNT = TCORB になったとき* (2) TCORB がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 8TCNT の値が TCORB に転送されたとき

【注】 * 8TCSR1、8TCSR3 の ICE ビットが 1 のとき、8TCNT0 = TCORB0、8TCNT2 = TCORB2 となっても CMFB フラグはセットされません。

ビット6: コンペアマッチフラグ A (CMFA)

TCORA のコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) CMFA = 1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき
1	[セット条件] 8TCNT = TCORA になったとき

ビット5: タイマオーバフローフラグ (OVF)

8TCNT がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
1	[セット条件] 8TCNT が H'FF H'00 になったとき

ビット4: A/D トリガイネーブル (ADTE) (8TCSR0 の場合)

ADTE は、ADCR の TRGE との組み合わせにより、コンペアマッチ A または外部トリガによる A/D 変換開始要求の許可または禁止を選択します。

TRGE*	ビット4	説明
	ADTE	
0	0	コンペアマッチ A または外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力による A/D 変換開始要求を禁止 (初期値)
	1	コンペアマッチ A または外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力による A/D 変換開始要求を禁止
1	0	外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力による A/D 変換開始要求を許可、およびコンペアマッチ A による A/D 変換開始要求を禁止
	1	コンペアマッチ A による A/D 変換開始要求を許可、および外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力による A/D 変換開始要求を禁止

【注】 * TRGE は A/D コントロールレジスタ (ADCR) のビット7です。

ビット4: リザーブビット (8TCSR1 の場合)

リザーブビットです。リード/ライトは可能です。

ビット4:インプットキャプチャイネーブル (ICE) (8TCSR1、8TCSR3の場合)

TCORB1、 TCORB3の機能を選択します。

ビット4	説 明
ICE	
0	TCORB1、 TCORB3はコンペアマッチレジスタ (初期値)
1	TCORB1、 TCORB3はインプットキャプチャレジスタ

8TCSR1 および8TCSR3のICEビットを1にセットしたときの、チャンネル0～3のTCORA、TCORB各レジスタの動作を下表にまとめます。

表 10.3 8TCSR1 レジスタのICE ビット = 1 に設定した場合のチャンネル0 とチャンネル1 の動作

レジスタ	レジスタ機能	ステータスフラグの変化	タイマ出力 キャプチャ入力	割り込み要求
TCORA0	コンペアマッチ 動作	コンペアマッチにより 8TCSR0 の CMFA=0 1 にセット	TMO ₀ から出力制 御可能	コンペアマッチにより CMIA0 割り込み要求発生
TCORB0	コンペアマッチ 動作	コンペアマッチが発生しても 8TCSR0 の CMFB=0 1 にセッ トされない	TMO ₀ から出力し ない	コンペアマッチが発生して も CMIB0 割り込み要求発生 しない
TCORA1	コンペアマッチ 動作	コンペアマッチにより 8TCSR1 の CMFA=0 1 にセット	TMIO ₁ はインプット キャプチャ専用端子	コンペアマッチにより CMIA1 割り込み要求発生
TCORB1	インプット キャプチャ動作	インプットキャプチャにより 8TCSR1 の CMFB=0 1 にセット	TMIO ₁ はインプット キャプチャ専用端子	インプットキャプチャによ り CMIB1 割り込み要求発生

表 10.4 8TCSR3 レジスタのICE ビット = 1 に設定した場合のチャンネル2 とチャンネル3 の動作

レジスタ	レジスタ機能	ステータスフラグの変化	タイマ出力 キャプチャ入力	割り込み要求
TCORA2	コンペアマッチ 動作	コンペアマッチにより 8TCSR2 の CMFA=0 1 にセット	TMO ₂ から出力制 御可能	コンペアマッチにより CMIA2 割り込み要求発生
TCORB2	コンペアマッチ 動作	コンペアマッチが発生しても 8TCSR2 の CMFB=0 1 にセッ トされない	TMO ₂ から出力し ない	コンペアマッチが発生して も CMIB2 割り込み要求発生 しない
TCORA3	コンペアマッチ 動作	コンペアマッチにより 8TCSR3 の CMFA=0 1 にセット	TMIO ₃ はインプット キャプチャ専用端子	コンペアマッチにより CMIA3 割り込み要求発生
TCORB3	インプット キャプチャ動作	インプットキャプチャにより 8TCSR3 の CMFB=0 1 にセット	TMIO ₃ はインプット キャプチャ専用端子	インプットキャプチャによ り CMIB3 割り込み要求発生

ビット3、2:アウトプット/インプットキャプチャエッジセレクト B3、B2(OIS3、OIS2)

OIS3、OIS2 は8TCSR1 (8TCSR3) の ICE ビットとの組み合わせにより、コンペアマッチ B による出力レベルの選択またはインプットキャプチャ入力の検出エッジの選択をします。

8TCSR1 (8TCSR3) のビット4の設定により TCORB1 (TCORB3) の機能が変わります。

8TCSR1 (8TCSR3)の ICE ビット	ビット 3	ビット 2	説 明
	OIS3	OIS2	
0	0	0	コンペアマッチ B で変化しない (初期値)
		1	コンペアマッチ B で 0 出力
	1	0	コンペアマッチ B で 1 出力
		1	コンペアマッチ B ごとに反転出力 (トグル出力)
1	0	0	立ち上がりエッジで TCORB インプットキャプチャ
		1	立ち下がりエッジで TCORB インプットキャプチャ
	1	0	立ち上がり / 立ち下がりの両エッジで TCORB インプットキャプチャ
		1	

- ・コンペアマッチレジスタとして機能している場合、タイマ出力はトグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してあります。
- ・コンペアマッチが A、B 同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。
- ・OIS3、OIS2、OS1、OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

ビット1、0: アウトプットセレクト A1、0 (OS1、OS0)

コンペアマッチ A による出力レベルを選択します。

ビット1	ビット0	説 明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

- ・コンペアマッチレジスタとして機能している場合、タイマ出力はトグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してあります。
- ・コンペアマッチが A、B 同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。
- ・OIS3、OIS2、OS1、OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

10.3 CPU とのインタフェース

10.3.1 8ビットレジスタ

8TCNT、TCORA、TCORB、8TCR、8TCSR は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

8TCNT に対してワード単位のリード/ライトを行った場合の動作を図 10.2、図 10.3 に示します。

また、8TCNT0、8TCNT1 に対してバイト単位のリード/ライトを行った場合の動作を図 10.4、図 10.5、図 10.6、図 10.7 に示します。

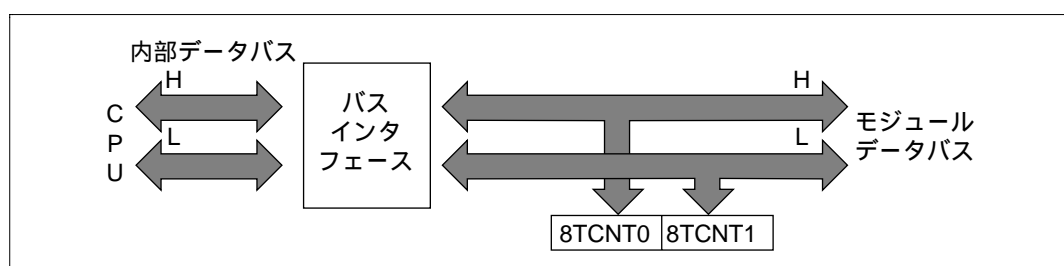


図 10.2 8TCNT のアクセス動作 [CPU 8TCNT (ワード)]

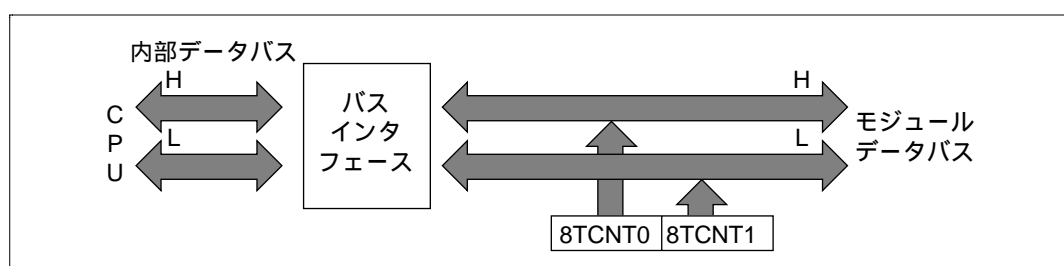


図 10.3 8TCNT のアクセス動作 [8TCNT CPU (ワード)]

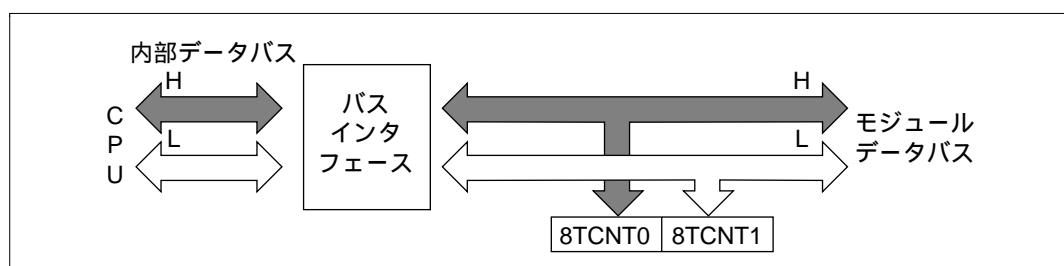


図 10.4 8TCNT0 のアクセス動作 [CPU 8TCNT0 (上位バイト)]

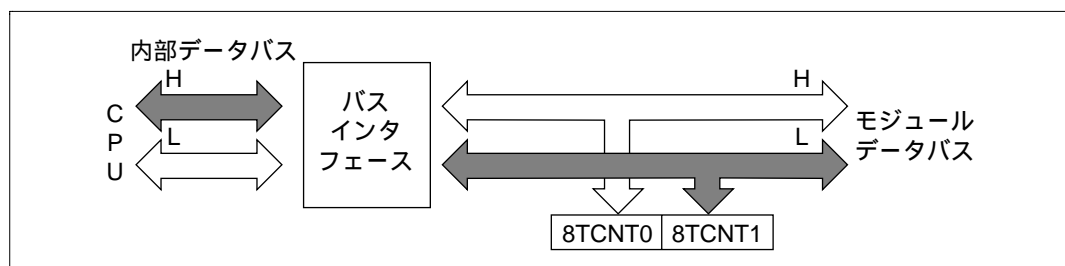


図 10.5 8TCNT1 のアクセス動作 [CPU 8TCNT1 (下位バイト)]

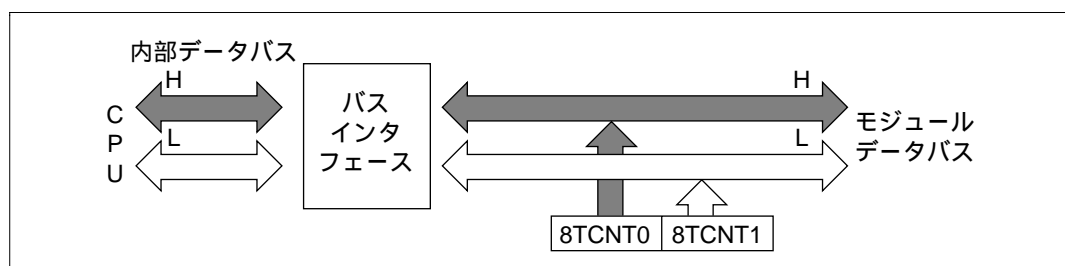


図 10.6 8TCNT0 のアクセス動作 [8TCNT0 CPU (上位バイト)]

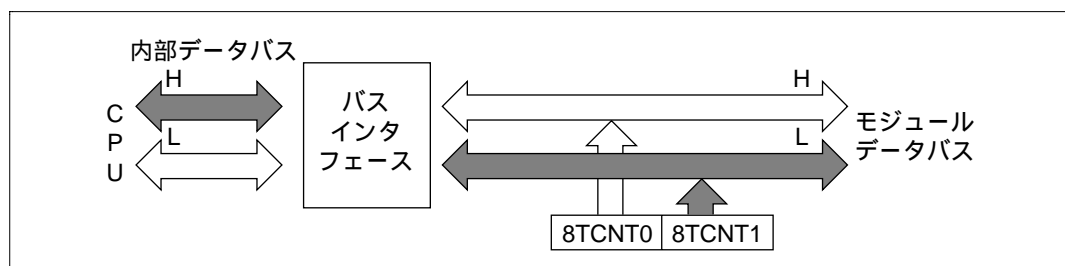


図 10.7 8TCNT1 のアクセス動作 [8TCNT1 CPU (下位バイト)]

10.4 動作説明

10.4.1 8TCNT のカウントタイミング

8TCNT は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

（１）内部クロック動作の場合

8TCR の CKS2～CKS0 ビットの設定により、システムクロック（ ）を分周して作られる 3 種類の内部クロック（ / 8、 / 64、 / 8192 ）が選択されます。このタイミングを図 10.8 に示します。

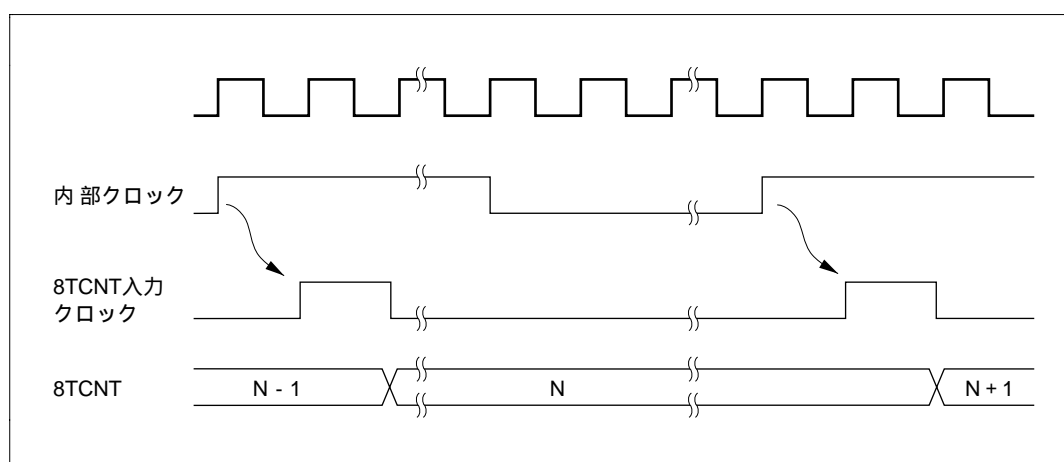


図 10.8 内部クロック動作時のカウントタイミング

【注】 16ビットタイマと 8ビットタイマで同じ内部クロックを選択した場合でも、カウントアップさせるエッジが異なるため同じ動作をしないので注意してください。

（２）外部クロック動作の場合

8TCR の CKS2～CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 10.9 に、外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

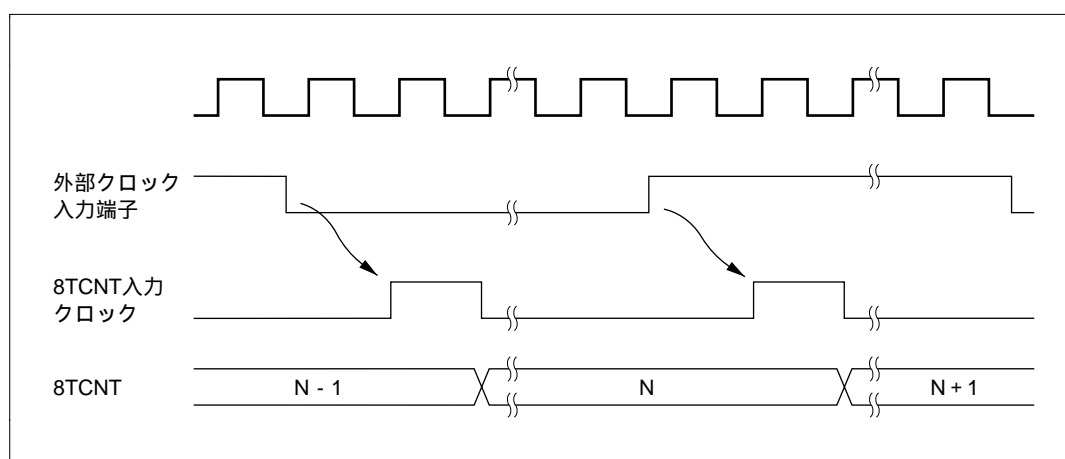


図 10.9 外部クロック動作時のカウントタイミング（両エッジ検出の場合）

10.4.2 コンペアマッチタイミング

（１）タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、8TCSR の OIS3,2、OS1,0 ビットで選択された状態（変化しない、0 出力、1 出力、トグル出力）で出力されます。

図 10.10 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

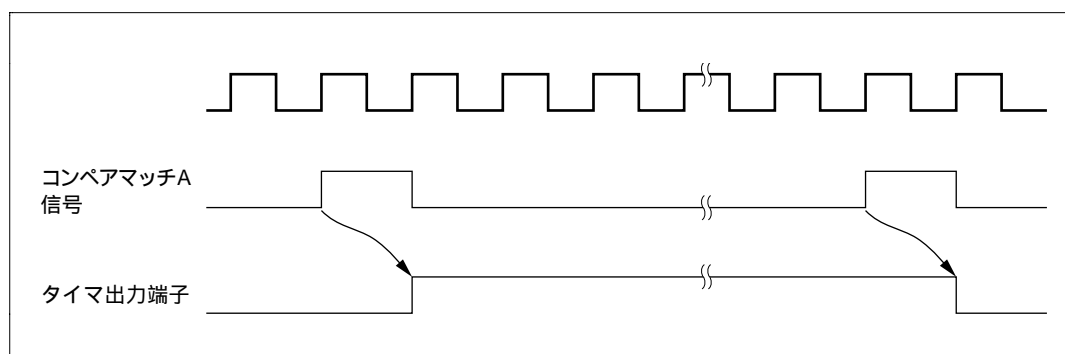


図 10.10 タイマ出力タイミング

(2) コンペアマッチによるクリア

8TCNT は、8TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 10.11 に示します。

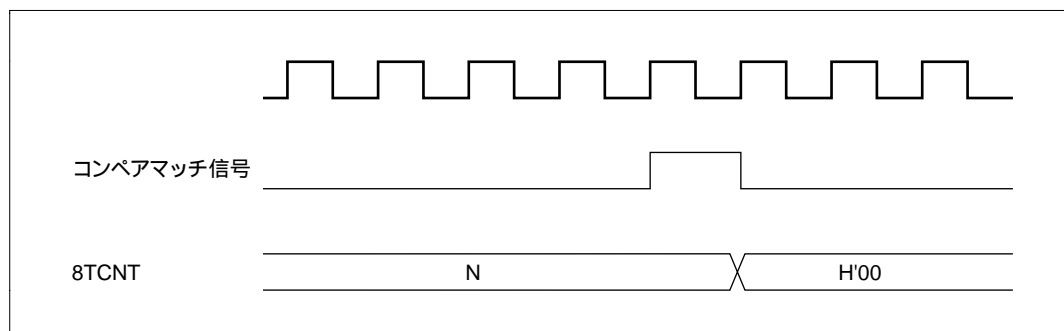


図 10.11 コンペアマッチによるクリアタイミング

(3) インพุットキャプチャによるクリア

8TCNT は、8TCR の CCLR1、CCLR0 ビットの選択によりインพุットキャプチャ B でクリアされます。このタイミングを図 10.12 に示します。

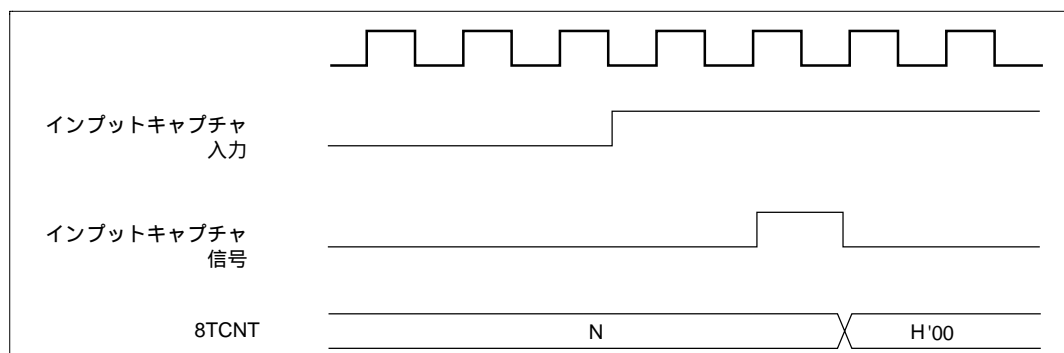


図 10.12 インพุットキャプチャによるクリアタイミング

10.4.3 インพุットキャプチャ信号タイミング

インพุットキャプチャ入力、8TCSR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 10.13 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5 システムクロック以上、両エッジの場合は2.5 システムクロック以上必要です。

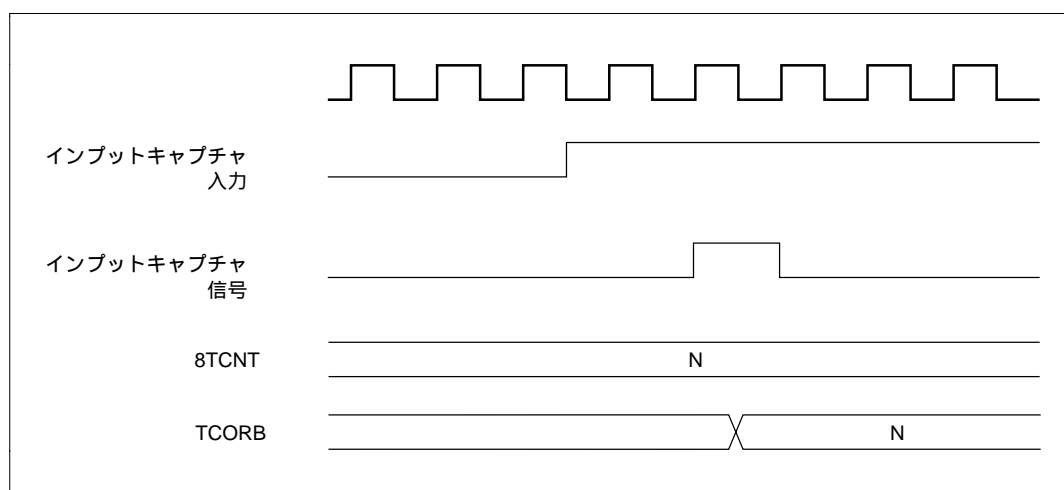


図 10.13 インพุットキャプチャ入力信号タイミング

10.4.4 ステータスフラグのセットタイミング

(1) コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

8TCSR の CMFA、CMFB フラグは、TCORA および TCORB と 8TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート（8TCNT が一致したカウント値を更新するタイミング）で発生します。

したがって、8TCNT と TCORA および TCORB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 10.14 に示します。

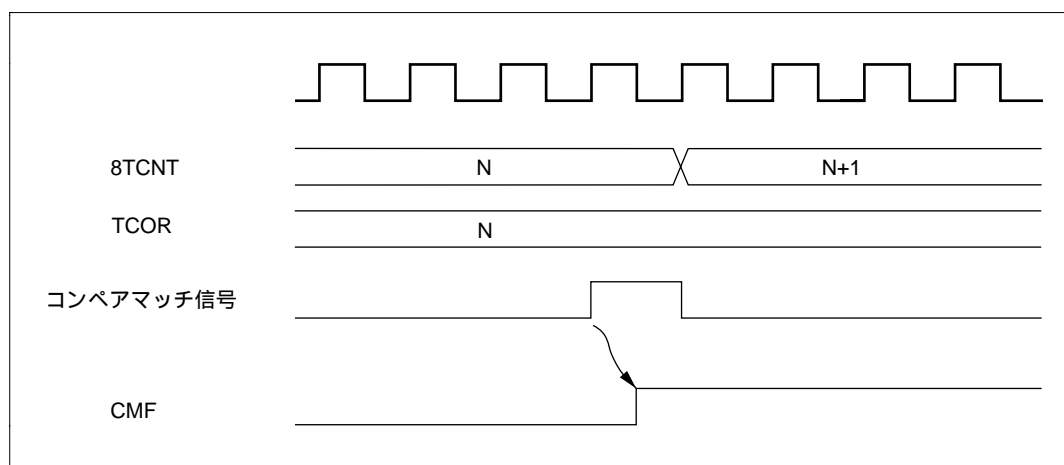


図 10.14 コンペアマッチ時の CMF フラグセットタイミング

(2) インพุットキャプチャ時の CMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により CMFB フラグは 1 にセットされ、同時に 8TCNT の値が対応する TCORB に転送されます。

このタイミングを図 10.15 に示します。

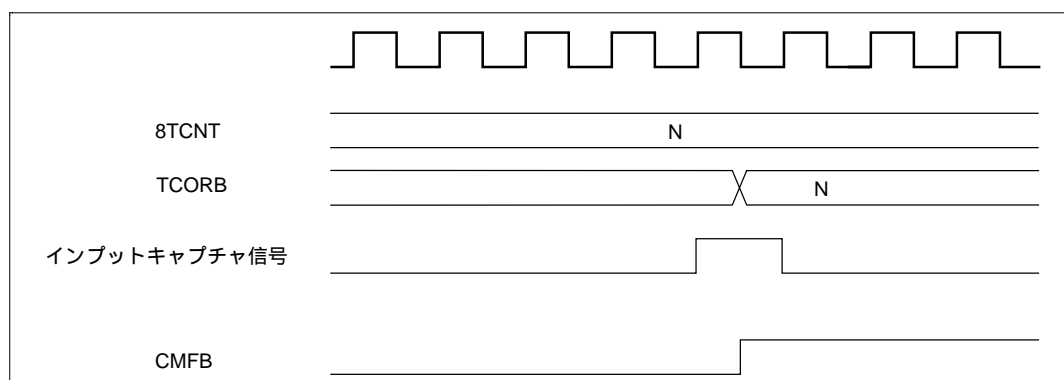


図 10.15 インพุットキャプチャ時の CMFB フラグセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

8TCSR の OVF は、オーバフロー (H'FF ~ H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このタイミングを図 10.16 に示します。

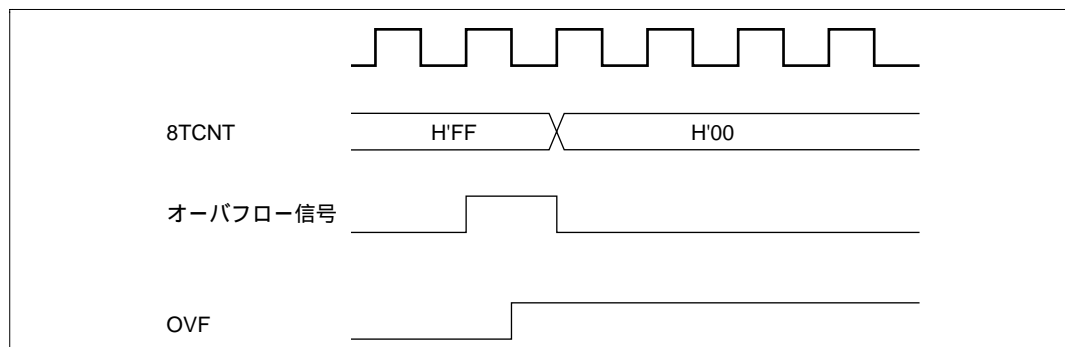


図 10.16 OVF のセットタイミング

10.4.5 カスケード接続時の動作

8TCR0、8TCR1 のいずれか一方の CKS2 ~ CKS0 ビットを (100) に設定すると、チャンネル 0 とチャンネル 1 の 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) か、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 でカウントする (コンペアマッチカウントモード) ことができます。なおチャンネル 2 とチャンネル 3 も同様に 8TCR2、8TCR3 のいずれか一方の CKS2 ~ CKS0 ビットを (100) に設定すると、チャンネル 2 とチャンネル 3 の 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) か、またはチャンネル 2 の 8 ビットタイマのコンペアマッチをチャンネル 3 でカウントする (コンペアマッチカウントモード) ことができます。このとき、本タイマは以下のように動作します。

(1) 16 ビットカウントモード

チャンネル 0、1 の場合：

8TCR0 の CKS2 ~ CKS0 ビットが (100) のとき、本タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(a) コンペアマッチ時の設定

- ・ 8TCSR0 の CMFA、CMFB フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- ・ 8TCSR1 の CMFA、CMFB フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。
- ・ 8TCSR0 の OIS3、OIS2、OS1、OS0 ビットによる TMO₀ 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。

- ・ 8TCSR1 の OIS3、OIS2、OS1、OS0 ビットによる TMIO₁ 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

(b) インพุットキャプチャ時の設定

- ・ 8TCSR0、8TCSR1 の CMFB フラグは、8TCSR1 の ICE ビットが 1 でインพุットキャプチャが発生したとき 1 にセットされます。
- ・ 8TCSR0 の OIS3、OIS2 ビットにより TMIO₁ 端子のインพุットキャプチャ入力信号の検出エッジを選択します。

(c) カウンタクリアの指定

- ・ 8TCR0 の CCLR1、CCLR0 ビットでコンペアマッチまたはインพุットキャプチャによるカウンタクリアをそれぞれ設定した場合、16 ビットカウンタ (8TCNT0、8TCNT1 の両方) がクリアされます。
- ・ 8TCR1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

(d) OVF フラグの動作

- ・ 8TCSR0 の OVF フラグは、16 ビットのカウンタ (8TCNT0、8TCNT1) がオーバーフロー (H'FFFF H'0000) したとき 1 にセットされます。
- ・ 8TCSR1 の OVF フラグは、8 ビットのカウンタ (8TCNT1) がオーバーフロー (H'FF H'00) したとき 1 にセットされます。

チャンネル 2、3 の場合:

8TCR2 の CKS2 ~ CKS0 ビットが (100) のとき、本タイマはチャンネル 2 を上位 8 ビット、チャンネル 3 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(a) コンペアマッチ時の設定

- ・ 8TCSR2 の CMFA、CMFB フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- ・ 8TCSR3 の CMFA、CMFB フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。
- ・ 8TCSR2 の OIS3、OIS2、OS1、OS0 ビットによる TMO₂ 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- ・ 8TCSR3 の OIS3、OIS2、OS1、OS0 ビットによる TMIO₃ 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

(b) インพุットキャプチャ時の設定

- ・ 8TCSR2、8TCSR3 の CMFB フラグは、8TCSR3 の ICE ビットが 1 でインพุットキャプチャが発生したとき 1 にセットされます。
- ・ 8TCSR2 の OIS3、OIS2 ビットにより TMIO₃ 端子のインพุットキャプチャ入力信号の検出エッジを選択します。

(c) カウンタクリア指定

- ・ 8TCR2 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16 ビットカウンタ (8TCNT2、8TCNT3 の両方) がクリアされます。
- ・ 8TCR3 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウントクリアはできません。

(d) OVF フラグの動作

- ・ 8TCR2 の OVF フラグは 16 ビットのカウンタ (8TCNT2、8TCNT3) がオーバーフロー (H'FFFF ~ H'0000) したとき 1 にセットされます。
- ・ 8TCR3 の OVF フラグは、8 ビットのカウンタ (8TCNT3) がオーバーフロー (H'FF ~ H'00) したとき 1 にセットされます。

(2) コンペアマッチカウントモード

チャンネル 0、1 の場合：

8TCR1 の CKS2 ~ CKS0 ビットが (100) のとき、8TCNT1 はチャンネル 0 のコンペアマッチ A をカウントします。

チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

チャンネル 2、3 の場合：

8TCR3 の CKS2 ~ CKS0 ビットが (100) のとき、8TCNT3 はチャンネル 2 のコンペアマッチ A をカウントします。

チャンネル 2、3 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

(3) 使用上の注意

同一グループ内で 16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、8TCNT の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

10.4.6 インพุットキャプチャの設定

インพุットキャプチャ/アウトพุットコンペア端子 (TMIO₁, TMIO₃) の入力エッジを検出して 8TCNT の値を TCORB に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、16ビットカウントモードの時は、16ビットのインพุットキャプチャとして使用できます。

(1) 8ビットタイマ(通常動作)時のインพุットキャプチャ動作の設定手順例

チャンネル1の場合:

- (1) 8TCSR1 の ICE ビットにより TCORB1 を 8ビットのインพุットキャプチャレジスタに設定します。
- (2) 8TCSR1 の OIS3、OIS2 ビットによって、インพุットキャプチャ信号 (TMIO₁) の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
- (3) 8TCR1 の CKS2~CKS0 ビットにより入力クロックを選択し、8TCNT のカウント動作を開始してください。

チャンネル3の場合:

- (1) 8TCSR3 の ICE ビットにより TCORB3 を 8ビットのインพุットキャプチャレジスタに設定します。
- (2) 8TCSR3 の OIS3、OIS2 ビットによって、インพุットキャプチャ信号 (TMIO₃) の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
- (3) 8TCR3 の CKS2~CKS0 ビットにより入力クロックを選択し、8TCNT のカウント動作を開始してください。

【注】チャンネル1のTCORB1をインพุットキャプチャとして使用する場合、チャンネル0のTCORB0レジスタはコンペアマッチレジスタとして使用できません。
またチャンネル3のTCORB3をインพุットキャプチャとして使用する場合、チャンネル2のTCORB2レジスタはコンペアマッチレジスタとして使用できません。

(2) 16ビットカウントモード時のインプットキャプチャ動作の設定手順

チャンネル0,1の場合:

- (1) 16ビットカウントモード時、8TCSR1のICEビットを1に設定すると、TCORB0、TCORB1は16ビットのインプットキャプチャレジスタになります。
- (2) 8TCSR0のOIS3、OIS2ビットによって、インプットキャプチャ信号(TMIO₁)の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
(16ビットカウントモードの時は8TCSR1のOIS3、OIS2ビットの設定は無効になります。)
- (3) 8TCR1のCKS2~CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

チャンネル2,3の場合:

- (1) 16ビットカウントモード時、8TCSR3のICEビットを1に設定すると、TCORB2、TCORB3は16ビットのインプットキャプチャレジスタになります。
- (2) 8TCSR2のOIS3、OIS2ビットによって、インプットキャプチャ信号(TMIO₃)の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
(16ビットカウントモードの時は8TCSR3のOIS3、OIS2ビットの設定は無効になります。)
- (3) 8TCR3のCKS2~CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

10.5 割り込み

10.5.1 割り込み要因

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表10.5に各割り込み要因と優先順位を示します。各割り込み要因は、8TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 10.5 8ビットタイマ割り込み要因の優先順位

割り込み要因	内 容	優先順位
CMIA	CMFAによる割り込み	<div style="text-align: center;"> 高 ↑ 低 </div>
CMIB	CMFBによる割り込み	
TOVI	OVFによる割り込み	

なお、コンペアマッチ割り込み（CMIA1/CMIB1、CMIA3/CMIB3）およびオーバーフロー割り込み（TOVI0/TOVI1、TOVI2/TOVI3）は、2つの割り込みでベクタを兼用しています。

表10.6に割り込み要因一覧を示します。

表 10.6 8ビットタイマ割り込み要因一覧

チャンネル	割り込み要因	内 容
0	CMIA0	TCORA0のコンペアマッチ
	CMIB0	TCORB0のコンペアマッチ / インプットキャプチャ
1	CMIA1/CMIB1	TCORA1のコンペアマッチ、またはTCORB1のコンペアマッチ / インプットキャプチャ
0、1	TOVI0/TOVI1	カウンタ0、またはカウンタ1のオーバーフロー
2	CMIA2	TCORA2のコンペアマッチ
	CMIB2	TCORB2のコンペアマッチ / インプットキャプチャ
3	CMIA3/CMIB3	TCORA3のコンペアマッチ、またはTCORB3のコンペアマッチ / インプットキャプチャ
2、3	TOVI2/TOVI3	カウンタ2、またはカウンタ3のオーバーフロー

10.5.2 A/D変換の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。

チャンネル0のコンペアマッチAの発生により、8TCSR0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていると、A/D変換器に対して、A/D変換の開始を要求します。このときA/D変換器のADCRのTRGEビットが1にセットされていると、A/D変換が開始されます。8TCSR0のADTEビットが1にセットされている場合、A/D

変換器の外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力は無効となります。

10.6 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 10.17 に示します。これは次に示すように設定します。

- (1) TCORA のコンペアマッチにより 8TCNT がクリアされるように、8TCR の CCLR1 ビットを 0 にクリア、CCLR0 ビットを 1 にセットします。
- (2) TCORA のコンペアマッチにより 1 出力、TCORB のコンペアマッチにより 0 出力になるように 8TCSR の OIS3,2、OS1,0 ビットを (0110) に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

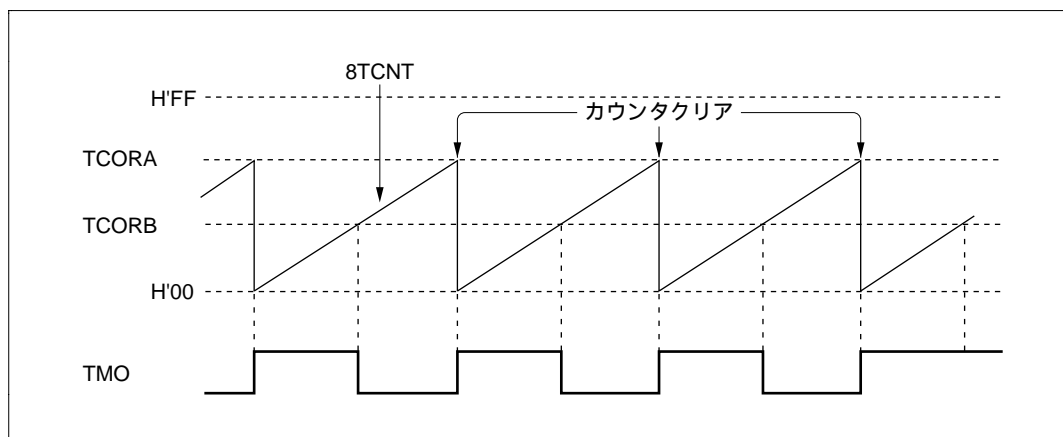


図 10.17 パルス出力例

10.7 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こりますので注意してください。

10.7.1 8TCNTのライトとクリアの競合

8TCNTのライトサイクル中の T_3 状態で、カウンタクリア信号が発生すると、8TCNTへの書き込みサイクルは行われず、8TCNTのクリアが優先されます。

このタイミングを図10.18に示します。

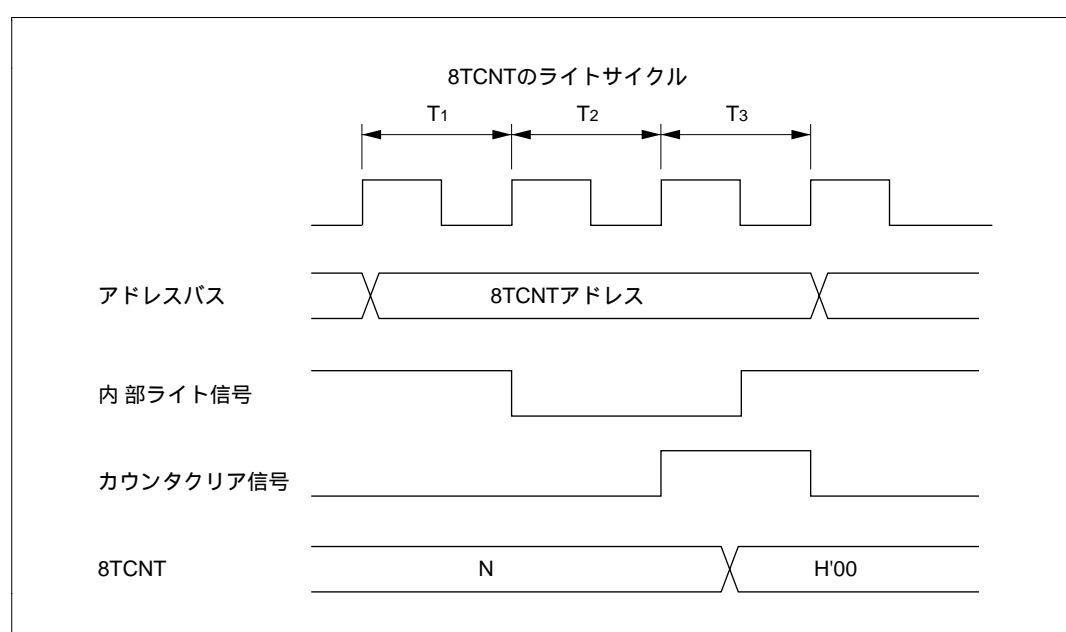


図 10.18 8TCNTのライトとクリアの競合

10.7.2 8TCNT のライトとカウントアップの競合

8TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 10.19 に示します。

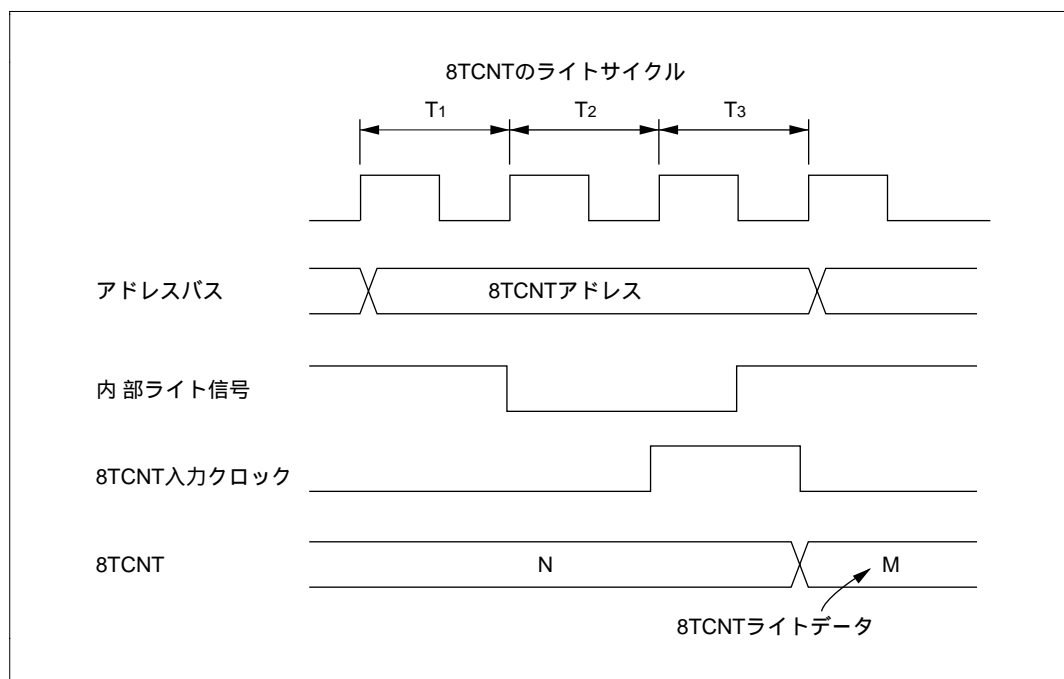


図 10.19 8TCNT のライトとカウントアップの競合

10.7.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T_3 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 10.20 に示します。

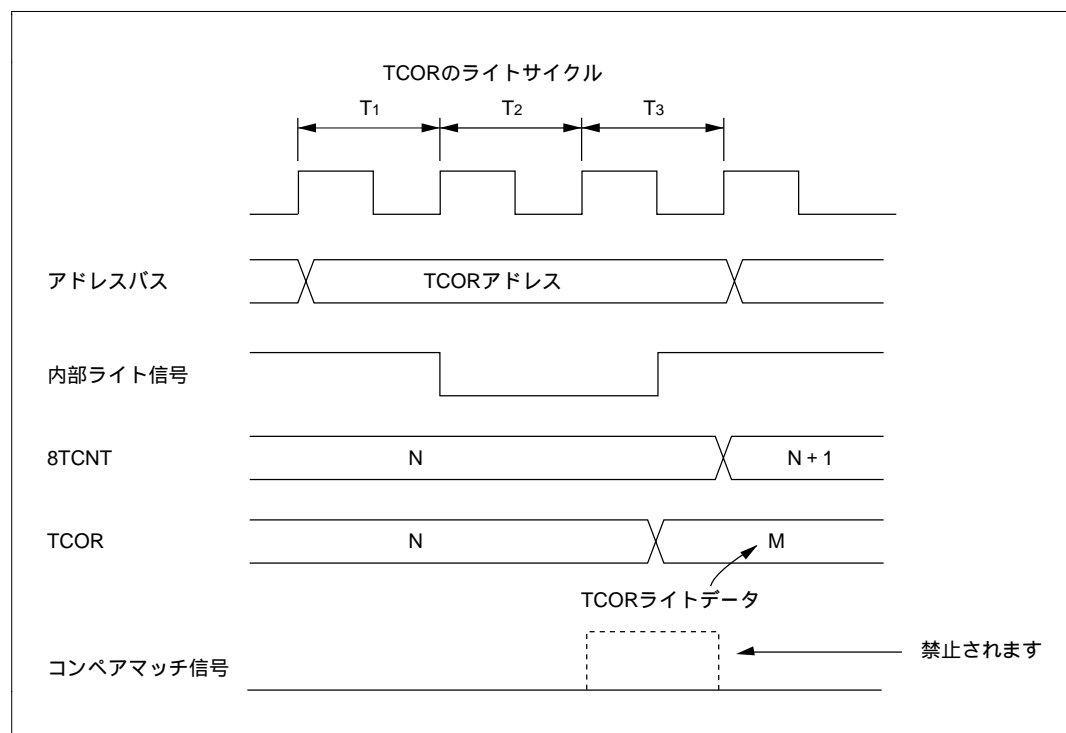


図 10.20 TCOR のライトとコンペアマッチの競合

10.7.4 TCOR のリードとインプットキャプチャの競合

TCOR のリードサイクル中の T_3 ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミング図を図 10.21 に示します。

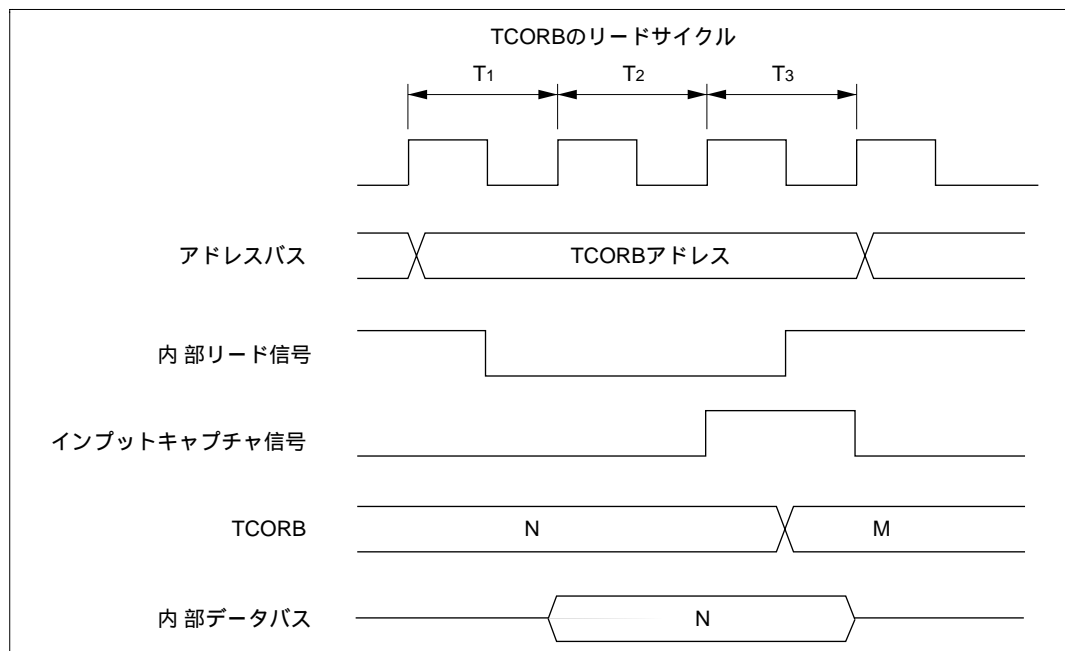


図 10.21 TCORB のリードとインプットキャプチャの競合

10.7.5 インプットキャプチャによるカウンタクリアとカウントアップの競合

インプットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインプットキャプチャによるカウンタクリアが優先されます。TCORB にはカウンタクリア前の 8TCNT の内容が転送されます。

このタイミング図を図 10.22 に示します。

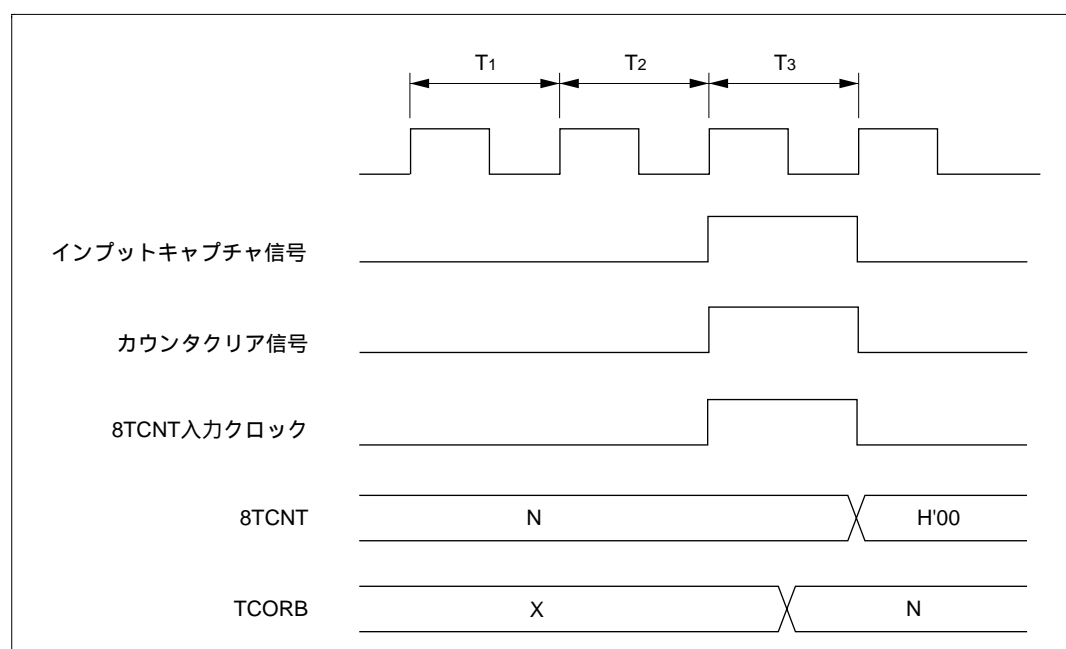


図 10.22 インプットキャプチャによるカウンタクリアとカウントアップの競合

10.7.6 TCOR のライトとインプットキャプチャの競合

TCOR のライトサイクル中の T₃ ステートで、インプットキャプチャ信号が発生すると、TCOR への書き込みは行われず、インプットキャプチャが優先されます。

このタイミング図を図 10.23 に示します。

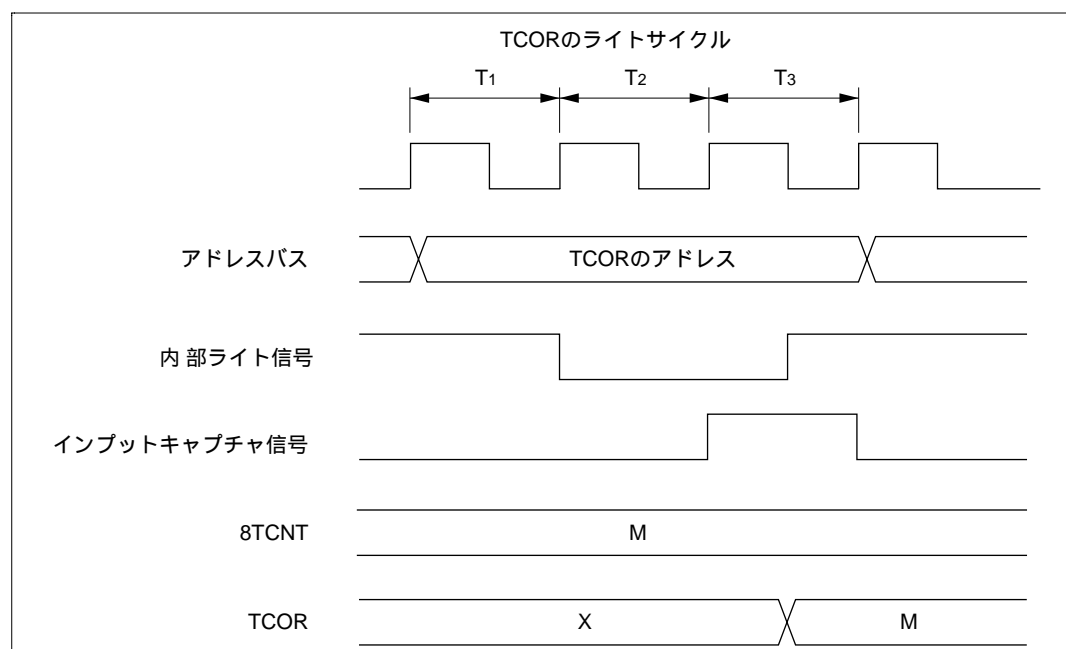


図 10.23 TCOR とインプットキャプチャの競合

10.7.7 16ビットカウントモード（カスケード接続時）の8TCNTのバイトライトとカウントアップの競合

16ビットカウントモードで8TCNTのバイトライトサイクル中の T_2 ステートまたは T_3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータはカウントアップされます。

このタイミングを図10.24に示します。

8TCNT（上位側）のバイトライトサイクル中の T_2 ステートでカウントアップが発生した場合の例です。

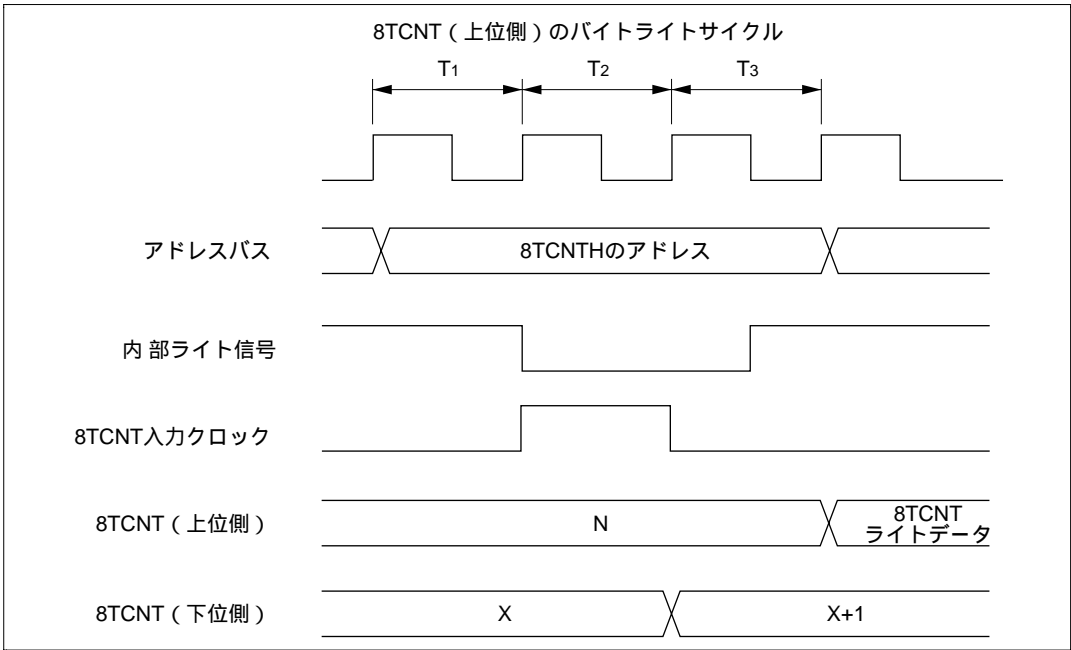


図 10.24 16ビットカウントモード時の8TCNTのバイトライトとカウントアップの競合

10.7.8 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 10.7 に示すタイマ出力の優先順位に従って動作します。

表 10.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

10.7.9 内部クロックの切り替えと8TCNTの動作

内部クロックを切り替えるタイミングによっては、8TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と8TCNT 動作の関係を表 10.8 に示します。

内部クロックから 8TCNT クロックを生成する場合、内部クロックの立ち上がりエッジで検出しています。そのため表 10.8 の No.3 のように、Low High レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして 8TCNT クロックが発生し、8TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、8TCNT がカウントアップされることがあります。

表 10.8 内部クロックの切り替えと 8TCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	8TCNT クロックの動作
1	High High レベル* ¹ の切り替え	<p>切り替え前の クロック</p> <p>切り替え後の クロック</p> <p>8TCNT クロック</p> <p>8TCNT</p> <p>N N + 1</p> <p>CKSビット書き換え</p>
2	High Low レベル* ² の切り替え	<p>切り替え前の クロック</p> <p>切り替え後の クロック</p> <p>8TCNT クロック</p> <p>8TCNT</p> <p>N N + 1 N + 2</p> <p>CKSビット書き換え</p>

No.	CKS1、CKS0 ビット 書き換えタイミング	8TCNT クロックの動作
3	Low High レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>8TCNT クロック</p> <p>8TCNT</p> <p>CKSビット書き換え</p>
4	Low Low レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>8TCNT クロック</p> <p>8TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 High レベル 停止、および停止 High レベルの場合を含みます。

*2 停止 Low レベルの場合を含みます。

*3 Low レベル 停止を含みます。

*4 切り替えのタイミングを立ち上がりエッジとみなすために発生し、8TCNT はカウントアップされてしまいます。

11. プログラマブル タイミングパターン コントローラ (TPC)

第11章 目次

11.1	概要.....	465
11.1.1	特長.....	465
11.1.2	ブロック図.....	466
11.1.3	端子構成.....	467
11.1.4	レジスタ構成.....	468
11.2	各レジスタの説明.....	469
11.2.1	ポート A データディレクションレジスタ (PADDDR)	469
11.2.2	ポート A データレジスタ (PADR)	469
11.2.3	ポート B データディレクションレジスタ (PBDDR)	470
11.2.4	ポート B データレジスタ (PBDR)	470
11.2.5	ネクストデータレジスタ A (NDRA)	471
11.2.6	ネクストデータレジスタ B (NDRB)	473
11.2.7	ネクストデータイネーブルレジスタ A (NDERA)	475
11.2.8	ネクストデータイネーブルレジスタ B (NDERB)	476
11.2.9	TPC 出力コントロールレジスタ (TPCR)	477
11.2.10	TPC 出力モードレジスタ (TPMR)	480
11.3	動作説明.....	483
11.3.1	概要.....	483
11.3.2	出力タイミング.....	484
11.3.3	TPC 出力通常動作	485
11.3.4	TPC 出力ノンオーバーラップ動作	487
11.3.5	インプットキャプチャによる TPC 出力.....	489
11.4	使用上の注意	490

11. プログラマブルタイミングパターンコントローラ (TPC)

11.4.1	TPC 出力端子の動作.....	490
11.4.2	ノンオーバーラップ動作時の注意.....	490

11.1 概要

本 LSI は、16 ビットタイマをタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

TPC の特長を以下に示します。

出力データ 16 ビット

最大 16 ビットのデータ出力が可能で、TPC 出力をビット単位に許可することができます。

4 系統の出力可能

4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×4 系統の出力を行うことができます。

出力トリガ信号を選択可能

16 ビットタイマの 3 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

DMA コントローラ (DMAC) との連携動作可能

出力トリガ信号に選択したコンペアマッチ信号で DMAC を起動することにより、CPU の介在なくデータを順次出力することができます。

11.1.2 ブロック図

TPC のブロック図を図 11.1 に示します。

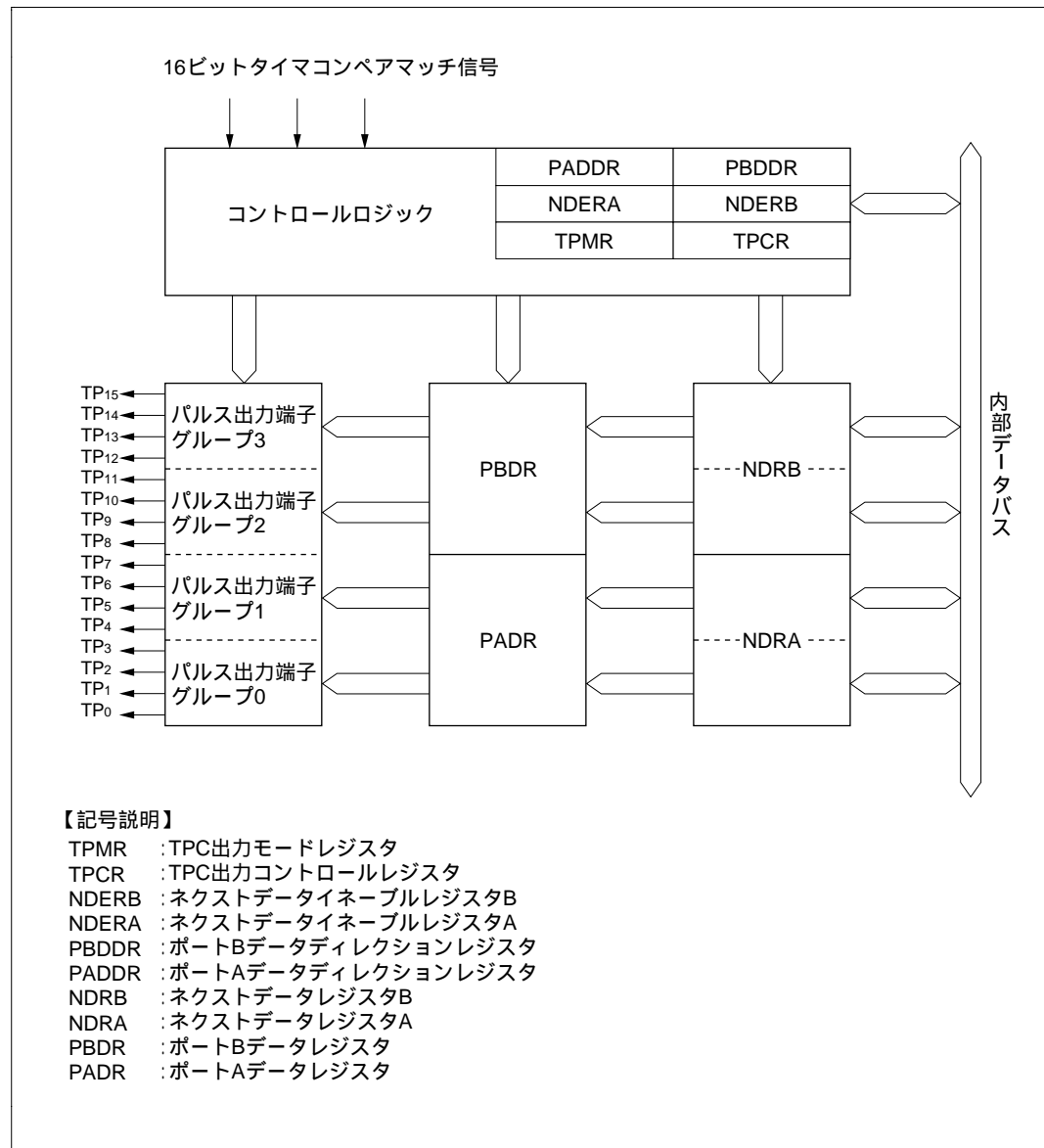


図 11.1 TPC のブロック図

11.1.3 端子構成

TPC の端子構成を表 11.1 に示します。

表 11.1 端子構成

名 称	略 称	入出力	機 能
TPC 出力 0	TP ₀	出力	グループ 0 のパルス出力
TPC 出力 1	TP ₁	出力	
TPC 出力 2	TP ₂	出力	
TPC 出力 3	TP ₃	出力	
TPC 出力 4	TP ₄	出力	グループ 1 のパルス出力
TPC 出力 5	TP ₅	出力	
TPC 出力 6	TP ₆	出力	
TPC 出力 7	TP ₇	出力	
TPC 出力 8	TP ₈	出力	グループ 2 のパルス出力
TPC 出力 9	TP ₉	出力	
TPC 出力 10	TP ₁₀	出力	
TPC 出力 11	TP ₁₁	出力	
TPC 出力 12	TP ₁₂	出力	グループ 3 のパルス出力
TPC 出力 13	TP ₁₃	出力	
TPC 出力 14	TP ₁₄	出力	
TPC 出力 15	TP ₁₅	出力	

11.1.4 レジスタ構成

TPC のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

アドレス * ¹	名 称	略 称	R/W	初期値
H'EE009	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFFD9	ポート A データレジスタ	PADR	R/(W)* ²	H'00
H'EE00A	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFFDA	ポート B データレジスタ	PBDR	R/(W)* ²	H'00
H'FFFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFFA5/ H'FFFA7* ³	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFFA4/ H'FFFA6* ³	ネクストデータレジスタ B	NDRB	R/W	H'00

【注】 * 1 アドバンスモード時のアドレス下位 20 ビットを示しています。

* 2 TPC 出力として使用しているビットは、ライトできません。

* 3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFFA7、グループ 1 に対応する NDRA のアドレスは H'FFFA5 となります。

同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFFA6、グループ 3 に対応する NDRB のアドレスは H'FFFA4 となります。

11.2 各レジスタの説明

11.2.1 ポート A データディレクションレジスタ (PADDDR)

PADDDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7～0

ポートAの各端子の入出力を選択するビットです。

ポート A は TP₇ ~ TP₀ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PADDDR の詳細は、「8.11 ポート A」を参照してください。

11.2.2 ポート A データレジスタ (PADR)

PADR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7～0

TPC出力グループ0、1の出力データを格納するビットです。

【注】* NDERA により、TPC 出力に設定されたビットはリード専用となります。

PADR の詳細は、「8.11 ポート A」を参照してください。

11.2.3 ポート B データディレクションレジスタ (PBDDR)

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

ポート B は TP₁₅ ~ TP₈ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PBDDR の詳細は、「8.12 ポート B」を参照してください。

11.2.4 ポート B データレジスタ (PBDR)

PBDR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートBデータ7~0

TPC出力グループ2、3の出力データを格納するビットです。

【注】* NDERB により、TPC 出力に設定されたビットはリード専用となります。

PBDR の詳細は、「8.12 ポート B」を参照してください。

11.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇ ~ TP₀ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した 16 ビットタイマのコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス: H'FFFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ネクストデータ7~4 TPC出力グループ1の次の 出力データを格納するビットです。				ネクストデータ3~0 TPC出力グループ0の次の 出力データを格納するビットです。				

(b) アドレス: H'FFFA7

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	-	-	-	-	-	-	-	-
リザーブビット								

(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDRA の上位 4 ビット (グループ 1) のアドレスは H'FFFA5、NDRA の下位 4 ビット (グループ 0) のアドレスは H'FFFA7 となります。このとき、アドレス H'FFFA5 のビット 3~0、アドレス H'FFFA7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス: H'FFFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ネクストデータ7~4
 TPC出力グループ1の次の
 出力データを格納するビットです。

リザーブビット

(b) アドレス: H'FFFA7

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ3~0
 TPC出力グループ0の次の
 出力データを格納するビットです。

11.2.6 ネクストデータレジスタ B (NDRB)

NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した 16 ビットタイマのコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス: H'FFFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ15~12

TPC出力グループ3の次の

出力データを格納するビットです。

ネクストデータ11~8

TPC出力グループ2の次の

出力データを格納するビットです。

(b) アドレス: H'FFFA6

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

リザーブビット

(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、と、NDRB の上位 4 ビット（グループ 3）のアドレスは H'FFFA4、NDRB の下位 4 ビット（グループ 2）のアドレスは H'FFFA6 となります。このとき、アドレス H'FFFA4 のビット 3~0、アドレス H'FFFA6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス: H'FFFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ネクストデータ15～12

リザーブビット

TPC出力グループ3の次の
出力データを格納するビットです。

(b) アドレス: H'FFFA6

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値：	1	1	1	1	0	0	0	0
R/W：	-	-	-	-	R/W	R/W	R/W	R/W
	リザーブビット				ネクストデータ11~8			

ネクストデータ11~8
TPC出力グループ2の次の
出力データを格納するビットです。

11.2.7 ネクストデータイネーブルレジスタ A (NDERA)

NDERA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇ ~ TP₀ 端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0

TPC出力グループ1、0を許可/禁止を選択するビットです。

NDERA により TPC 出力が許可されたビットは、TPCR で選択された 16 ビットタイマのコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0:ネクストデータイネーブル 7~0 (NDER7~NDER0)

TPC 出力グループ 1、0 (TP₇ ~ TP₀ 端子) の許可/禁止をビット単位で選択します。

ビット7~0	説 明
NDER7 ~ NDER0	
0	TPC 出力 TP ₇ ~ TP ₀ を禁止 (NDR7 ~ NDR0 から PA ₇ ~ PA ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₇ ~ TP ₀ を許可 (NDR7 ~ NDR0 から PA ₇ ~ PA ₀ への転送許可)

11.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8

TPC出力グループ3、2を許可/禁止を選択するビットです。

NDERB により TPC 出力が許可されたビットは、TPCR で選択された 16 ビットタイマのコンペアマッチが発生すると、NDERB の値が PBDR の当該ビットに自動転送され出力値が更新されます。 TPC 出力を禁止されているビットについては、NDERB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0:ネクストデータイネーブル 15~8 (NDER15~NDER8)

TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット7~0	説 明
NDER15 ~ NDER8	
0	TPC 出力 TP ₁₅ ~ TP ₈ を禁止 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₁₅ ~ TP ₈ を許可 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送許可)

11.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								<u>グループ0コンペアマッチセレクト1、0</u> TPC出力グループ0 (TP ₃ ~TP ₀) の出力トリガとなるコンペアマッチを選択するビットです。
								<u>グループ1コンペアマッチセレクト1、0</u> TPC出力グループ1 (TP ₇ ~TP ₄) の出力トリガとなるコンペアマッチを選択するビットです。
								<u>グループ2コンペアマッチセレクト1、0</u> TPC出力グループ2 (TP ₁₁ ~TP ₈) の出力トリガとなるコンペアマッチを選択するビットです。
								<u>グループ3コンペアマッチセレクト1、0</u> TPC出力グループ3 (TP ₁₅ ~TP ₁₂) の出力トリガとなるコンペアマッチを選択するビットです。

TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7、6: グループ 3 コンペアマッチセレクト 1、0 (G3CMS1、G3CMS0)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説 明
G3CMS1	G3CMS0	
0	0	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビットタイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビットタイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ (初期値)

ビット5、4: グループ 2 コンペアマッチセレクト 1、0 (G2CMS1、G2CMS0)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット5	ビット4	説 明
G2CMS1	G2CMS0	
0	0	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビットタイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビットタイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ (初期値)

ビット3、2: グループ 1 コンペアマッチセレクト 1、0 (G1CMS1、G1CMS0)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	
0	0	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビットタイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビットタイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ (初期値)

ビット1、0: グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、16 ビットタイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、16 ビットタイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ (初期値)

11.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット

グループ0 ノンオーバーラップ
TPC出力グループ0 (TP₃~TP₀) のノンオーバーラップ動作を設定するビットです。

グループ1 ノンオーバーラップ
TPC出力グループ1 (TP₇~TP₄) のノンオーバーラップ動作を設定するビットです。

グループ2 ノンオーバーラップ
TPC出力グループ2 (TP₁₁~TP₈) のノンオーバーラップ動作を設定するビットです。

グループ3 ノンオーバーラップ
TPC出力グループ3 (TP₁₅~TP₁₂) のノンオーバーラップ動作を設定するビットです。

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる 16 ビットタイマの GRB に出
力波形の周期を、また GRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で
出力値を変化させます。

詳細は、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 にイニシャライズ
されます。

ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7~4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット3: グループ 3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説 明
G3NOV	
0	TPC 出力グループ 3 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)

ビット2: グループ 2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説 明
G2NOV	
0	TPC 出力グループ 2 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)

ビット1: グループ 1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	説 明
G1NOV	
0	TPC 出力グループ 1 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)

ビット0: グループ 0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 0	説 明
G0NOV	
0	TPC 出力グループ 0 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)

11.3 動作説明

11.3.1 概要

TPC 出力は、PADDDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PADDR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADDR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を図 11.2 に示します。また、TPC 動作条件を表 11.3 に示します。

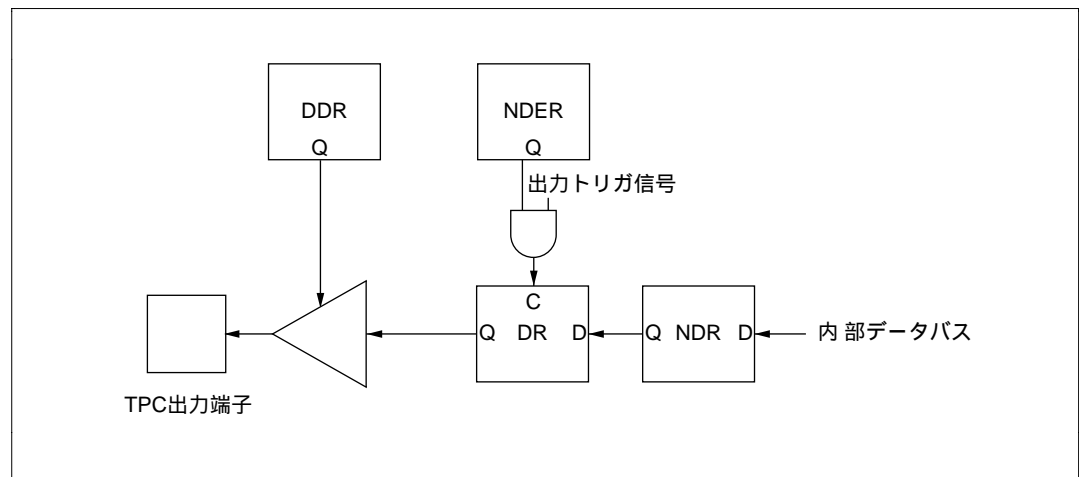


図 11.2 TPC 出力動作

表 11.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート（ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません）
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDRA/NDRB の内容が PADR/PBDR に転送され、出力されます。

このタイミングを図 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

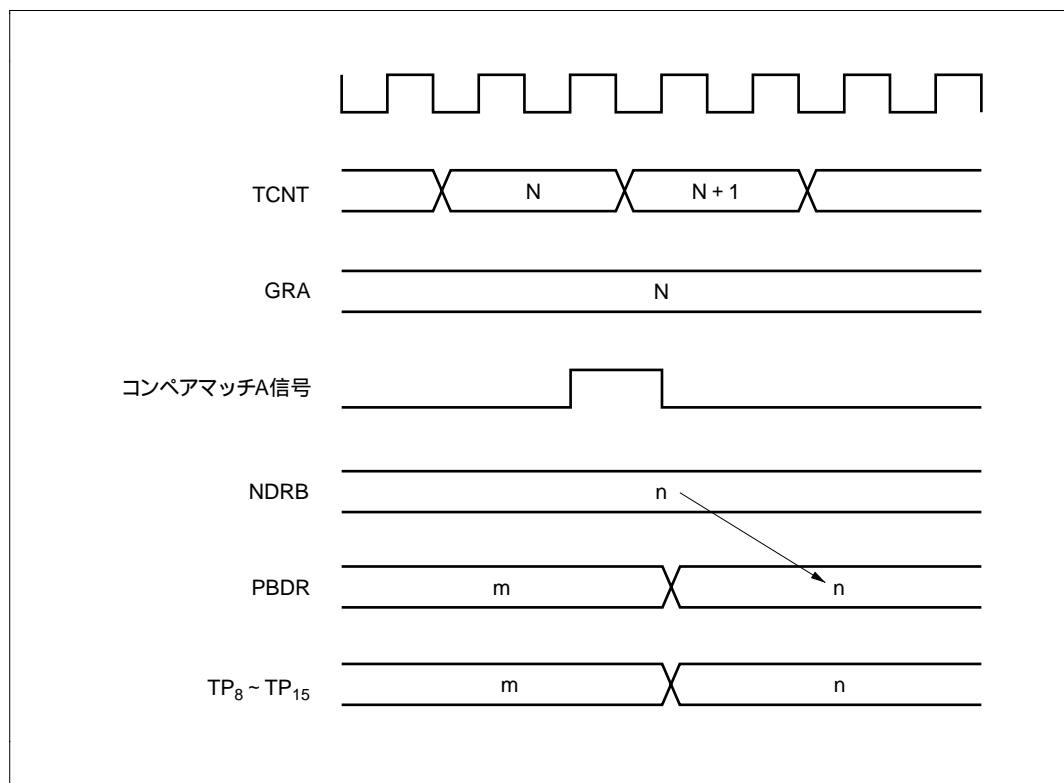


図 11.3 NDR の内容が転送・出力されるタイミング (例)

11.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 11.4 に示します。

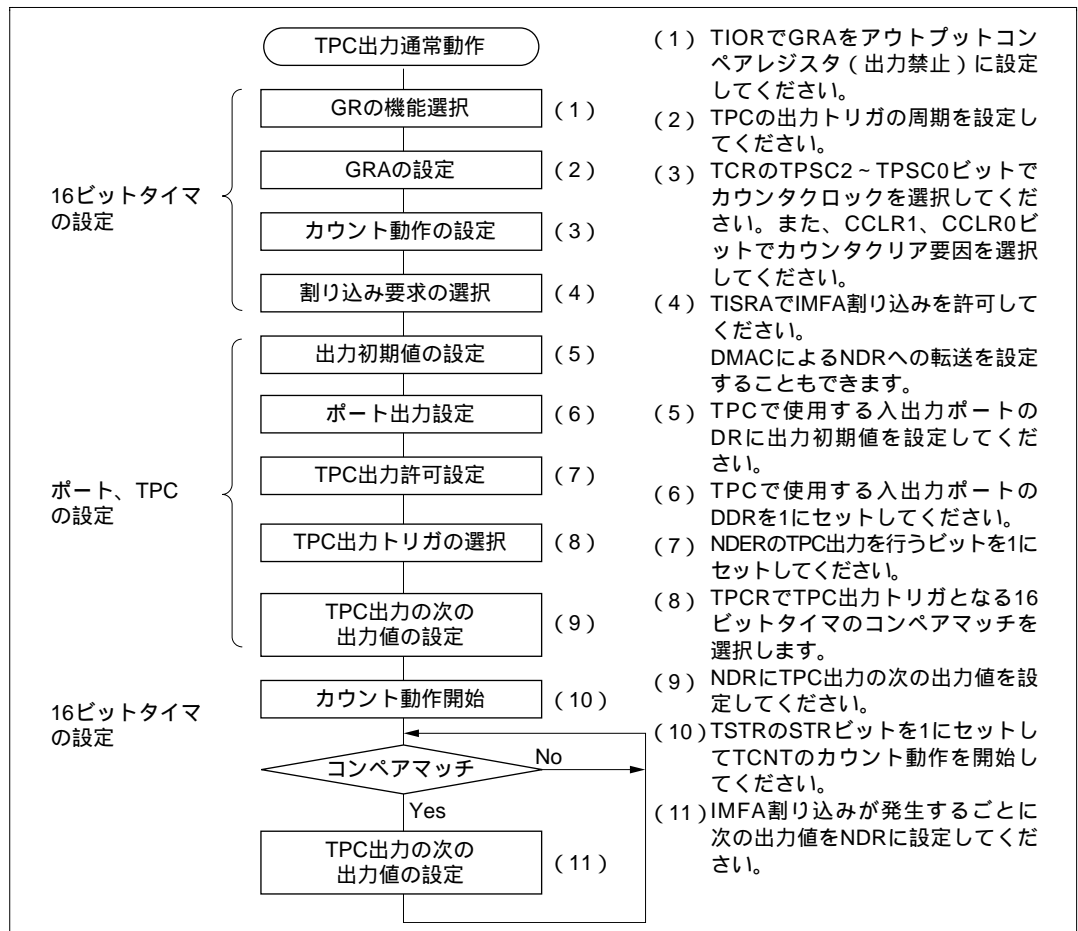
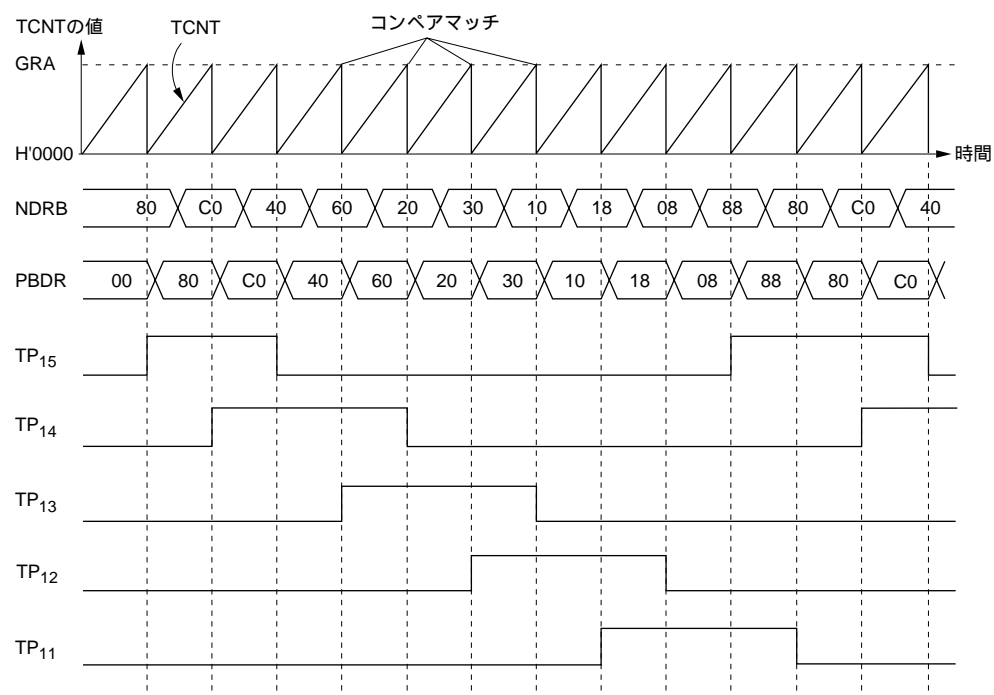


図 11.4 TPC 出力通常動作の設定手順例

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 11.5 に示します。



- (1) 出力トリガとする16ビットタイマのGRAをアウトプットコンペアレジスタに設定します。
GRAには周期を設定し、コンペアマッチ A によるカウンタクリアを選択します。また、TISRAのIMIEAビットを1にセットして、コンペアマッチA割り込みを許可します。
- (2) PBDDRとNDRBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを(1)で選択した16ビットタイマのコンペアマッチに設定します。NDRBに出力データH'80をライトします。
- (3) 16ビットタイマ当該チャネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。
コンペアマッチ / インプットキャプチャA (IMFA) 割り込み処理でNDRBに次の出力データH'C0をライトします。
- (4) 以後、IMFA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

図 11.5 TPC 出力通常動作例 (5 相パルス出力例)

11.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

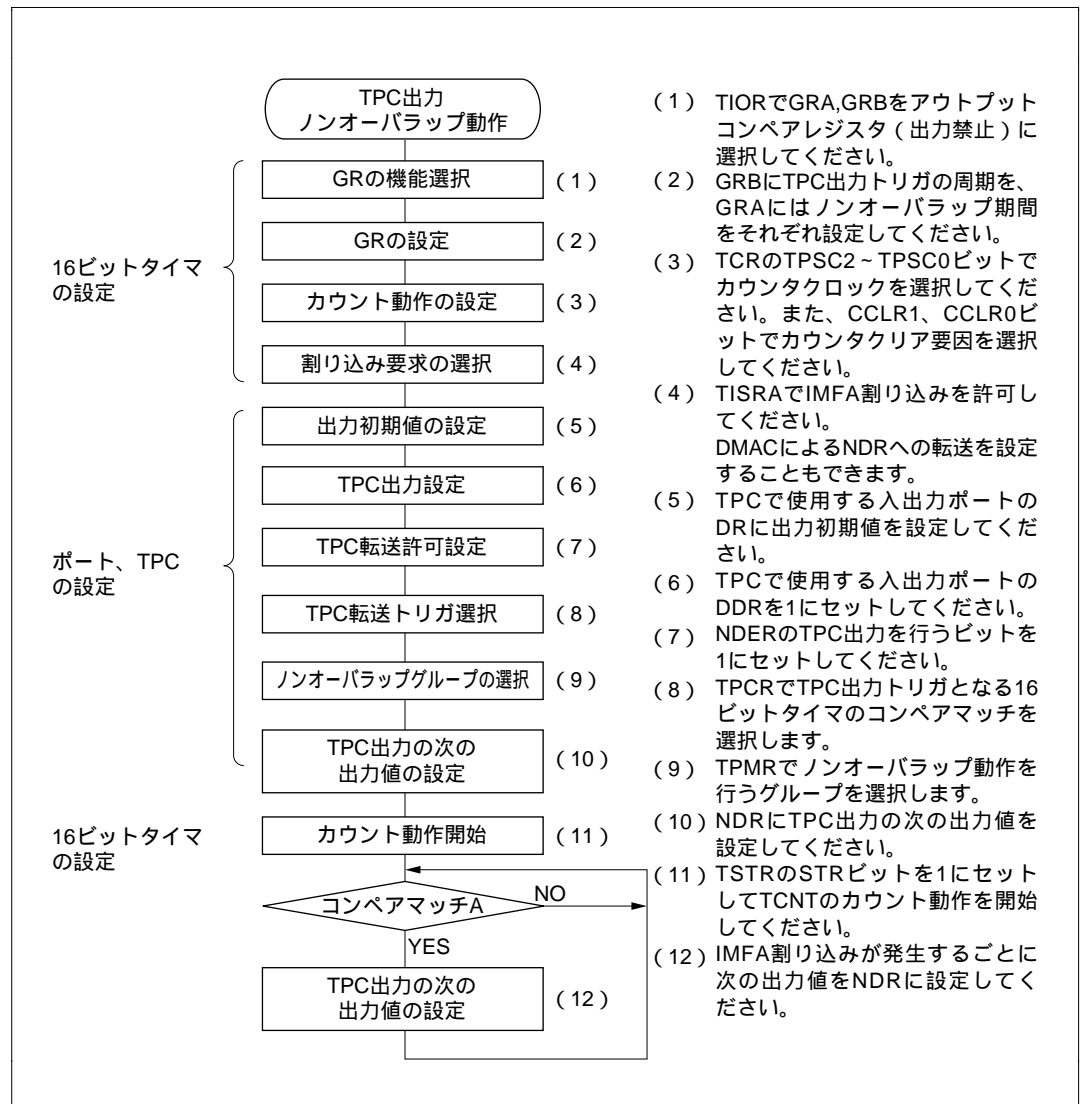


図 11.6 TPC 出力ノンオーバーラップ動作の設定手順例

(2) TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

TPC 出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 11.7 に示します。

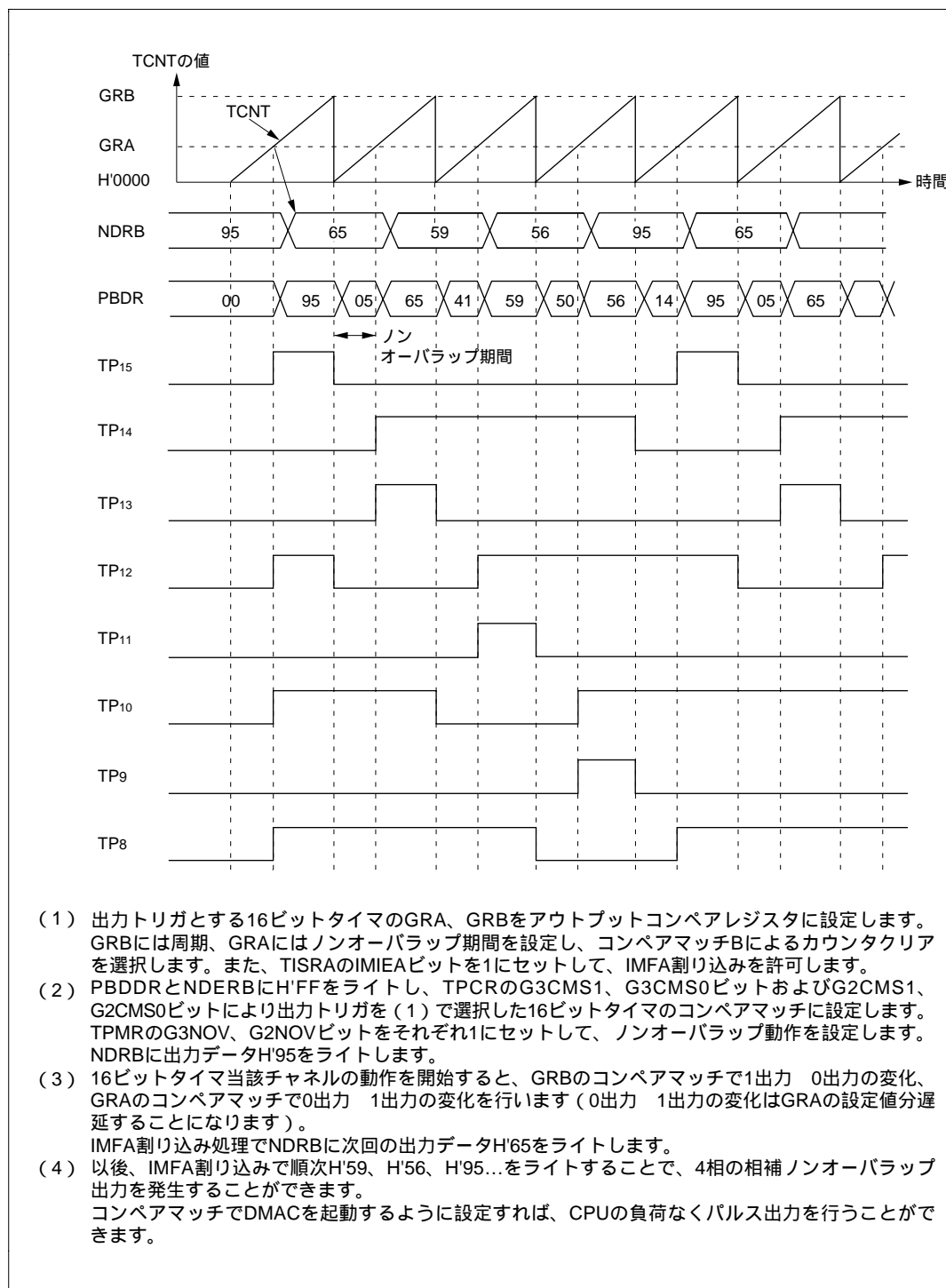


図 11.7 TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

11.3.5 インพุットキャプチャによる TPC 出力

TPC 出力は、16 ビットタイマのコンペアマッチだけでなく、インพุットキャプチャによっても可能です。

TPCR によって選択された 16 ビットタイマの GRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号により TPC 出力を行います。

このタイミングを図 11.8 に示します。

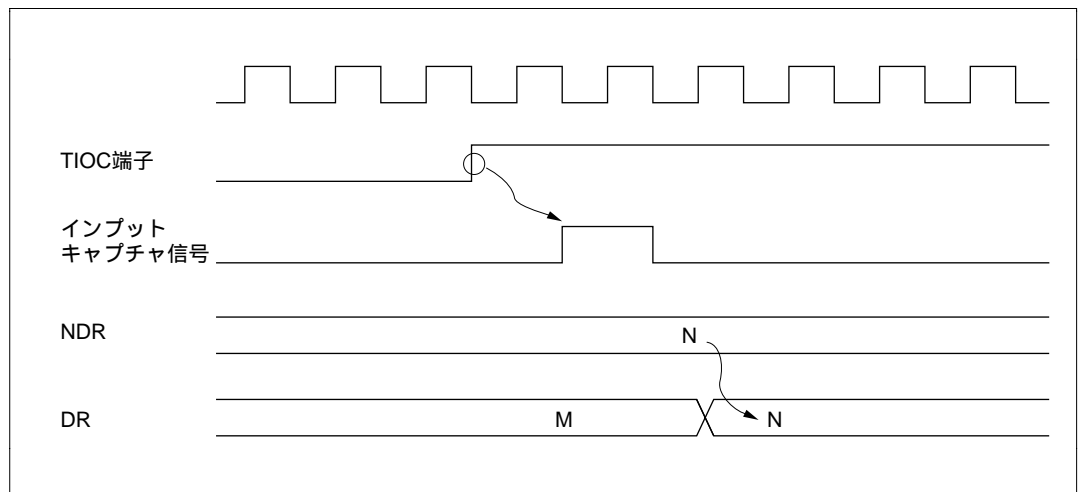


図 11.8 インพุットキャプチャによる TPC 出力例

11.4 使用上の注意

11.4.1 TPC 出力端子の動作

TP₀ ~ TP₁₅ は 16 ビットタイマ、DMAC、アドレスバスなどの端子と兼用になっています。これらの端子は、16 ビットタイマ、DMAC、アドレスバスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようにになっています。

- (1) コンペアマッチ A では NDR の内容を常に DR へ転送します。
- (2) コンペアマッチ B では NDR の転送するビットの内容が 0 のときのみ転送を行います。
1 のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 11.9 に示します。

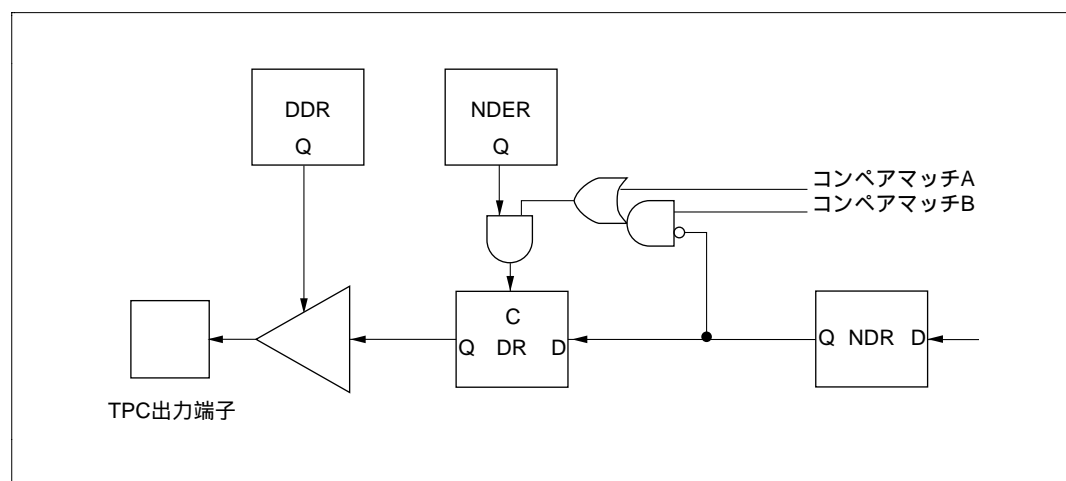


図 11.9 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先だって行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは IMFA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、IMFA 割り込みで DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.10 に示します。

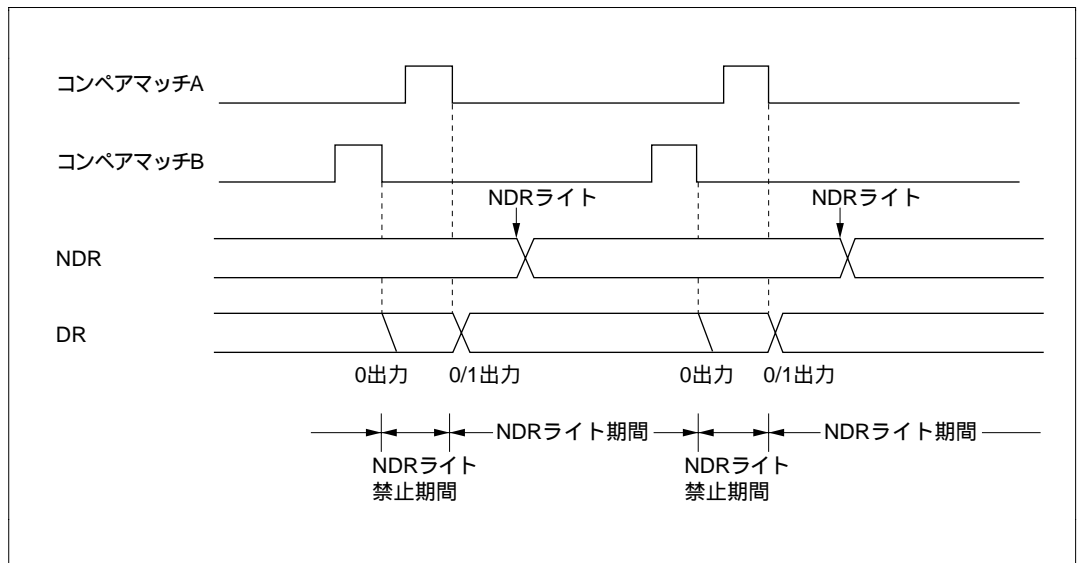


図 11.10 ノンオーバーラップ動作と NDR ライトタイミング

12. ウォッチドッグタイマ

第12章 目次

12.1	概要.....	495
12.1.1	特長.....	495
12.1.2	ブロック図.....	495
12.1.3	レジスタ構成	496
12.2	各レジスタの説明.....	497
12.2.1	タイマカウンタ (TCNT)	497
12.2.2	タイマコントロール / ステータスレジスタ (TCSR)	497
12.2.3	リセットコントロール / ステータスレジスタ (RSTCSR)	500
12.2.4	レジスタ書き換え時の注意	501
12.3	動作説明.....	503
12.3.1	ウォッチドッグタイマ時の動作.....	503
12.3.2	インターバルタイマ時の動作.....	504
12.3.3	オーバフローフラグ (OVF) セットタイミング	504
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング.....	505
12.4	割り込み.....	506
12.5	使用上の注意	506

12.1 概要

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ (TCNT) の値が書き換えられずオーバーフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバーフローするごとにインターバルタイマ割り込みを発生することができます。

12.1.1 特長

WDT の特長を以下に示します。

8 種類のカウンタ入力クロックを選択可能

/ 2、 / 32、 / 64、 / 128、 / 256、 / 512、 / 2048、 / 4096

インターバルタイマとして使用可能

TCNT がオーバーフローするとリセット信号または割り込みを発生

ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割り込みを発生します。

ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット可能

ウォッチドッグタイマ時に TCNT のオーバーフローによってリセット信号を発生すると、本 LSI 全体は内部リセットされます。

12.1.2 ブロック図

図 12.1 に WDT のブロック図を示します。

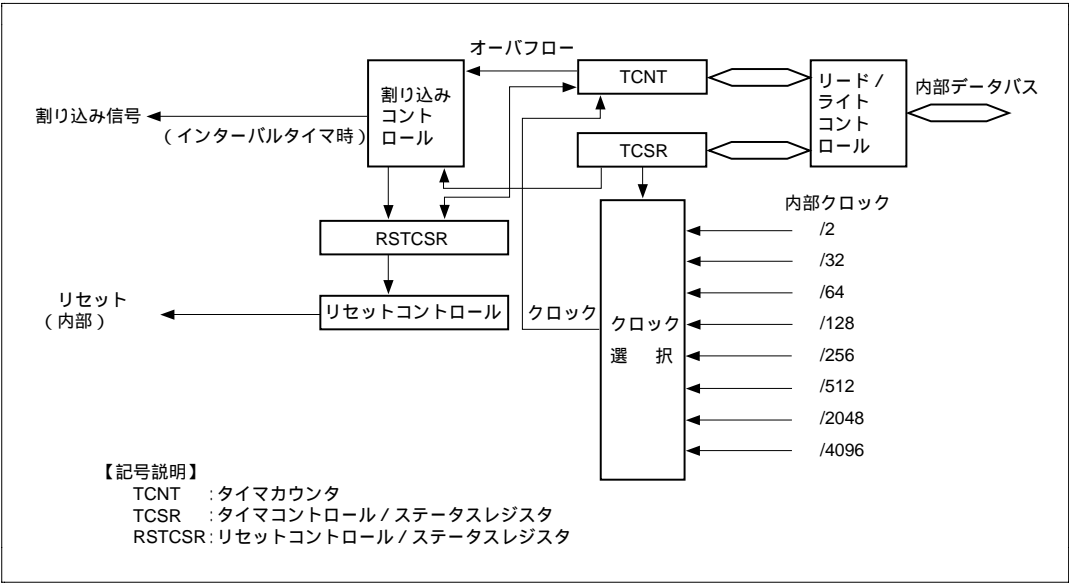


図 12.1 WDT のブロック図

12.1.3 レジスタ構成

表 12.1 に WDT のレジスタ構成を示します。

表 12.1 レジスタ構成

アドレス* ¹		名 称	略 称	R/W	初期値
ライト時* ²	リード時				
H'FFF8C	H'FFF8C	タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ³	H'18
	H'FFF8D	タイマカウンタ	TCNT	R/W	H'00
H'FFF8E	H'FFF8F	リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)* ³	H'3F

【注】 *1 アドバンスドモード時のアドレス下位 20 ビットを示しています。

*2 このアドレスから始まるワードデータとしてライトしてください。

*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)

TCNT は、8 ビットのリード/ライト 可能なアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

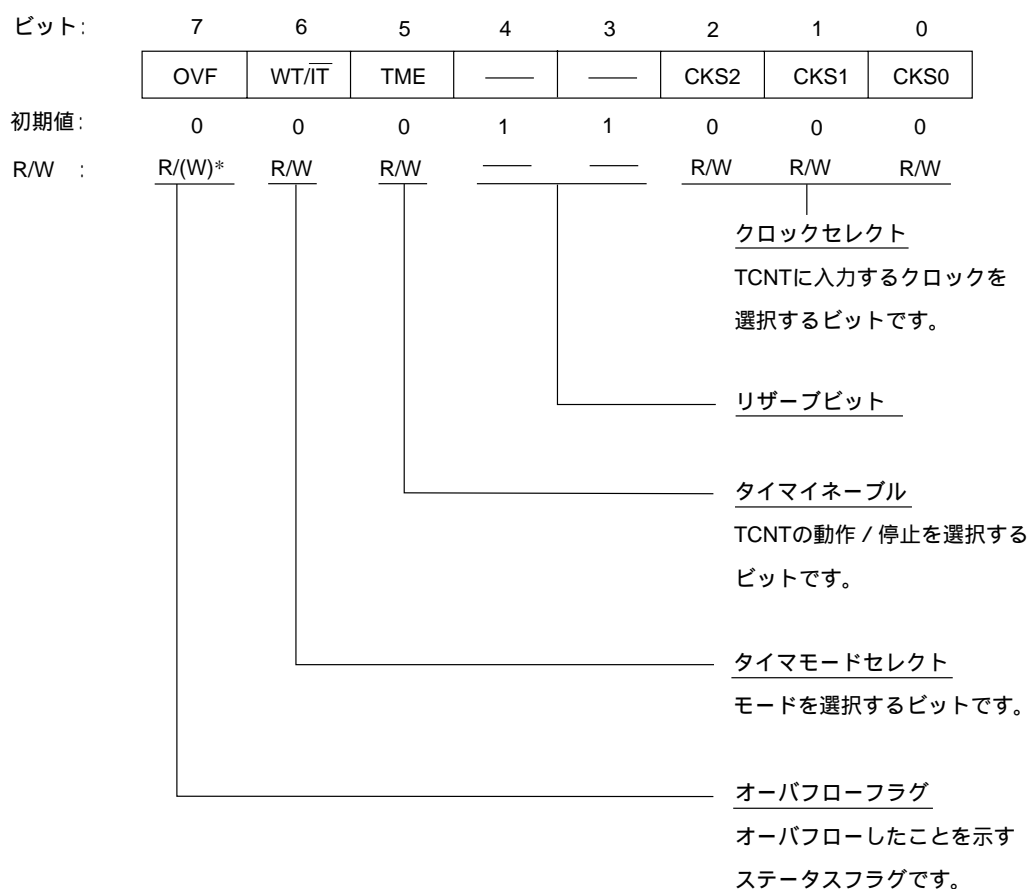
【注】 TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。
詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

TCSR の TME ビットを 1 にセットすると、TCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の OVF フラグが 1 にセットされます。

また、TCNT はリセット、または TME = 0 のとき H'00 にイニシャライズされます。

12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、8 ビットのリード/ライト 可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。



【注】 TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。
 * フラグをクリアするための0ライトのみ可能です。

ビット7~5 はリセット、またはスタンバイモード時に各ビットとも0 にインシャライズされます。ビット2~0 は、リセット時に各ビットとも0 にインシャライズされます。なお、ビット2~0 はソフトウェアスタンバイモード時には、インシャライズされずにソフトウェアスタンバイモードに遷移する直前の値を保持します。

ビット7: オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット7	説 明
OVF	
0	[クリア条件] OVF = 1 の状態で、OVF フラグをリード後、OVF フラグに0 をライトしたとき (初期値)
1	[セット条件] TCNT が H'FF H'00 に変化したとき

ビット6: タイマモードセレクト (WT/ $\overline{\text{IT}}$)

WDT をウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時は TCNT のオーバフローでインターバルタイマ割り込み要求を発生します。また、ウォッチドッグタイマ時は TCNT のオーバフローでリセット信号を発生します。

ビット6	説 明
WT/ $\overline{\text{IT}}$	
0	インターバルタイマを選択: インターバルタイマ割り込み要求 (初期値)
1	ウォッチドッグタイマを選択: リセット信号を発生

ビット5: タイマイネーブル (TME)

TCNT の動作 / 停止を選択します。WT/ $\overline{\text{IT}}$ = 1 の場合、SYSCR のソフトウェアスタンバイビット (SSBY) を 0 クリアしてから、TME をセットしてください。また、SSBY を 1 にセットするときは、TME を 0 クリアしてください。

ビット5	説 明
TME	
0	TCNT を H'00 にイニシャライズし、カウント動作は停止 (初期値)
1	TCNT はカウント動作

ビット4、3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2~0: クロックセレクト 2~0 (CKS2~0)

システムクロック () を分周して得られる 8 種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	/ 2 (初期値)
0	0	1	/ 32
0	1	0	/ 64
0	1	1	/ 128
1	0	0	/ 256
1	0	1	/ 512
1	1	0	/ 2048
1	1	1	/ 4096

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は 8 ビットのリード/ライト 可能なレジスタで、ウォッチドッグタイマのオーバーフローによるリセット信号をモニタします。

ビット:	7	6	5	4	3	2	1	0
	WRST	—	—	—	—	—	—	—
初期値:	0	0	1	1	1	1	1	1
R/W :	R(W)*	R/W	—	—	—	—	—	—
						リザーブビット		
						ウォッチドッグタイマリセット リセット信号が発生したことを 示すビットです。		

【注】 RSTCSRは、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。
詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。
* ビット7は、フラグをクリアするための0ライトのみ可能です。

ビット 7、6 は、 $\overline{\text{RES}}$ 端子によるリセット信号でイニシャライズされます。ウォッチドッグタイマのオーバーフローによるリセット信号ではイニシャライズされません。

ビット7:ウォッチドッグタイマリセット (WRST)

ウォッチドッグタイマ時に TCNT がオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。

ビット7	説 明
WRST	
0	[クリア条件] (初期値) (1) $\overline{\text{RES}}$ 端子によるリセット信号 (2) WRST = 1 の状態で、WRST フラグをリード後、WRST フラグに 0 をライトしたとき
1	[セット条件] ウォッチドッグタイマ時に、TCNT がオーバーフローし、リセット信号が発生したとき

ビット6:リザーブビット

リザーブビットです。ライト時は常に 0 をライトしてください。

ビット5～0:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライト時は常に1をライトしてください。

12.2.4 レジスタ書き換え時の注意

WDTのTCNT、TCSR、RSTCSRは、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図 12.2 に TCNT、TCSR へのライトデータを示します。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A (TCNT のとき) または H'A5 (TCSR のとき) にしてワード転送を行います。

これにより、下位バイトのデータが TCNT、または TCSR へライトされます。

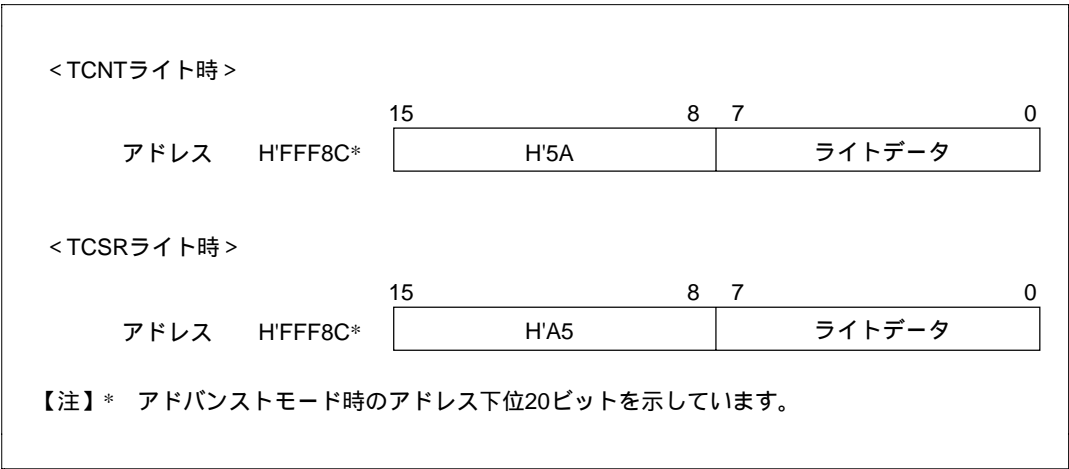


図 12.2 TCNT、TCSR へのライトデータ

(2) RSTCSR へのライト

RSTCSR へライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図 12.3 に RSTCSR のライトデータを示します。

WRST ビットへ 0 をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ (H'00) が RSTCSR の WRST ビットへライトされ、WRST ビットが 0 にクリアされます。

RSTOE ビットへライトする場合、上位バイトを H'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータが RSTOE ビットへライトされます。

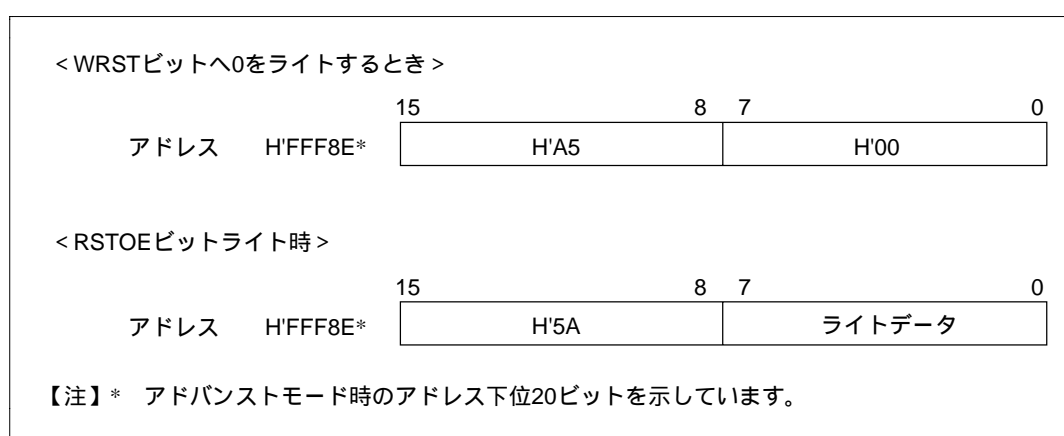


図 12.3 RSTCSR へのライトデータ

(3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFF8C に TCSR、H'FFF8D に TCNT、H'FFF8F に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表 12.2 に TCNT、TCSR、RSTCSR のリードを示します。

表 12.2 TCNT、TCSR、RSTCSR のリード

アドレス*	レジスタ
H'FFF8C	TCSR
H'FFF8D	TCNT
H'FFF8F	RSTCSR

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

12.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

12.3.1 ウォッチドッグタイマ時の動作

図 12.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の $\overline{\text{WT/IT}}$ ビット、TME ビットをそれぞれ 1 にセットします。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセットと $\overline{\text{RES}}$ 端子によるリセットは、同一ベクタです。そのため、 $\overline{\text{RES}}$ 端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、 $\overline{\text{RES}}$ 端子によるリセットと WDT のオーバーフローによるリセットが同時に発生した場合は、 $\overline{\text{RES}}$ 端子によるリセットが優先されます。

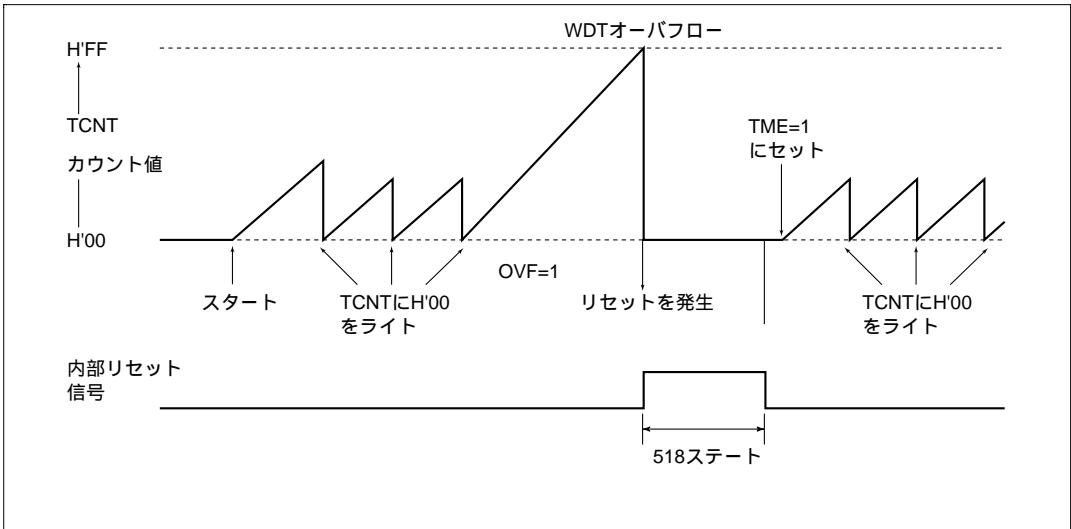


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマ時の動作

図 12.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT/\overline{IT} ビットを 0 にクリアし、TME ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバーフローすることにより、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

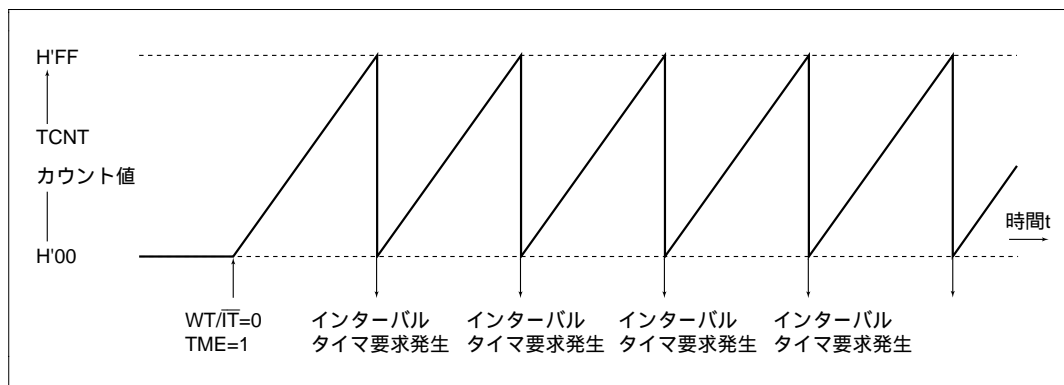


図 12.5 インターバルタイマ時の動作

12.3.3 オーバフローフラグ (OVF) セットタイミング

図 12.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

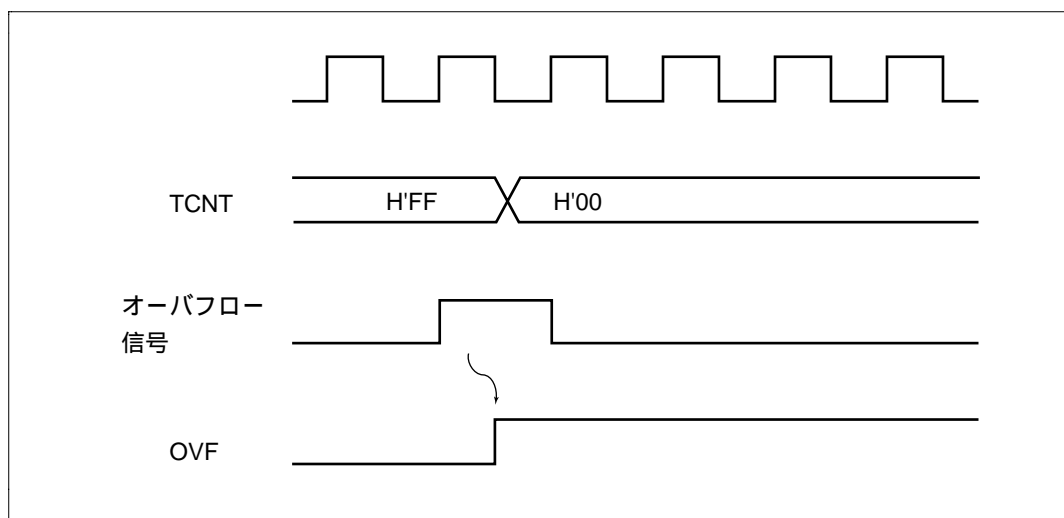


図 12.6 OVF フラグのセットタイミング

12.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSR の WRST ビットは、TCSR の WT/\overline{IT} ビット、TME ビットをそれぞれ 1 にセットしたとき有効になります。

図 12.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバフローして、OVF フラグが 1 にセットされたとき、WRST ビットは 1 にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは 0 にクリアされますが、WRST ビットは 1 にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

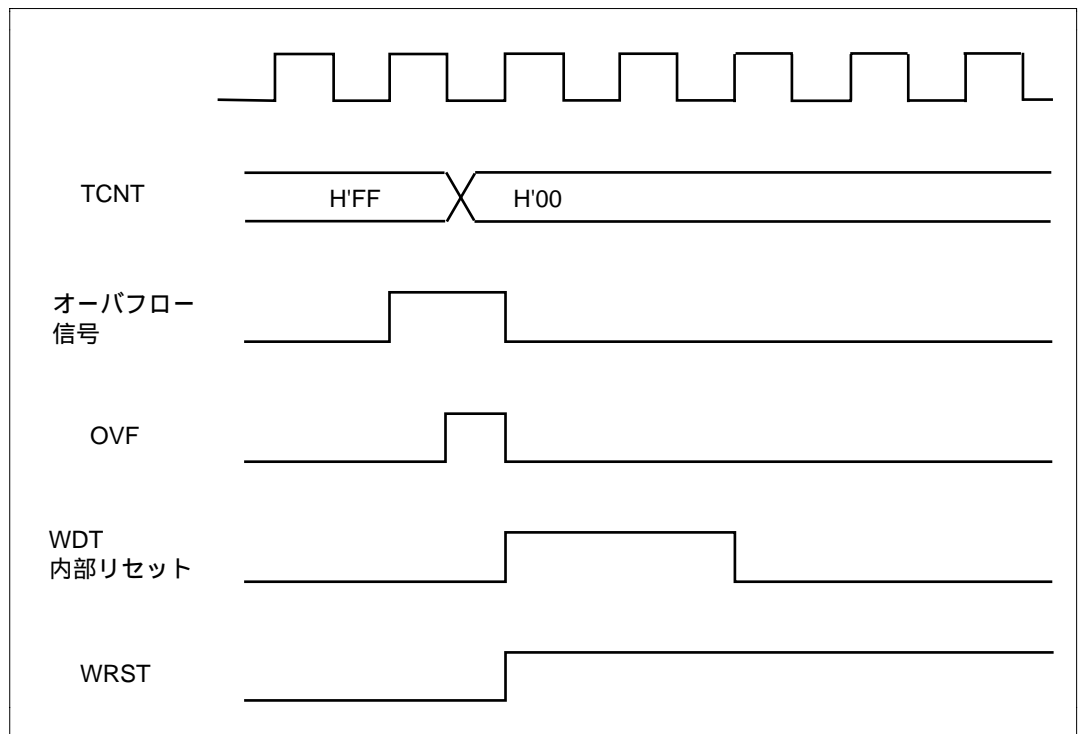


図 12.7 WRST ビットのセットおよび内部リセットタイミング

12.4 割り込み

インターバルタイマ時、オーバフローによりインターバルタイマ割り込み（WOVI）が発生します。インターバルタイマ割り込みは TCSR の OVF フラグが 1 にセットされると常に要求されます。

12.5 使用上の注意

（１）TCNT のライトとカウントアップの競合

図 12.8 に TCNT のライトとカウントアップの競合を示します。

TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

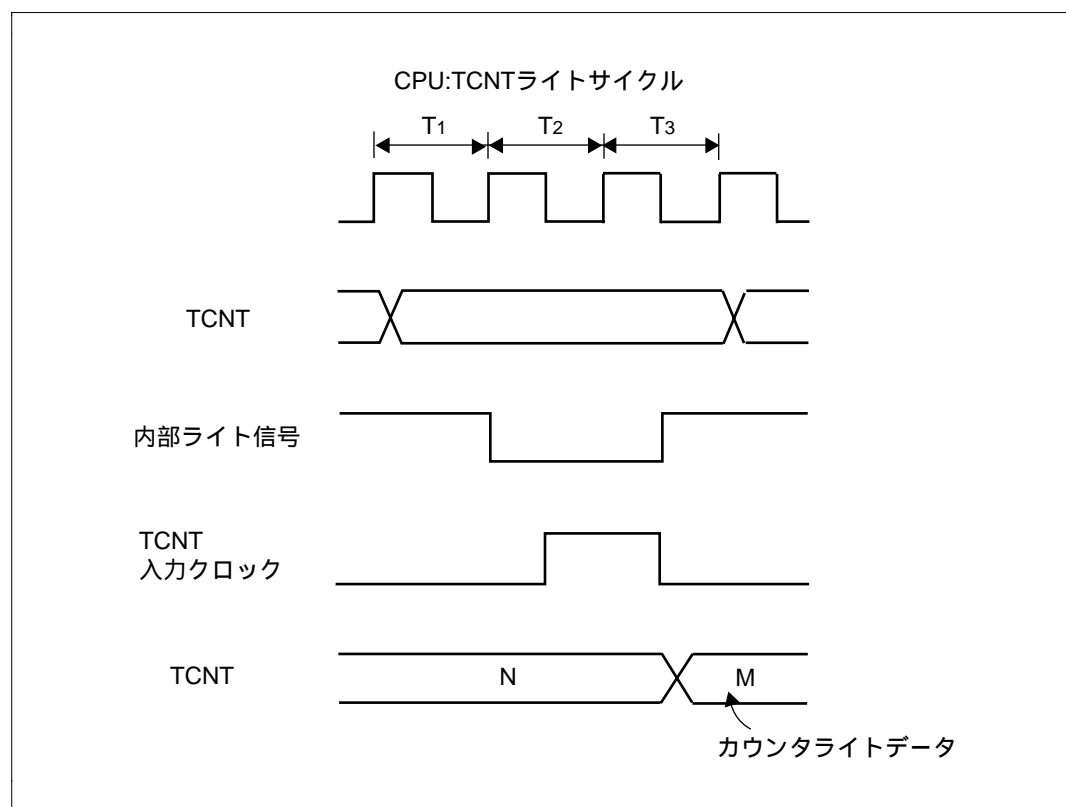


図 12.8 TCNT のライトとカウントアップの競合

（２）CKS2～CKS0 ビットの切り替え

CKS2～CKS0 ビットを切り替えるときは、TCSR の TME ビットを 0 にクリアし、TCNT を停止させてから行ってください。

13. SCI

第13章 目次

13.1	概要	509
13.1.1	特長	509
13.1.2	ブロック図	511
13.1.3	端子構成.....	512
13.1.4	レジスタ構成	513
13.2	各レジスタの説明	514
13.2.1	レシーブシフトレジスタ (RSR)	514
13.2.2	レシーブデータレジスタ (RDR)	514
13.2.3	トランスミットシフトレジスタ (TSR)	515
13.2.4	トランスミットデータレジスタ (TDR)	515
13.2.5	シリアルモードレジスタ (SMR)	516
13.2.6	シリアルコントロールレジスタ (SCR)	520
13.2.7	シリアルステータスレジスタ (SSR)	525
13.2.8	ビットレートレジスタ (BRR)	532
13.3	動作説明.....	540
13.3.1	概要	540
13.3.2	調歩同期式モード時の動作	543
13.3.3	マルチプロセッサ通信機能	553
13.3.4	クロック同期式モード時の動作	559
13.4	SCI 割り込み.....	568
13.5	使用上の注意	569
13.5.1	SCI を使用する際の注意	569

13.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。3 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

消費電流低減のため SCI を使用しない場合には、SCI 各チャンネル単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

また、SCI は "ISO/IEC7816-3 (Identification Card)" に準拠した IC カードインタフェース用シリアル通信機能としてスマートカードインタフェースをサポートしています。通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

13.1.1 特長

通常のシリアルコミュニケーションインタフェースの特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

- ・ データ長 : 7 ビット / 8 ビット
- ・ ストップビット長 : 1 ビット / 2 ビット
- ・ パリティ : 偶数パリティ / 奇数パリティ / パリティなし
- ・ マルチプロセッサビット : 1 / 0
- ・ 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出
- ・ ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。

(b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは1種類です。

- ・ データ長 : 8ビット
- ・ 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

送受信するシリアルデータに対して、

- ・ LSB ファースト / MSB ファースト
- ・ データのロジックレベルの反転

を設定することができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、SCI0 については送信データエンプティ割り込みと受信データフル割り込みにより DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。

スマートカードインタフェースの特長を以下に示します。

調歩同期式モード

- ・ データ長 : 8ビット
- ・ パリティビットの生成およびチェック
- ・ 受信モードにおけるエラーシグナル (パリティエラー) の送出
- ・ 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ・ ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

3種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりDMAコントローラ（DMAC）を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

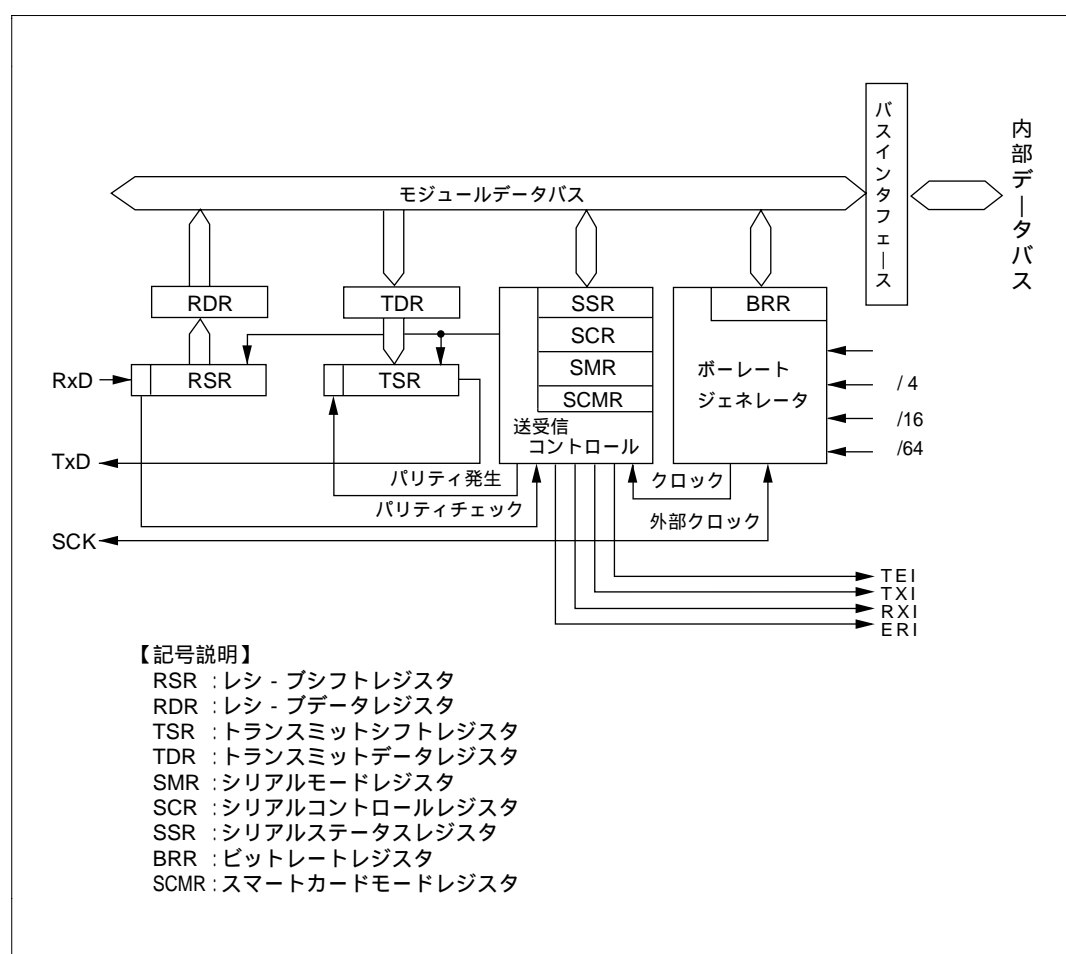


図 13.1 SCI のブロック図

13.1.3 端子構成

SCI は、チャンネルごとに表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	シリアルクロック端子	SCK ₀	入出力	SCI ₀ のクロック入出力
	レシーブデータ端子	RxD ₀	入力	SCI ₀ の受信データ入力
	トランスミットデータ端子	TxD ₀	出力	SCI ₀ の送信データ出力
1	シリアルクロック端子	SCK ₁	入出力	SCI ₁ のクロック入出力
	レシーブデータ端子	RxD ₁	入力	SCI ₁ の受信データ入力
	トランスミットデータ端子	TxD ₁	出力	SCI ₁ の送信データ出力
2	シリアルクロック端子	SCK ₂	入出力	SCI ₂ のクロック入出力
	レシーブデータ端子	RxD ₂	入力	SCI ₂ の受信データ入力
	トランスミットデータ端子	TxD ₂	出力	SCI ₂ の送信データ出力

13.1.4 レジスタ構成

SCI には、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、送信部 / 受信部の制御、およびシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えの指定を行うことができます。

表 13.2 レジスタ構成

チャンネル	アドレス* ¹	名 称	略 称	R/W	初期値
0	H'FFFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFB5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2
1	H'FFFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB A	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB B	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB C	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFB D	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB E	スマートカードモードレジスタ	SCMR	R/W	H'F2
2	H'FFFC0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFC1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFC2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFC3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFC4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFC5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFC6	スマートカードモードレジスタ	SCMR	R/W	H'F2

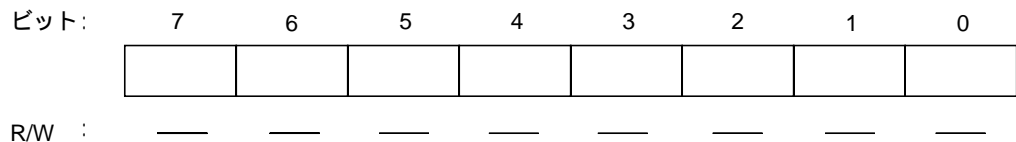
【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 フラグをクリアにするための 0 ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

RSR は、シリアルデータを受信するためのレジスタです。

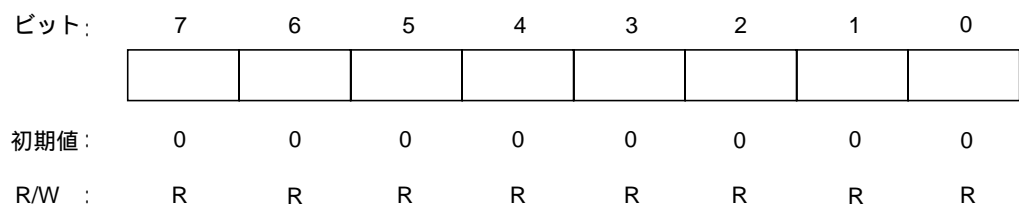


SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

RDR は、受信したシリアルデータを格納するレジスタです。



SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

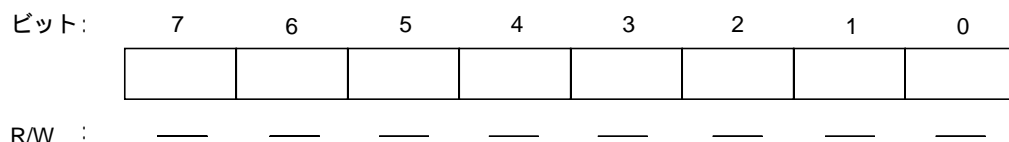
このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

13.2.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのレジスタです。



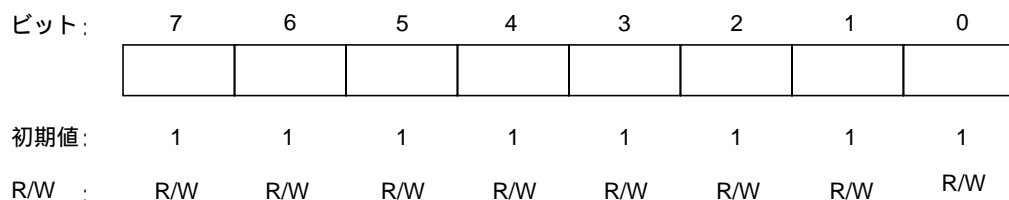
SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。



SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF にイニシャルライズされます。

13.2.5 シリアルモードレジスタ (SMR)

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0
ボーレートジェネレータ
のクロックを選択する
ビットです。

マルチプロセッサモード
マルチプロセッサ機能を選択する
ビットです。

ストップビットレングス
ストップビット長を選択するビットです。

パリティモード
偶数パリティ / 奇数パリティを選択するビットです。

パリティイネーブル
パリティの付加を許可 / 禁止するビットです。

キャラクタレングス
調歩同期式モードのキャラクタ長を選択するビットです。

コミュニケーションモード
調歩同期式モードとクロック同期式モードを選択するビットです。

SMR は、常に CPU によるリード / ライトが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7 : コミュニケーションモード (C/ \bar{A}) / GSM モード (GM)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。SCMR の SMIF ビットによって切り替わります。

(a) シリアルコミュニケーションインタフェースの時 (SCMR の SMIF ビットが 0)

SCI の動作モードを調歩同期式モード / クロック同期式モードのいずれかから選択します。

ビット 7	説 明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

(b) スマートカードインタフェースの時 (SCMR の SMIF ビットが 1)

スマートカードインタフェースの時 GSM モードを選択します。

ビット 7	説 明
GM	
0	TEND フラグがスタートビットから 12.5 etu 後に発生します。 (初期値)
1	TEND フラグがスタートビットから 11.0 etu 後に発生します。

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説 明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。

ビット 5: パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説 明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4: パリティモード (O/E)

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。

ビット 4	説 明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3: ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明
STOP	
0	1 ストップビット* ¹ (初期値)
1	2 ストップビット* ²

【注】 *¹ 送信時には、送信キャラクタの最終尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*² 送信時には、送信キャラクタの最終尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2:マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および $O\bar{E}$ ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説 明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0:クロックセレクト 1、0 (CKS1、0)

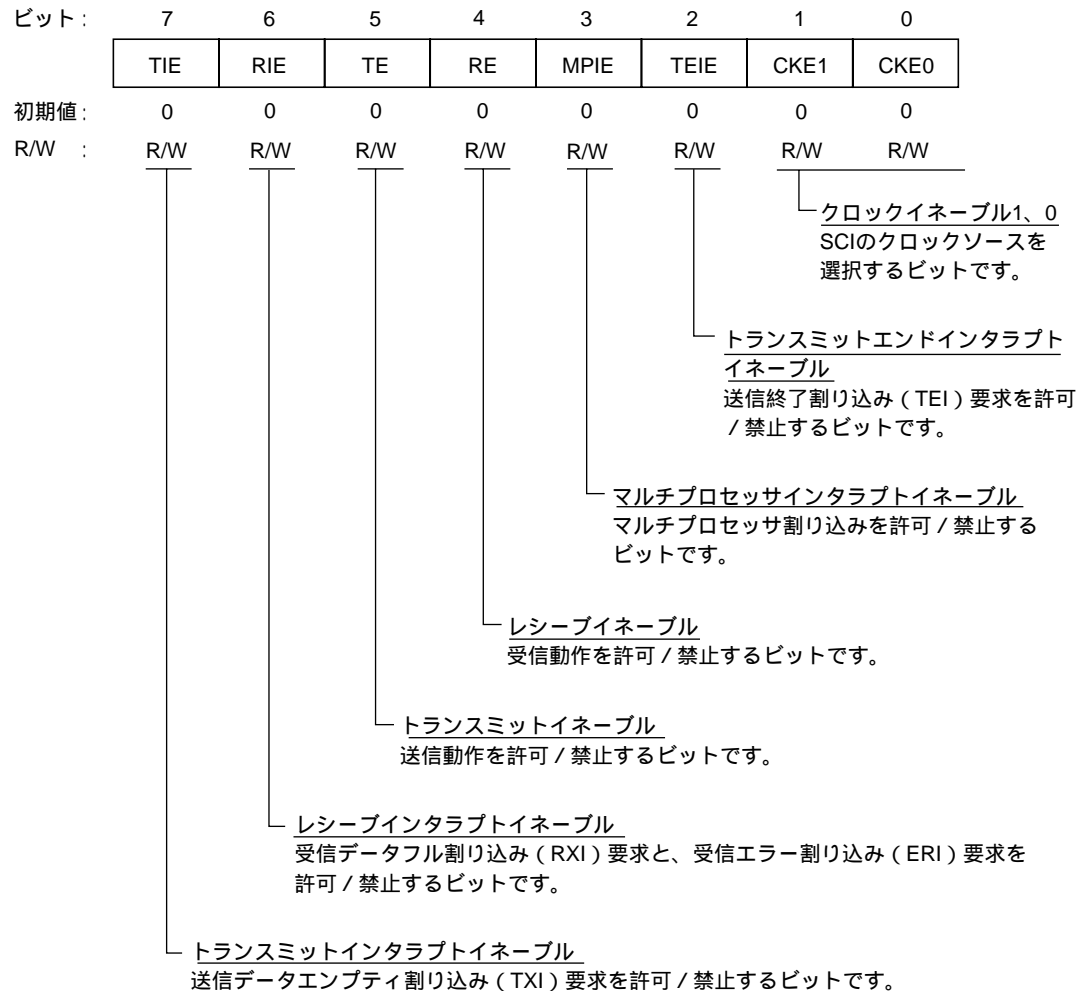
内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、0ビットの設定により、 $/1$ 、 $/4$ 、 $/16$ 、 $/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「13.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	クロック (初期値)
0	1	$/4$ クロック
1	0	$/16$ クロック
1	1	$/64$ クロック

13.2.6 シリアルコントロールレジスタ (SCR)

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。



SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット7:トランスミットインタラプトイネーブル (TIE)

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説 明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】* TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット6:レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット 6	説 明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5:トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR の TDRE フラグは 1 に固定されます。

*2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

ビット4:レシーブイネーブル (RE)

SCIのシリアル受信動作の開始を許可 / 禁止します。

ビット4	説 明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
 なお、RE ビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3:マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMRのMPビットが1に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいはMPビットが0のときにはMPIEビットの設定は無効です。

ビット3	説 明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の実受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI 割り込み要求の発生 (SCRのTIE、RIE ビットが1にセットされている場合) とFER、ORER フラグのセットが許可されます。

ビット2:トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット 2	説 明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0:クロックイネーブル 1、0 (CKE1、0)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMR の SMIF ビットによって切り替わります。

(a) シリアルコミュニケーションインタフェースのとき (SCMR の SMIF ビットが 0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを設定する前に CKE1、CKE0 ビットを設定してください。

SCI のクロックソースの選択についての詳細は「13.3 動作説明」の表 13.9 を参照してください。

ビット1	ビット0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* ¹
0	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
1	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

CKE1 ビットと CKE0 ビットおよび SMR の GM ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするかが決まります。

SMR	ビット1	ビット0	説 明
GM	CKE1	CKE0	
0	0	0	SCK 端子は入出力ポート (初期値)
0	0	1	SCK 端子はクロック出力
1	0	0	SCK 端子は Low 出力固定
1	0	1	SCK 端子はクロック出力
1	1	0	SCK 端子は High 出力固定
1	1	1	SCK 端子はクロック出力

13.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹	R	R	R/W
								マルチプロセッサ ビットトランスファ 送信時のマルチプロ セッサビットの値を 設定するビットです。
								マルチプロセッサビット 受信したマルチプロセッサ ビットを格納するビットです。
								トランスミットエンド* ² 送信終了を示すステータスフラグです。
								パリティエラー 受信時にパリティエラーを検出したことを 示すステータスフラグです。
								フレーミングエラー (FER) / エラーシグナルステータス (ERS) * ² 受信フレーミングエラーを検出したことを示す ステータスフラグです。または、エラーシグナルが 送出されたことを示すフラグです。
								オーバランエラー 受信時にオーバランエラーを検出したことを 示すステータスフラグです。
								レシーブデータレジスタフル 受信を完了しRDRにデータが格納されていることを 示すステータスフラグです。
								トランスミットデータレジスタエンプティ TDRからTSRに送信データが転送されTDRにデータをライトすることが 可能であることを示すステータスフラグです。

【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは機能が異なります。

SSR は常に CPU からリード / ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグ、および MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、またはスタンバイモード時に H'84 にイニシャライズされます。

ビット 7: トランスミットデータレジスタエンプティ (TDRE)

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7	説 明
TDRE	
0	<p>TDR に有効な送信データがライトされていることを表示</p> <p>[クリア条件]</p> <p>(1) TDRE=1 の状態をリードした後、0 をライトしたとき</p> <p>(2) DMAC で TDR ヘデータをライトしたとき</p>
1	<p>TDR に有効な送信データがないことを表示 (初期値)</p> <p>[セット条件]</p> <p>(1) リセット、またはスタンバイモード時</p> <p>(2) SCR の TE ビットが 0 のとき</p> <p>(3) TDR から TSR にデータ転送が行われて TDR にデータライトが可能になったとき</p>

ビット6: レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット 6	説 明
RDRF	
0	RDR に受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF=1 の状態をリードした後、0 をライトしたとき (3) DMAC で RDR のデータをリードしたとき
1	RDR に受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバランエラーが発生し、受信データが失われますので注意してください。

ビット5: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	受信中、または正常に受信を完了したことを表示 (初期値) * ¹ [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER=1 の状態をリードした後、0 をライトしたとき
1	受信時にオーバランエラーが発生したことを表示 * ² [セット表示] RDRF=1 の状態で次のシリアル受信を完了したとき

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を受けることもできません。

ビット4: フレーミングエラー (FER) / エラーシグナルステータス (ERS)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMRのSMIFビットによって切り替わります。

(a) シリアルコミュニケーションインタフェースのとき (SCMRのSMIFビットが0)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示 (初期値)* ¹ [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER=1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCIが受信終了時に受信データの最終尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判断し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることができません。また、クロック同期式モードでは、シリアル送信も続けることができません。

(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説 明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値)* [クリア条件] (1) リセット、またはスタンバイモード時 (2) ERS=1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送信されたことを表示 [セット条件] エラーシグナル Low をサンプリングしたとき

【注】 * SCR の TE ビットを 0 にクリアしたときには、ERS フラグは影響を受けず以前の状態を保持します。

ビット 3: パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティが発生して異常終了したことを示します。

ビット 3	説 明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER=1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットを合わせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2:トランスミットエンド (TEND)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMR の SMIF ビットによって切り替わります。

(a) シリアルコミュニケーションインタフェースのとき (SCMR の SMIF ビットが 0)

送信キャラクタの最終尾の送信時に TDR に有効なデータがなく、送信を終了したことを示します。TEND フラグはリード専用ですので、ライトすることはできません。

ビット 2	説 明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモードのとき (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。TEND フラグはリード専用ですので、ライトすることはできません。

ビット 2	説 明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモードのとき (2) SCR の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタ送信終了 2.5etu 後 (GM = 0 のとき) / 1.0etu 後 (GM = 1 のとき) に TDRE=1 かつ FER/ERS ビット=0 (正常送信) のとき

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

ビット1:マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット1	説 明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】* マルチプロセッサフォーマットで RE ビットを0にクリアしたときには、以前の状態を保持します。

ビット0:マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信できないときには MPBT ビットの設定は無効です。

ビット0	説 明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

13.2.8 ビットレートレジスタ (BRR)

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

ビット	:	7	6	5	4	3	2	1	0
初期値	:	1	1	1	1	1	1	1	1
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF にイニシャライズされます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

ビットレート (bit/s)	(MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00	-	-	-

ビットレート (bit/s)	(MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

ビットレート (bit/s)	(MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	- 6.99

ビットレート (bit/s)	(MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

ビット レート (bit/s)	(MHz)																				
	13			14			14.7456			16			18			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	230	- 0.08	2	248	- 0.17	3	64	0.70	3	70	0.03	3	79	- 0.12	3	88	- 0.25	3	110	- 0.02
150	2	168	0.16	2	181	0.16	2	191	0.00	2	207	0.16	2	233	0.16	3	64	0.16	3	80	- 0.47
300	2	84	- 0.43	2	90	0.16	2	95	0.00	2	103	0.16	2	116	0.16	2	129	0.16	2	162	0.15
600	1	168	0.16	1	181	0.16	1	191	0.00	1	207	0.16	1	233	0.16	2	64	0.16	2	80	- 0.47
1200	1	84	- 0.43	1	90	0.16	1	95	0.00	1	103	0.16	1	116	0.16	1	129	0.16	1	162	0.15
2400	0	168	0.16	0	181	0.16	0	191	0.00	0	207	0.16	0	233	0.16	1	64	0.16	1	80	- 0.47
4800	0	84	- 0.43	0	90	0.16	0	95	0.00	0	103	0.16	0	116	0.16	0	129	0.16	0	162	0.15
9600	0	41	0.76	0	45	- 0.93	0	47	0.00	0	51	0.16	0	58	- 0.69	0	64	0.16	0	80	- 0.47
19200	0	20	0.76	0	22	- 0.93	0	23	0.00	0	25	0.16	0	28	1.02	0	32	- 1.36	0	40	- 0.76
31250	0	12	0.00	0	13	0.00	0	14	- 1.70	0	15	0.00	0	17	0.00	0	19	0.00	0	24	0.00
38400	0	10	- 3.82	0	10	3.57	0	11	0.00	0	12	0.16	0	14	- 2.34	0	15	1.73	0	19	1.73

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	(MHz)																	
	2		4		8		10		13		16		18		20		25	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	202	3	249	-	-	-	-	-	-
500	1	249	2	124	2	249	-	-	3	101	3	124	3	140	3	155	-	-
1k	1	124	1	249	2	124	-	-	2	202	2	249	3	69	3	77	3	97
2.5k	0	199	1	99	1	199	1	249	2	80	2	99	2	112	2	124	2	155
5k	0	99	0	199	1	99	1	124	1	162	1	199	1	224	1	249	2	77
10k	0	49	0	99	0	199	0	249	1	80	1	99	1	112	1	124	1	155
25k	0	19	0	39	0	79	0	99	0	129	0	159	0	179	0	199	0	249
50k	0	9	0	19	0	39	0	49	0	64	0	79	0	89	0	99	0	124
100k	0	4	0	9	0	19	0	24	-	-	0	39	0	44	0	49	0	62
250k	0	1	0	3	0	7	0	9	0	12	0	15	0	17	0	19	0	24
500k	0	0*	0	1	0	3	0	4	-	-	0	7	0	8	0	9	-	-
1M			0	0*	0	1	-	-	-	-	0	3	0	4	0	4	-	-
2M					0	0*	-	-	-	-	0	1	-	-	-	-	-	-
2.5M					-	-	0	0*	-	-	-	-	-	-	-	-	-	-
4M											0	0*	-	-	-	-	-	-

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{10^6}{64 \times 2^{2n-1} \times B} - 1$$

〔クロック同期式モード〕

$$N = \frac{10^6}{8 \times 2^{2n-1} \times B} - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ~ 255)

: 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は下表を参照してください)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 13.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6、表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 各周波数における最大ビットレート（調歩同期式モード）

(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
20	625000	0	0
25	781250	0	0

表 13.6 外部クロック入力時の最大ビットレート（調歩同期式モード）

（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
20	5.0000	312500
25	6.2500	390625

表 13.7 外部クロック入力時の最大ビットレート（クロック同期式モード）

（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。また、IC カードインタフェース用シリアル通信機能として、スマートカードインタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースでの調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 13.9 に示します。

LSB ファースト / MSB ファーストの切り替え方法およびデータのロジックレベルの反転方法の詳細については、「14.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

また、スマートカードモードインタフェースのフォーマットの選択は「14.3.3 データフォーマット」を参照してください。

(1) 調歩同期式モード

データ長: 7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース: 内部クロック / 外部クロックから選択可能

- ・内部クロックを選択した場合 : SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- ・外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット: 8 ビットデータ固定

受信時にオーバーランエラーの検出可能

SCI のクロックソース: 内部クロック / 外部クロックから選択可能

- ・ 内部クロックを選択した場合 : SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- ・ 外部クロックを選択した場合 : 内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

(3) スマートカードインタフェース

1 フレームは、8 ビットデータとパリティビットで構成されます。

送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。

受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後エラーシグナル Low を 1etu 期間出力します。

送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信します。

調歩同期式非同期通信機能のみをサポートし、クロック同期式通信機能はありません。

スマートカードインタフェースの動作説明の詳細については、「第 14 章 スマートカードインタフェース」を参照してください。

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式モード	8 ビットデータ	なし	なし	1 ビット		
				1					2 ビット		
			1	0				あり	1 ビット		
				1					2 ビット		
			1			0		0	7 ビットデータ	なし	1 ビット
								1			2 ビット
						1		0		あり	1 ビット
								1			2 ビット
	0	1	-	0	調歩同期式モード (マルチプロセッサフォーマット)	8 ビットデータ	あり	なし	1 ビット		
				1		2 ビット					
			1	-		0			7 ビットデータ	1 ビット	
				-		1			2 ビット		
1	-	-	-	-	クロック同期式モード	8 ビットデータ	なし	なし			

表 13.9 SMR、SCR の設定と SCI クロックソースの選択

SMR	SCR の設定		モード	SCI 送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロックソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト : 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

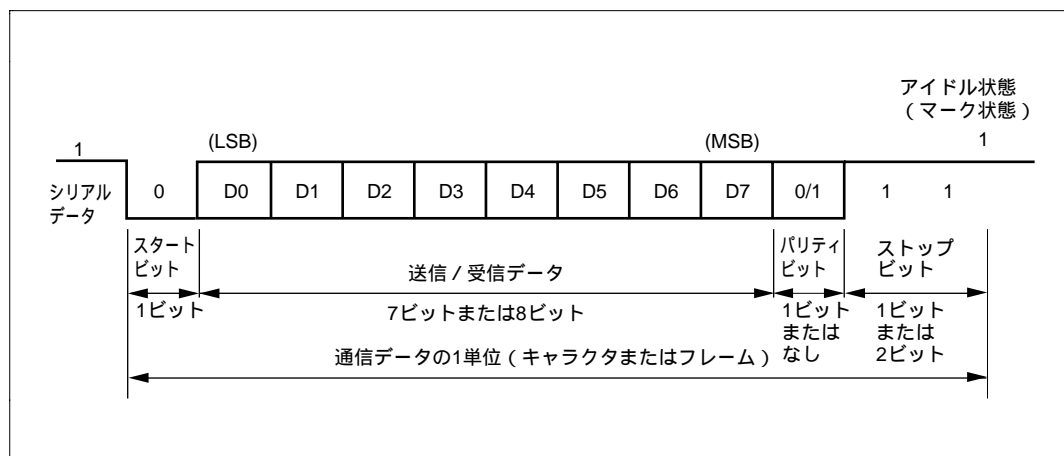


図 13.2 調歩同期式通信のデータフォーマット

(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。

送信 / 受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	-	1	0	S	8ビットデータ								MPB	STOP	
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP
1	-	1	0	S	7ビットデータ							MPB	STOP		
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP	

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースについては表13.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロック立ち上がりエッジが来るようになります。

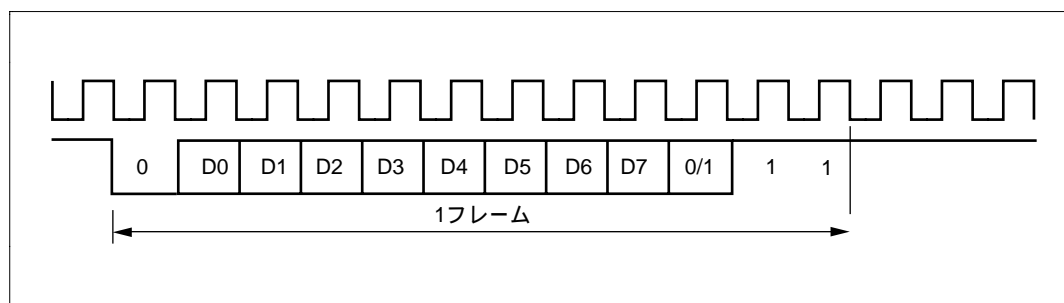


図13.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信 / 受信動作

(a) SCIのイニシャライズ（調歩同期式）

データの送信 / 受信前には、まずSCRのTE、REビットを0にクリアした後、以下の順でSCIをイニシャライズしてください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは1にセットされ、TSRがイニシャライズされます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグおよび、RDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

図 13.4 に SCI のイニシャライズフローチャートの例を示します。

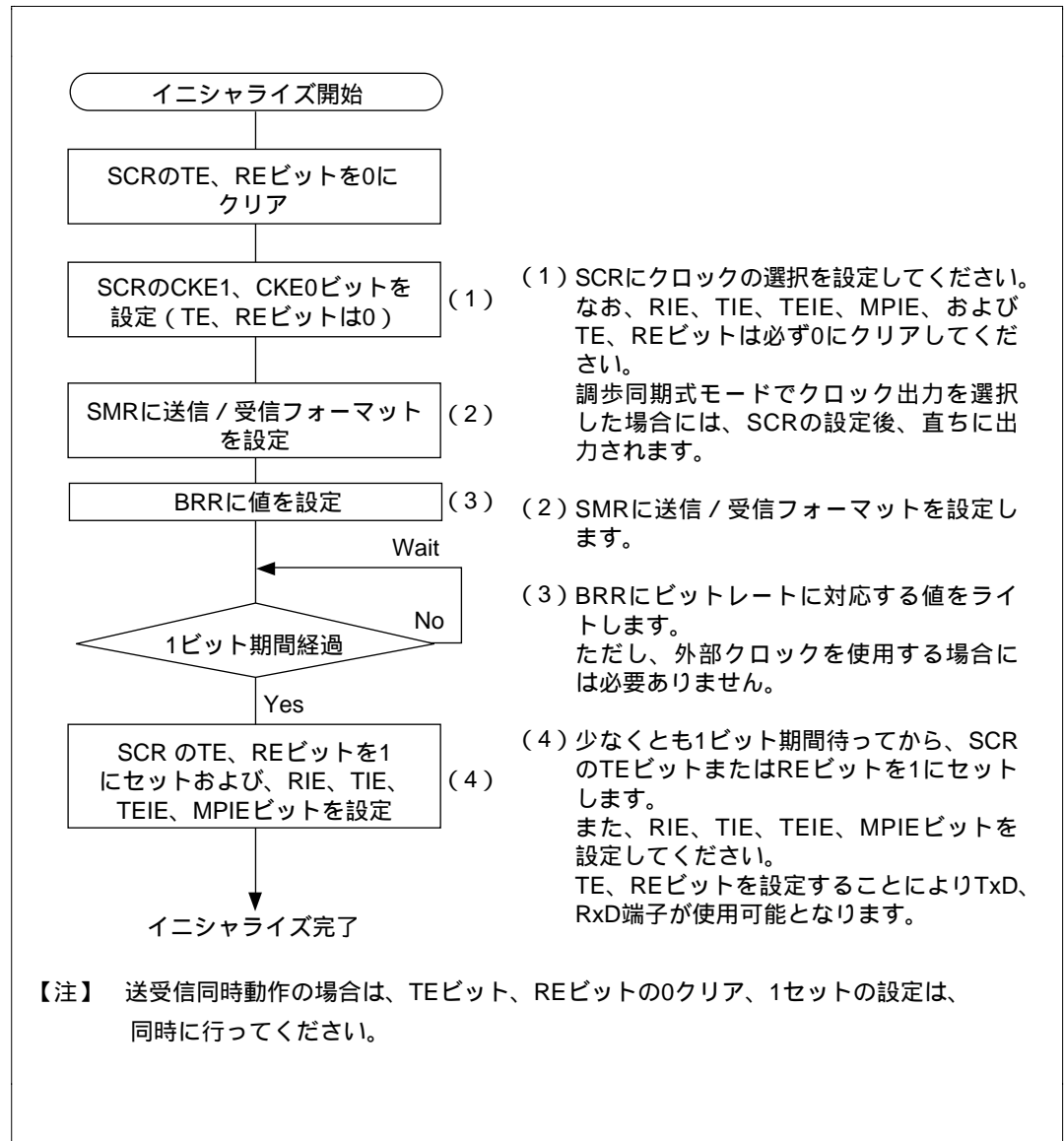


図 13.4 SCI のイニシャライズフローチャートの例

(b) シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

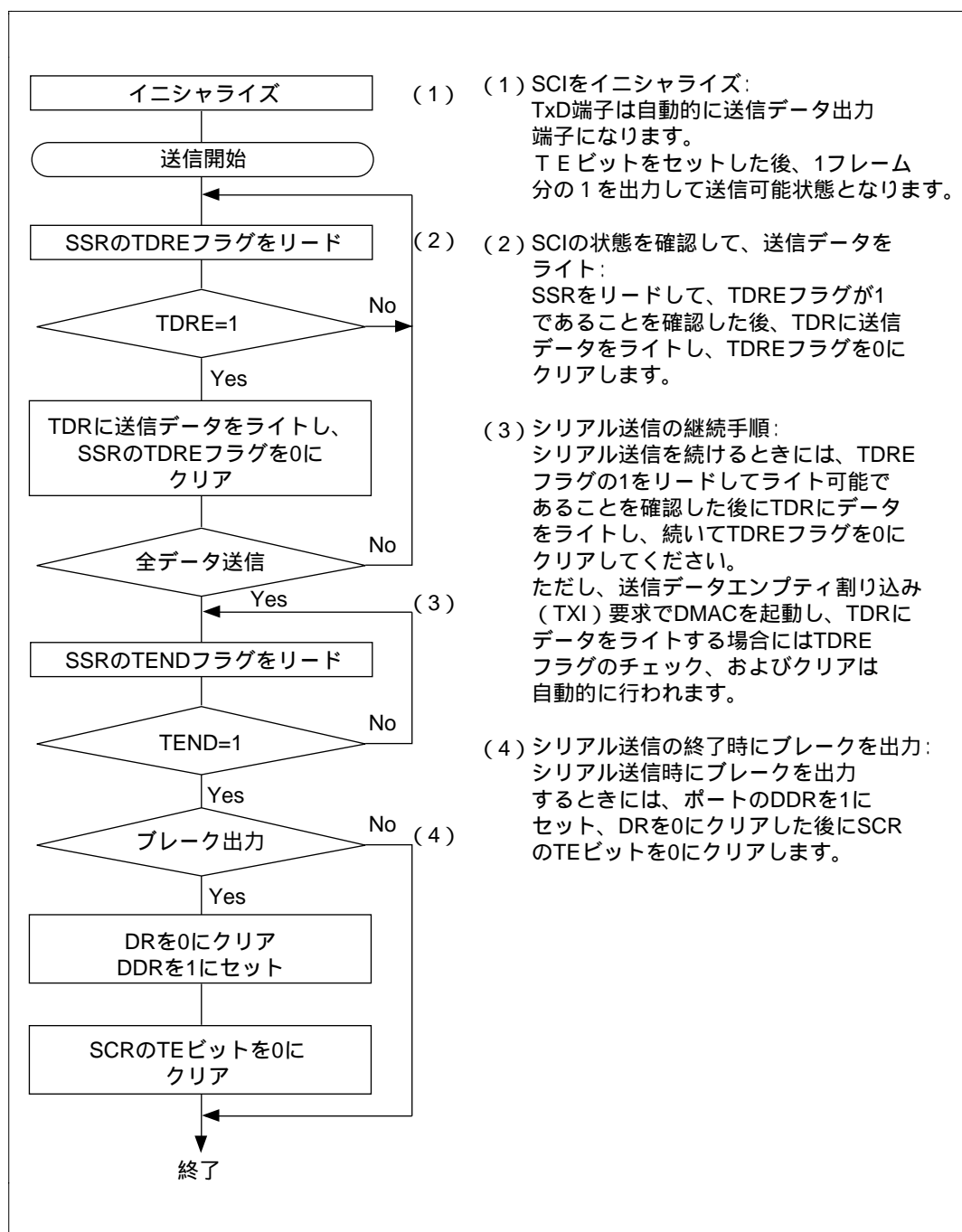


図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

(1) SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。

(2) TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。

このとき、SCR の TIE ビットが 1 にセットされていると送信データエンブティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

(a) スタートビット : 1 ビットの 0 が出力されます。

(b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。

(c) パリティビットまたはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。

(d) ストップビット : 1 ビット / 2 ビットの 1 (ストップビット) が出力されます。

(e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

(3) SCI は、ストップビットを送出するタイミングで TDRE フラグをチェックします。

TDRE フラグが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDRE フラグが 1 であると SSR の TEND フラグに 1 をセットし、ストップビットを送り出した後、1 を出力する "マーク状態" になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求が発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

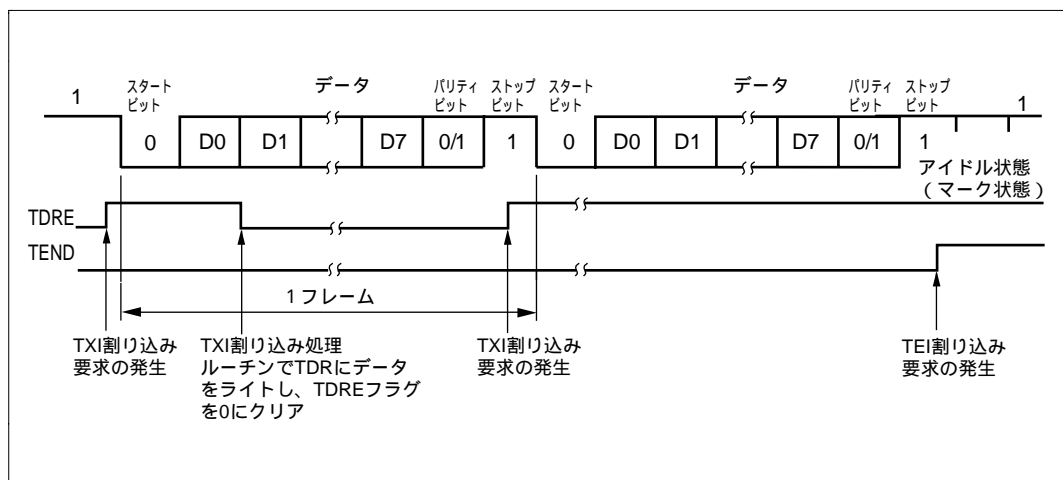


図 13.6 調歩同期式モードでの送信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 13.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

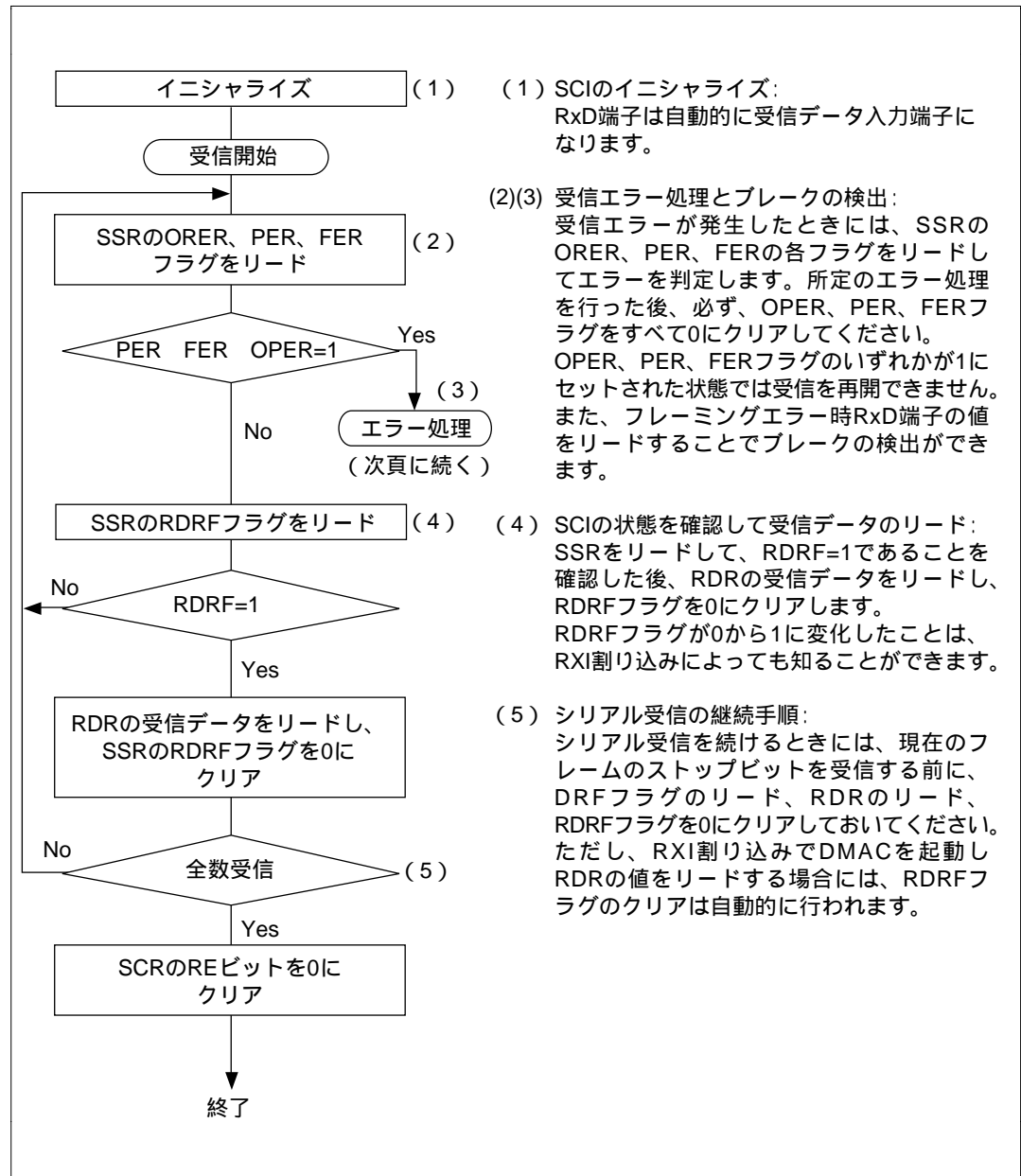


図 13.7 シリアル受信データフローチャートの例 (1)

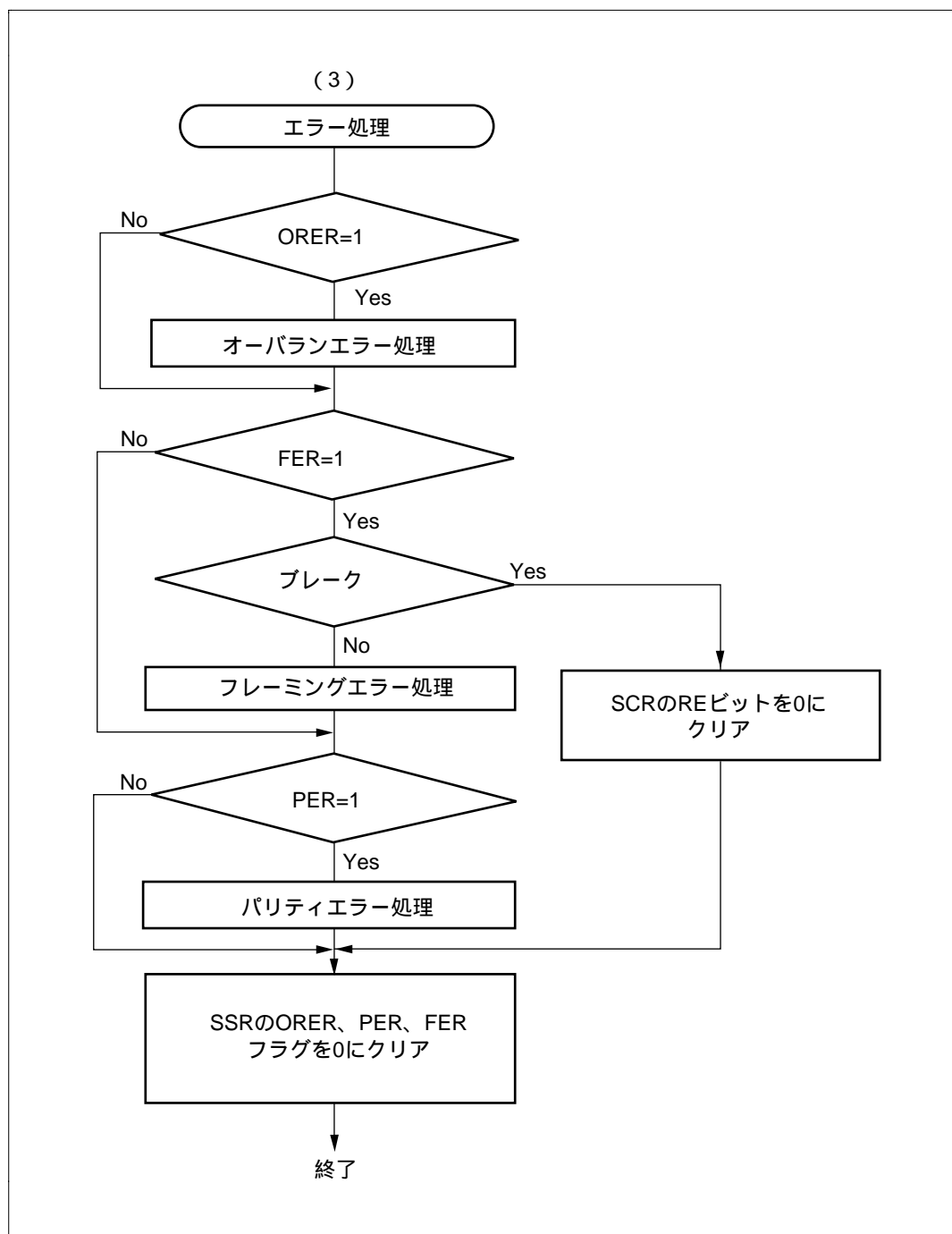


図 13.7 シリアル受信データフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを RSR の LSB から MSB の順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これが SMR の O/\bar{E} ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF フラグが 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー*を発生すると表 13.11 のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRF フラグが 1 になったとき SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FER フラグのいずれかが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 13.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データは転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 13.8 に示します。

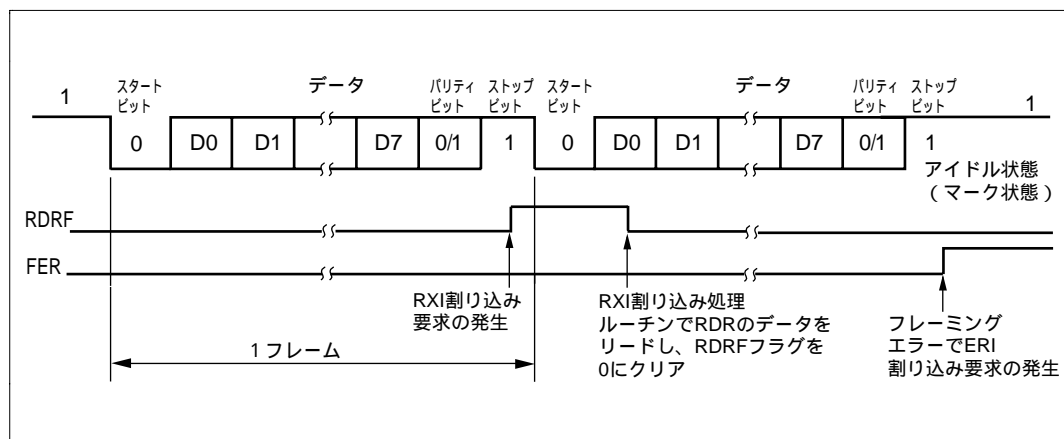


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。
詳細は表 13.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

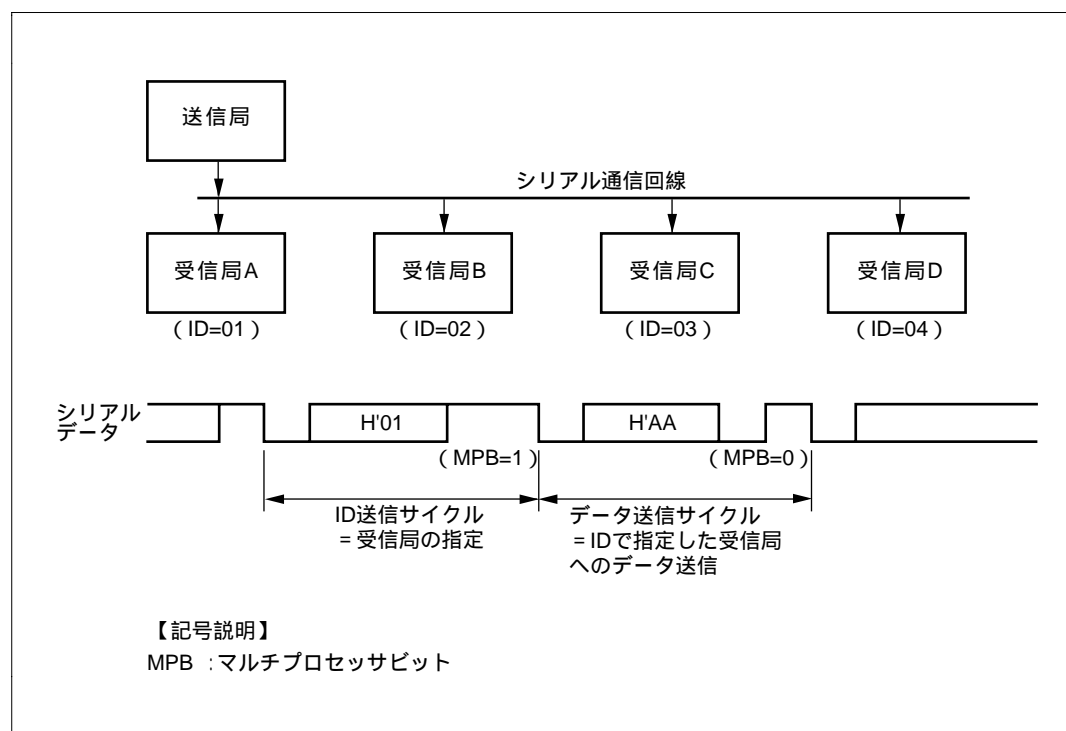


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

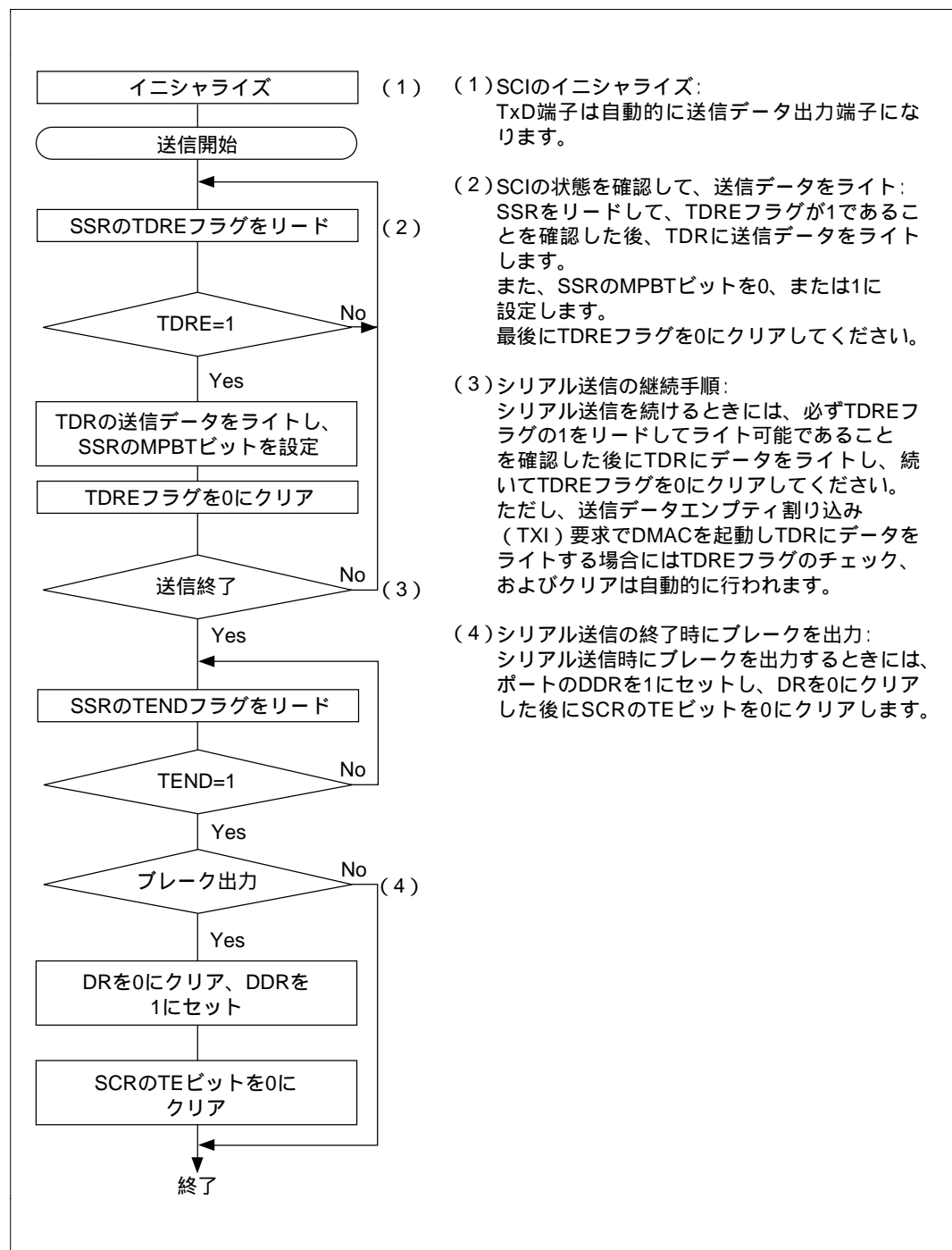


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- (2) TDR から TSR ヘデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。このとき、SCR の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順に TxD 端子から送り出されます。
 - (a) スタートビット：1 ビットの 0 が出力されます。
 - (b) 送信データ：8 ビット / 7 ビットのデータが LSB から順に出力されます。
 - (c) マルチプロセッサビット：1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
 - (d) ストップビット：1 ビット / 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送り出すタイミングで TDRE フラグをチェックします。
TDRE フラグが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDRE フラグが 1 であると SSR の TEND フラグを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

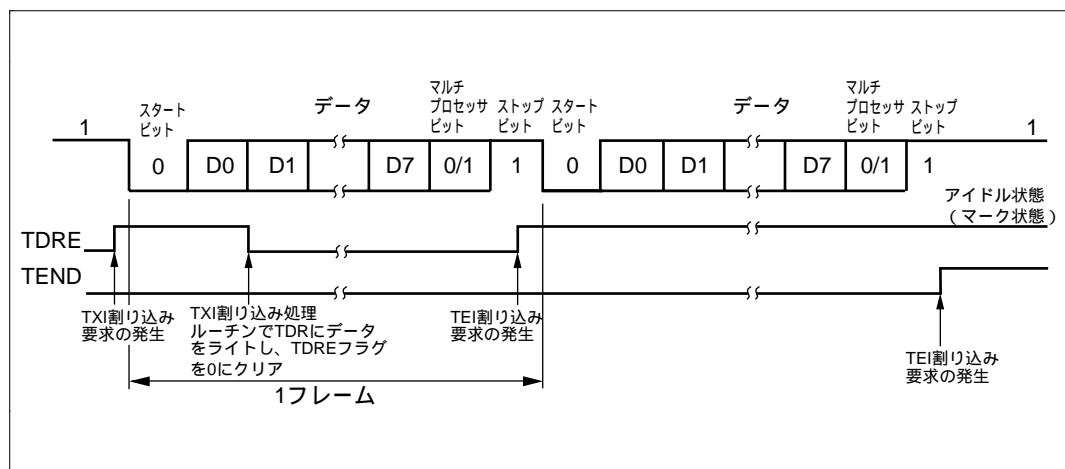


図 13.11 SCI の送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順に従い行ってください。

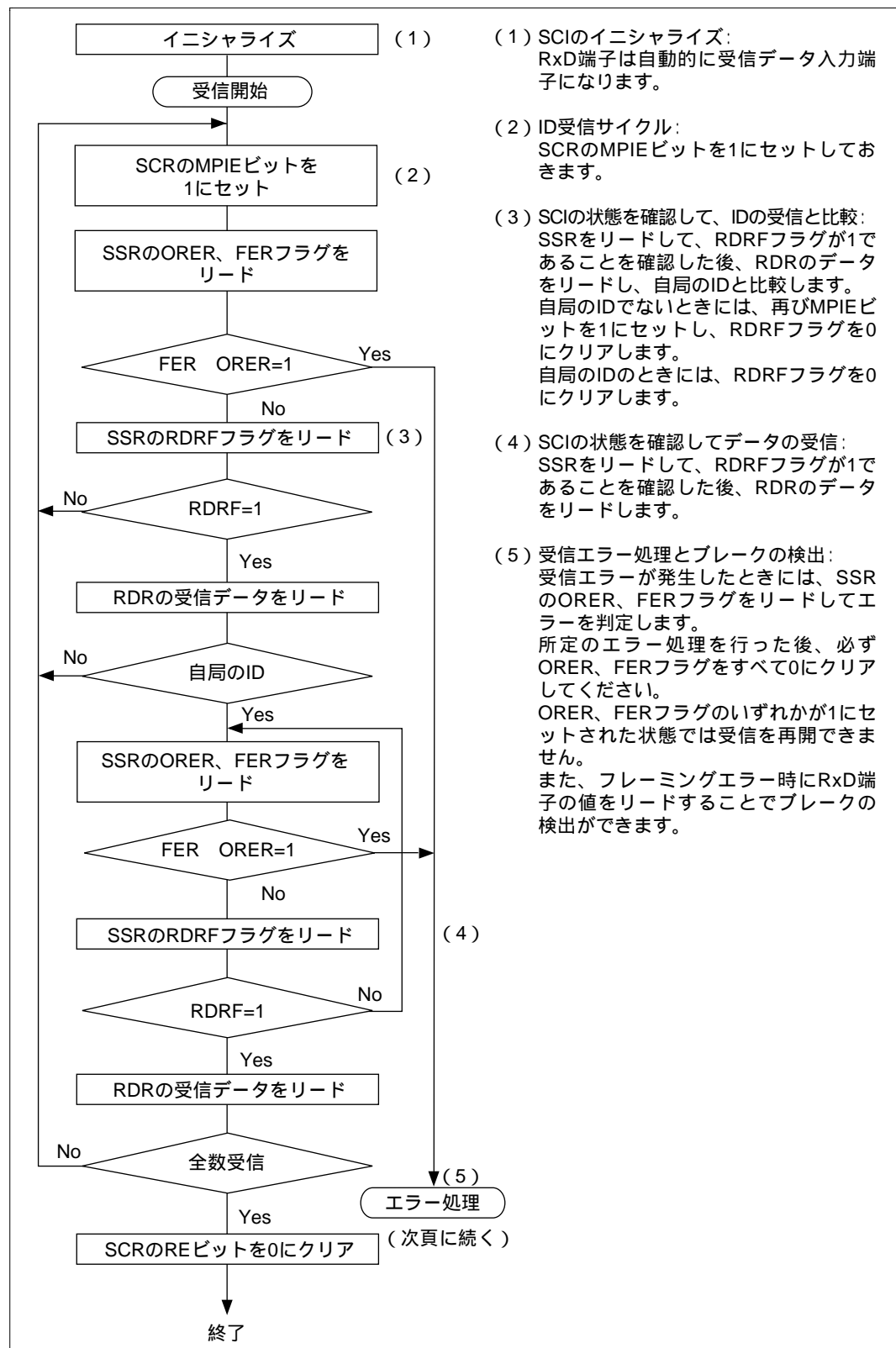


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

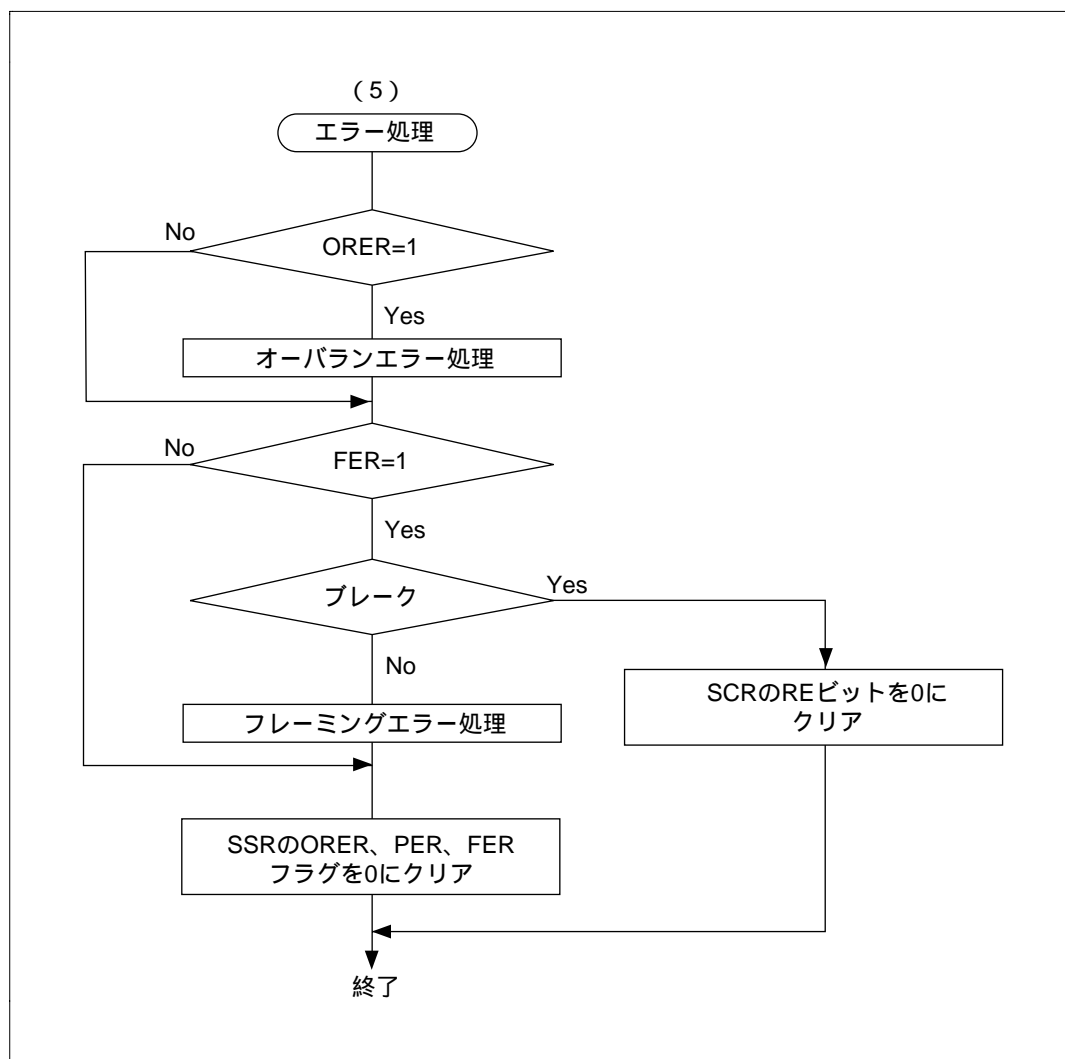


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

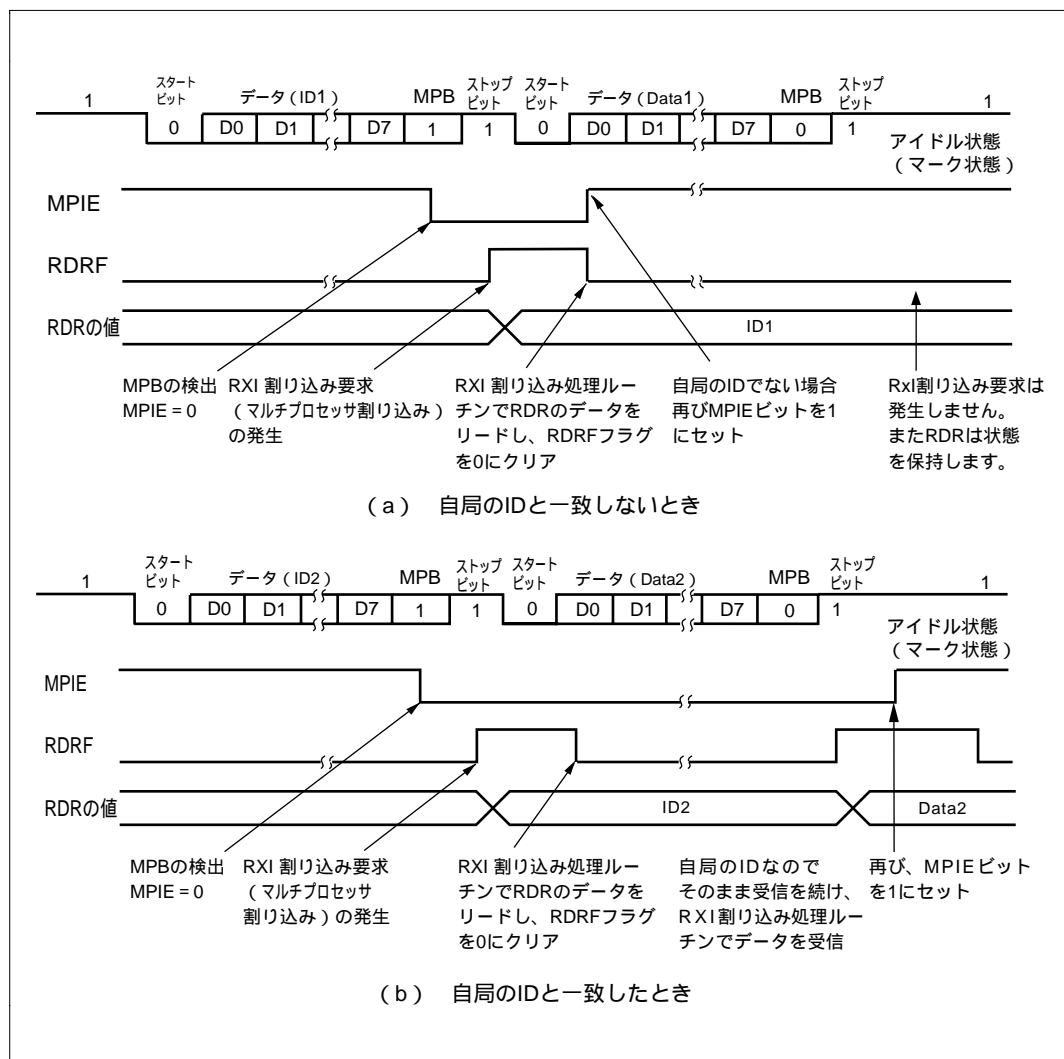


図 13.13 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

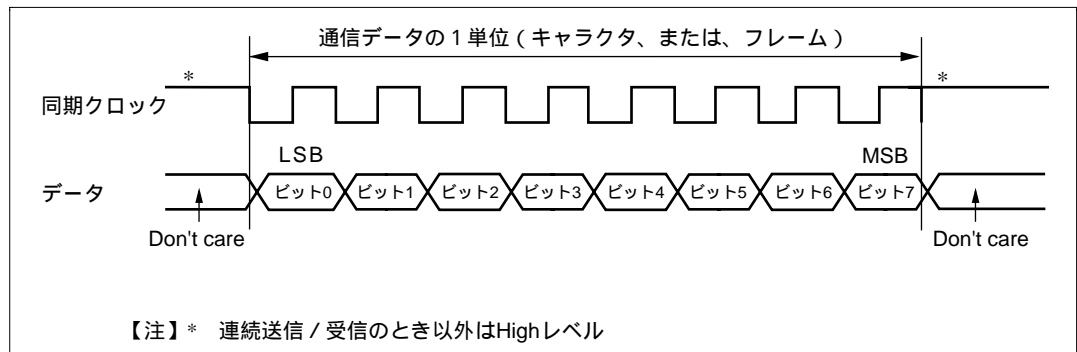


図 13.14 クロック同期式通信データフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

（1）送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

（2）クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 13.6 を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCIのイニシャライズ (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI をイニシャライズしてください。

モードの変更は、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR がイニシャライズされます。

RE ビットを 0 にクリアしても RDRF、PER、ORE の各フラグ、および RDR の内容は保持されますので注意してください。

図 13.15 に SCI のイニシャライズフローチャートの例を示します。

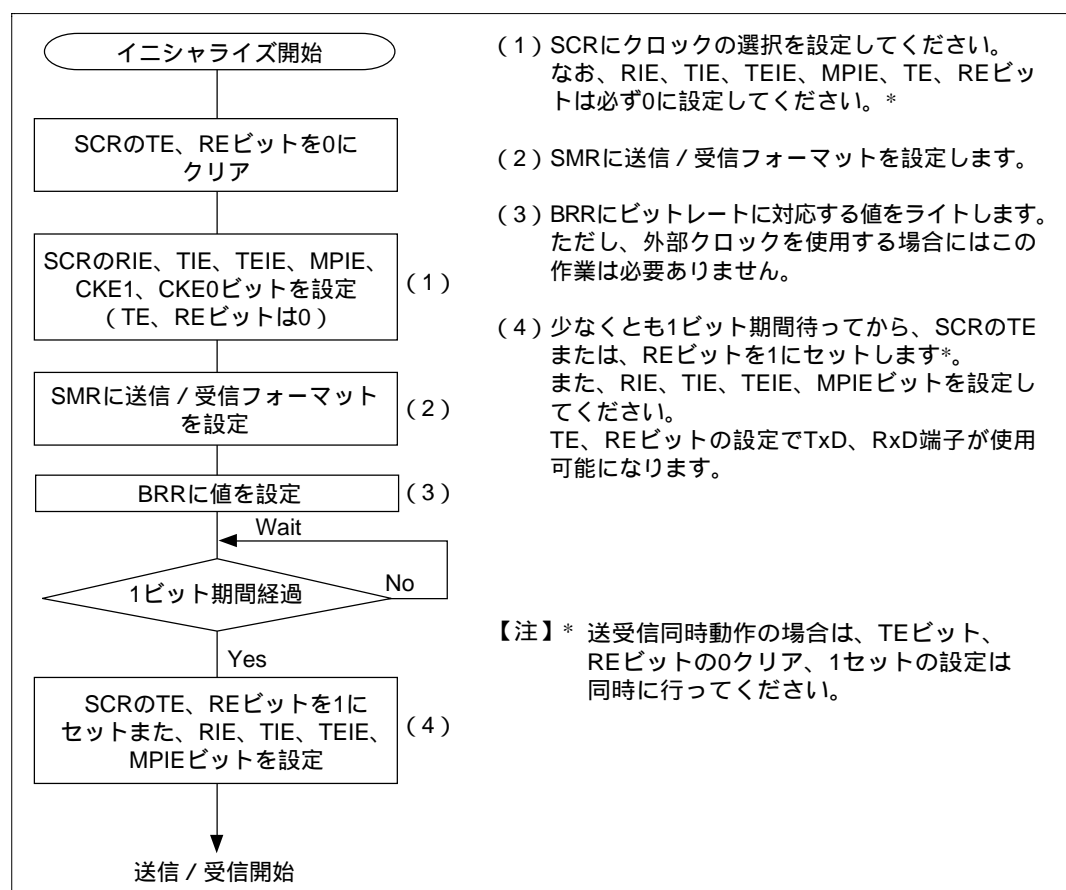


図 13.15 SCI のイニシャライズフローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 13.16 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

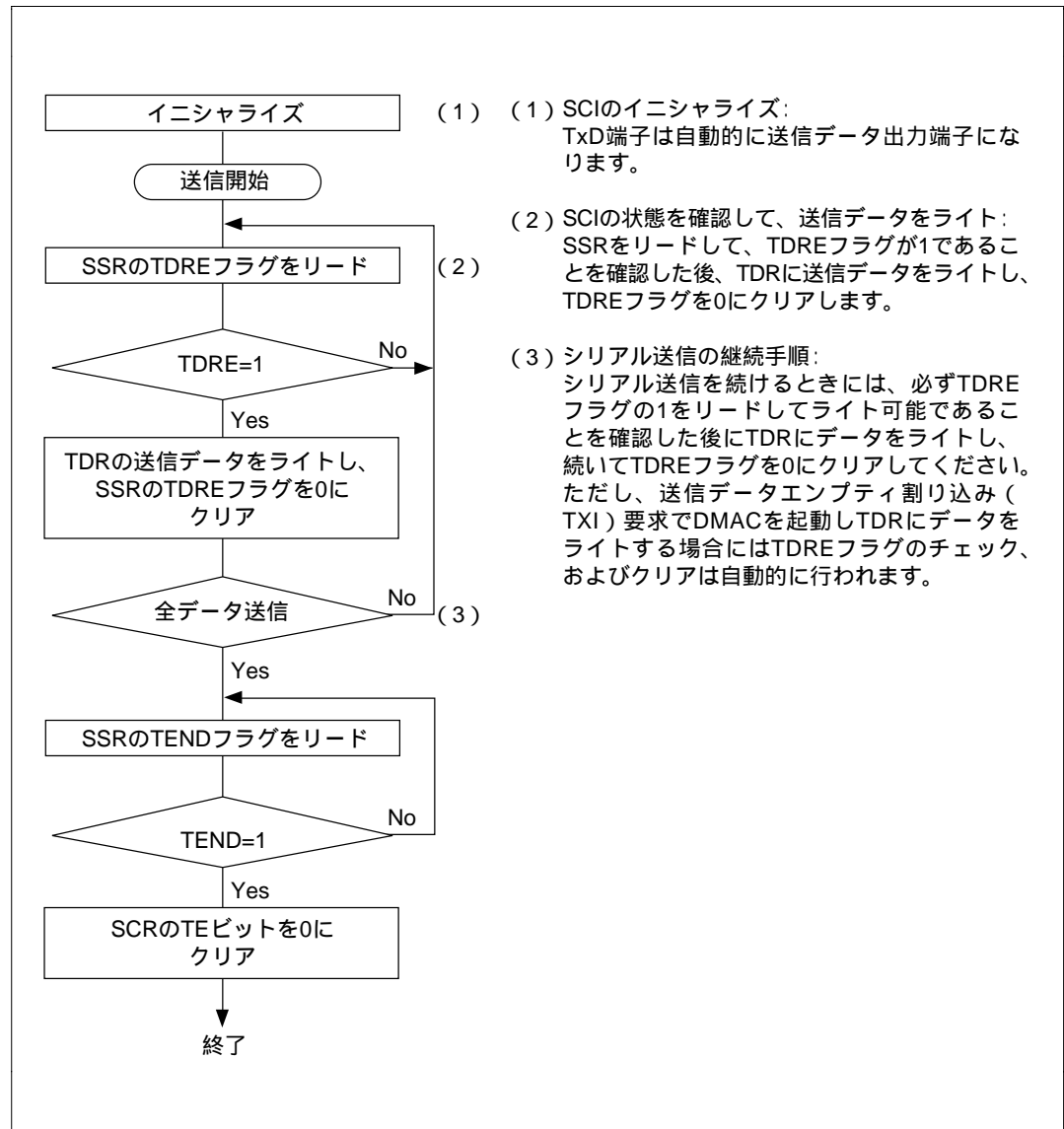


図 13.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR データを転送します。
- (2) TDR から TSR ヘデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。

このとき、SCR の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

(3) SCI は、MSB (ビット 7) を送り出すタイミングで TDRE フラグをチェックします。

TDRE フラグが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。

TDRE フラグが 1 であると SSR の TEND フラグを 1 にセットし、MSB (ビット 7) を送り出した後、TxD 端子は状態を保持します。

このとき SCR の TEIE ビットが 1 にセットされていると送信終了割り込み (TEI) 要求が発生します。

(4) シリアル送信終了後は、SCK 端子は固定になります。

図 13.17 に SCI の送信時の動作例を示します。

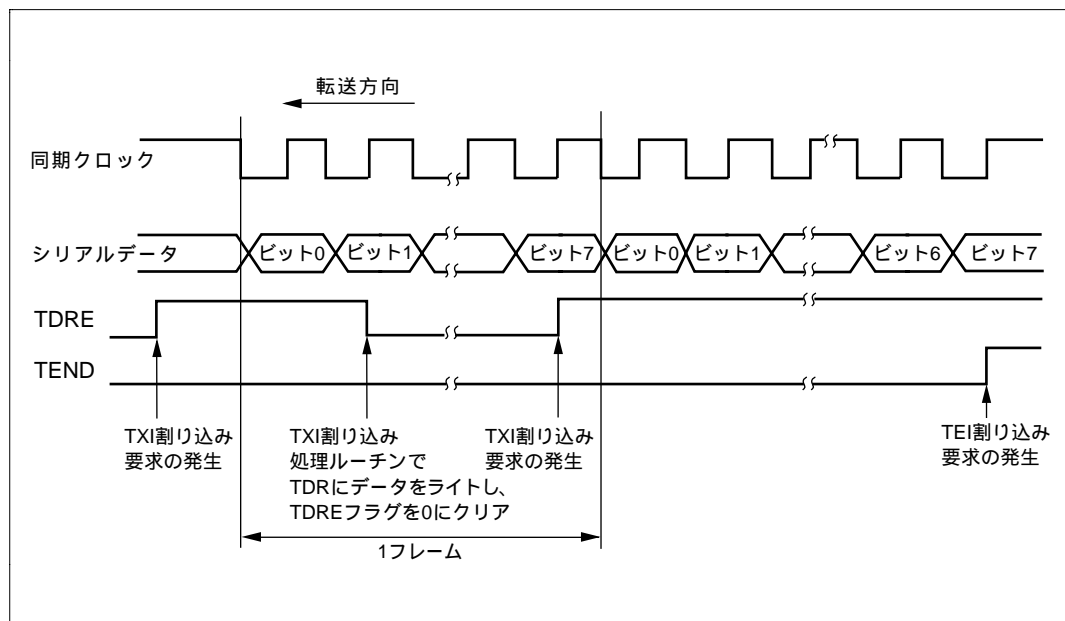


図 13.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 13.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信 / 受信動作が行えません。

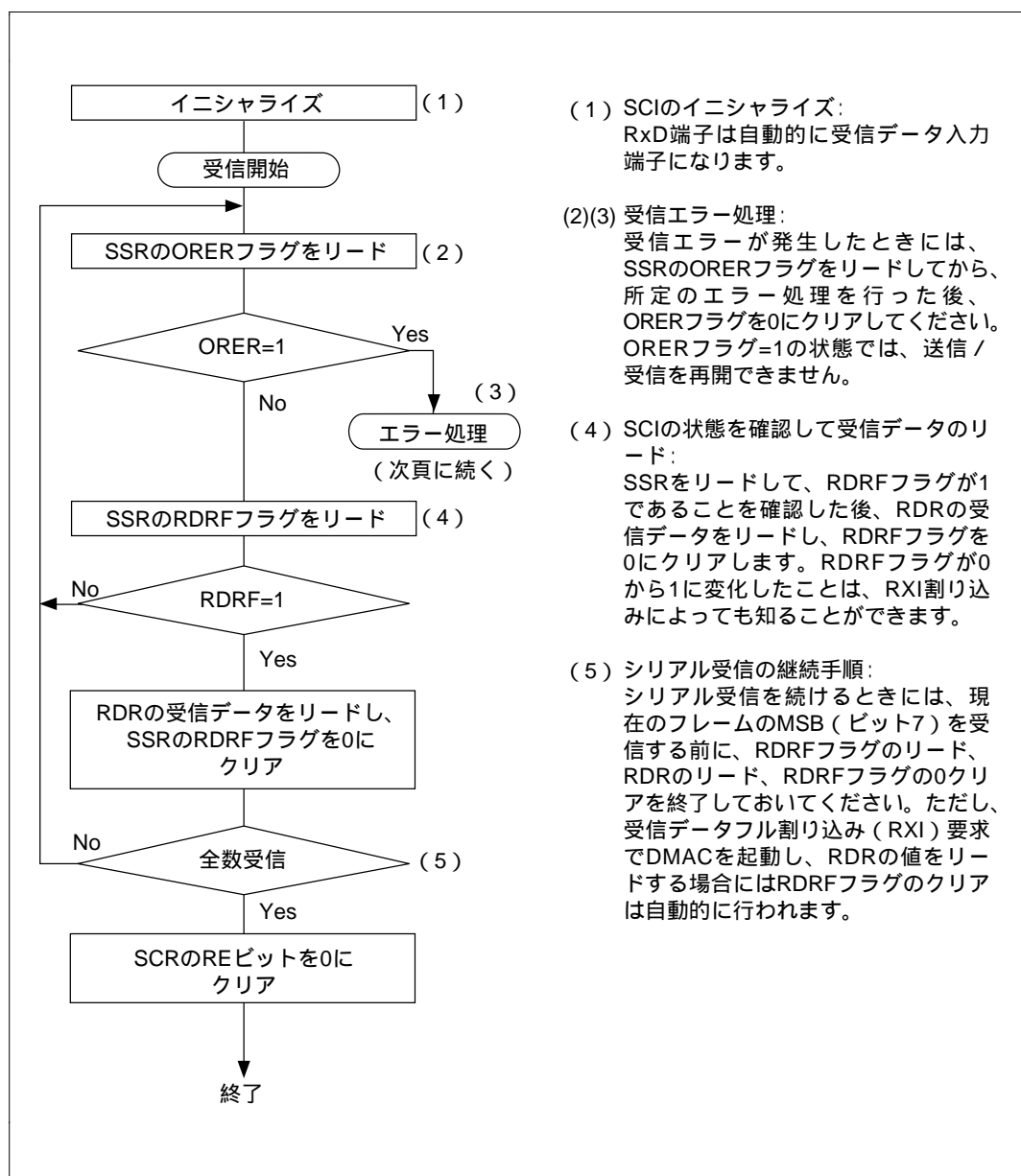


図 13.18 シリアルデータ受信フローチャートの例 (1)

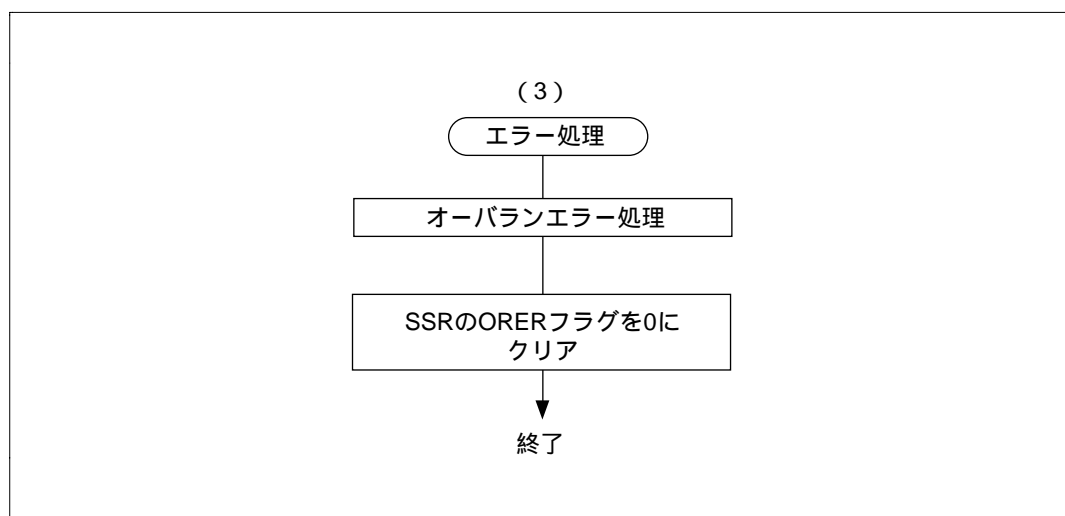


図 13.18 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

(1) SCI は同期クロックの入力または出力に同期して内部を初期化します。

(2) 受信したデータを RSR の LSB から MSB の順に格納します。

受信後、SCI は、RDRF フラグが 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

このチェックがパスしたとき RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。エラーチェックで受信エラーが発生すると、表 13.11 のように動作します。

エラーチェックで受信エラーが発生した状態では以後の送信、受信動作ができません。

(3) RDRF フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。

また、ORER フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 13.19 に SCI の受信時の動作例を示します。

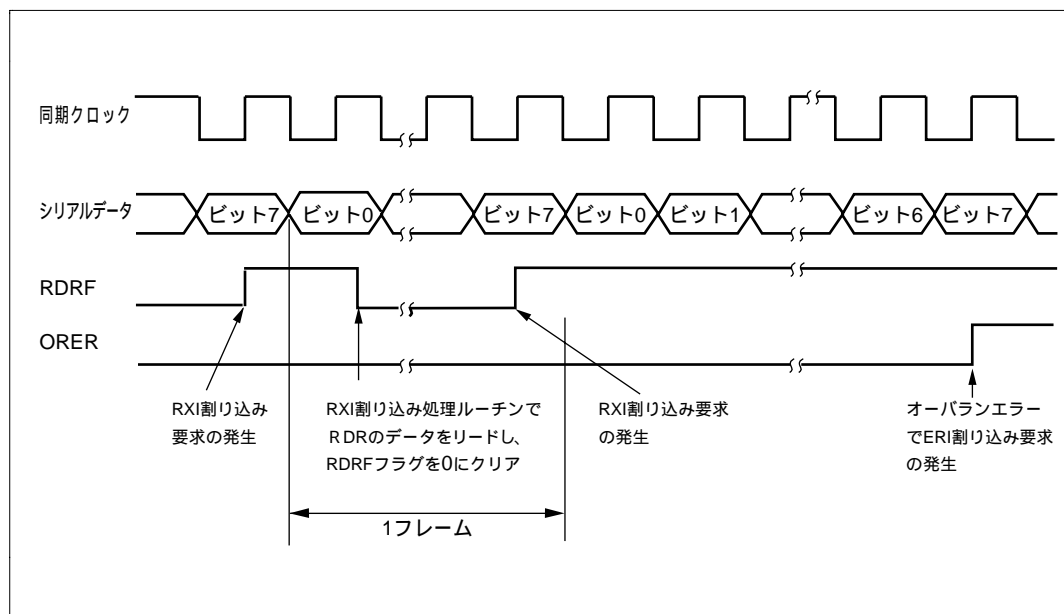
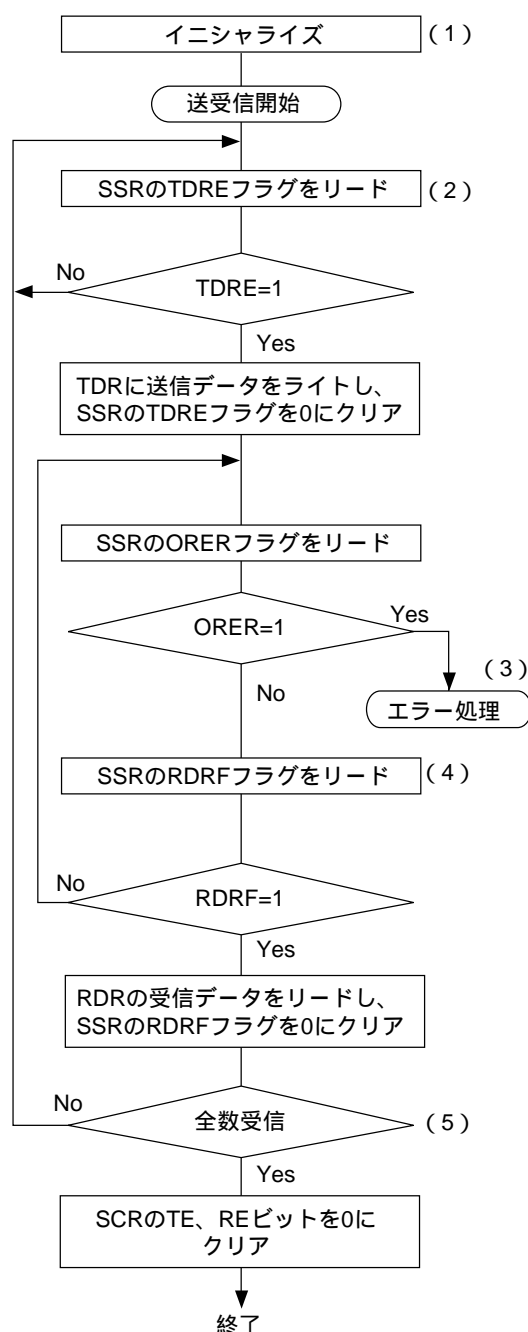


図 13.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。



- (1) イニシャライズ:
TxD端子は送信データ出力端子に、TxD端子は受信データ入力端子になり、送受信同時動作可能状態になります。
- (2) SCIの状態確認と送信データのライト:
SSRをリードしてTDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。
TDREフラグが0から1に変化したことは、TXI割り込みによっても知ることができます。
- (3) 受信エラー処理:
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。
ORERフラグが1にセットされた状態では送信 / 受信を再開できません。
- (4) SCIの状態を確認して受信データのリード:
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。
RDRFフラグが0から1に変化したとは、RXI割り込みによっても知ることができます。
- (5) シリアル送受信の継続手順:
シリアル送受信を続けるときには、現在のフレームのMSB (ビット7) を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。また、現在のフレームのMSB (ビット7) を送信する前にTDREフラグの1をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを0クリアしておいてください。ただし、送信データエンプティ割り込み (TXI) 要求でDMACを起動しTDRにデータをライトする場合には、TDREフラグのチェック、およびクリアは自動的に行われます。また、受信データフル割り込み (RXI) 要求でDMACを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

【注】送信、または受信動作から同時送受信に切り替えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。

図 13.20 シリアル送受信同時動作のフローチャートの例

13.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可 / 禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DMAC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DMAC の起動はできません。

SCI チャンネル 0 の割り込みにより DMAC の起動が可能です。

表 13.12 SCI 割り込み要因

割り込み要因	内容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンプティ (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

13.5 使用上の注意

13.5.1 SCI を使用する際の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 13.13 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバランエラー + フレーミングエラー
1	1	0	1	x		オーバランエラー + パリティエラー
0	0	1	1			フレーミングエラー + パリティエラー
1	1	1	1	x		オーバランエラー + フレーミングエラー + パリティエラー

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信のイニシャライズから TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 13.21 に示します。

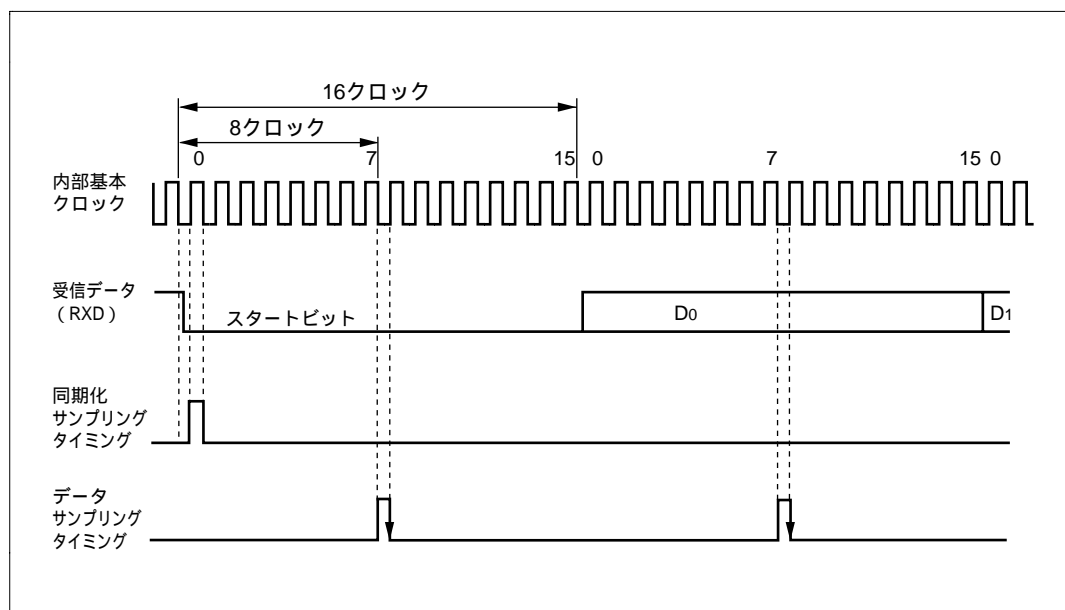


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right) \right| \times 100\% \quad \dots\dots\dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0 ~ 1.0)

L : フレーム長 (L=9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% = 46.875\% \quad \dots\dots\dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) DMAC 使用上の制約事項

- (1) 同期クロックに外部クロックソースを使用する場合、DMAC による TDR の更新後、クロックで 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 ステート以内に送信クロックを入力すると、誤動作することがあります(図 13.22)。
- (2) DMAC により、RDR のリードを行うときは必ず DTCR の DTS2~0 ビットで起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

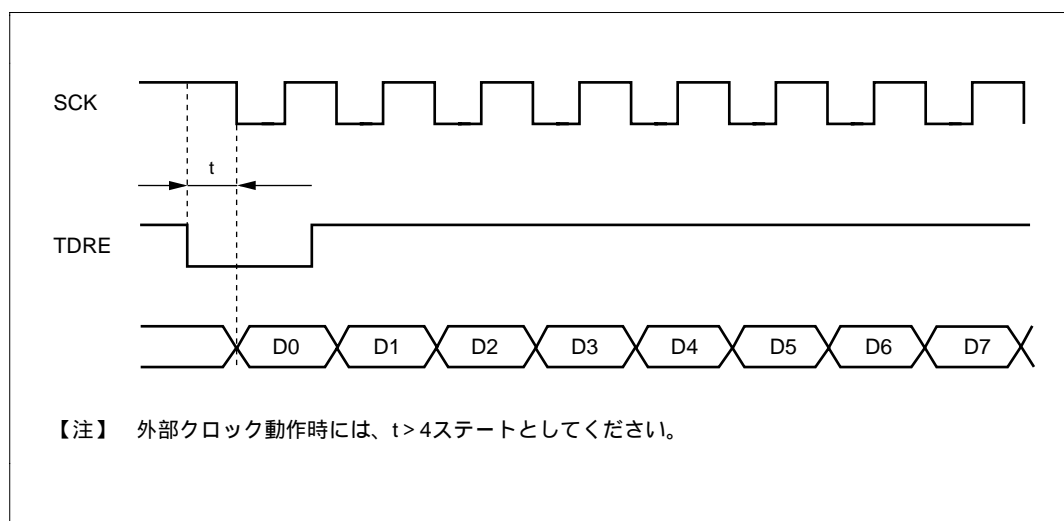


図 13.22 DMAC によるクロック同期式送信時の例

(8) SCK 端子からポート端子へ切り替えるときの注意事項

(1) 動作現象

DDR = 1、DR = 1、 C/\overline{A} = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態（クロック同期式モード）において、以下の設定で SCK 端子機能を出力ポート機能（High 出力）に切り替える際、半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TE ビット = 0
3. C/\overline{A} ビット = 0 ... ポート出力に切り替え
4. Low 出力発生（図 13.23 参照）

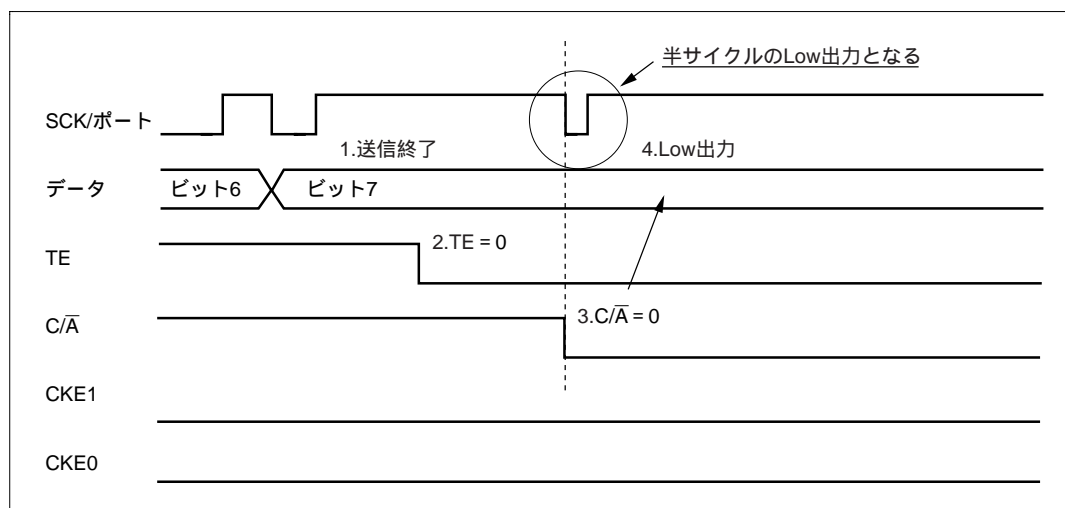


図 13.23 SCK 端子からポート端子へ切り替えるときの動作

(2) Low 出力を回避する手順例

本手順例は、SCK 端子を一度入力状態にするため、あらかじめ SCK/ポート端子を外部回路でプルアップしてください。

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1 の状態より以下の 1~5 の手順で設定してください。

1. シリアルデータ送信終了
2. TE ビット = 0
3. CKE1 ビット = 1
4. C/\bar{A} ビット = 0 ... ポート出力に切り替え
5. CKE1 ビット = 0

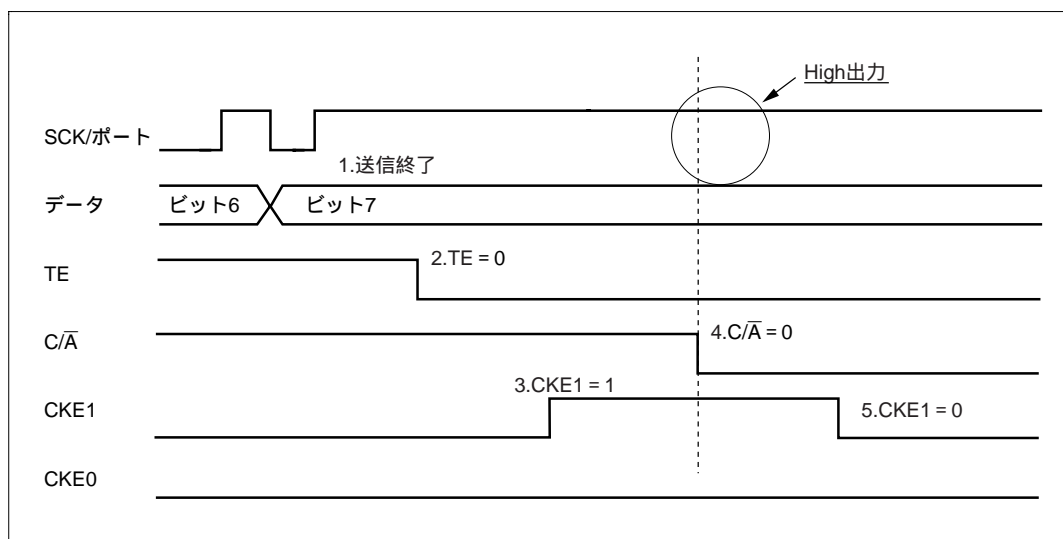


図 13.24 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

14. スマートカード インタフェース

第 14 章 目次

14.1	概要.....	577
	14.1.1 特長.....	577
	14.1.2 ブロック図.....	578
	14.1.3 端子構成.....	578
	14.1.4 レジスタ構成.....	579
14.2	各レジスタの説明.....	580
	14.2.1 スマートカードモードレジスタ (SCMR).....	580
	14.2.2 シリアルステータスレジスタ (SSR).....	582
	14.2.3 シリアルモードレジスタ (SMR).....	583
	14.2.4 シリアルコントロールレジスタ (SCR).....	585
14.3	動作説明.....	586
	14.3.1 概要.....	586
	14.3.2 端子接続.....	586
	14.3.3 データフォーマット.....	587
	14.3.4 レジスタの設定.....	589
	14.3.5 クロック.....	591
	14.3.6 データの送信 / 受信動作.....	593
14.4	使用上の注意.....	602

14.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

14.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

調歩同期式モード

- ・ データ長 : 8 ビット
- ・ パリティビットの生成およびチェック
- ・ 受信モードにおけるエラーシグナル (パリティエラー) の送出
- ・ 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ・ ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

- ・ 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能
- ・ 送信データエンプティ割り込みと受信データフル割り込みにより、DMA コントローラ (DMAC) を起動させてデータを転送可能

14.1.2 ブロック図

図 14.1 にスマートカードインタフェースのブロック図を示します。

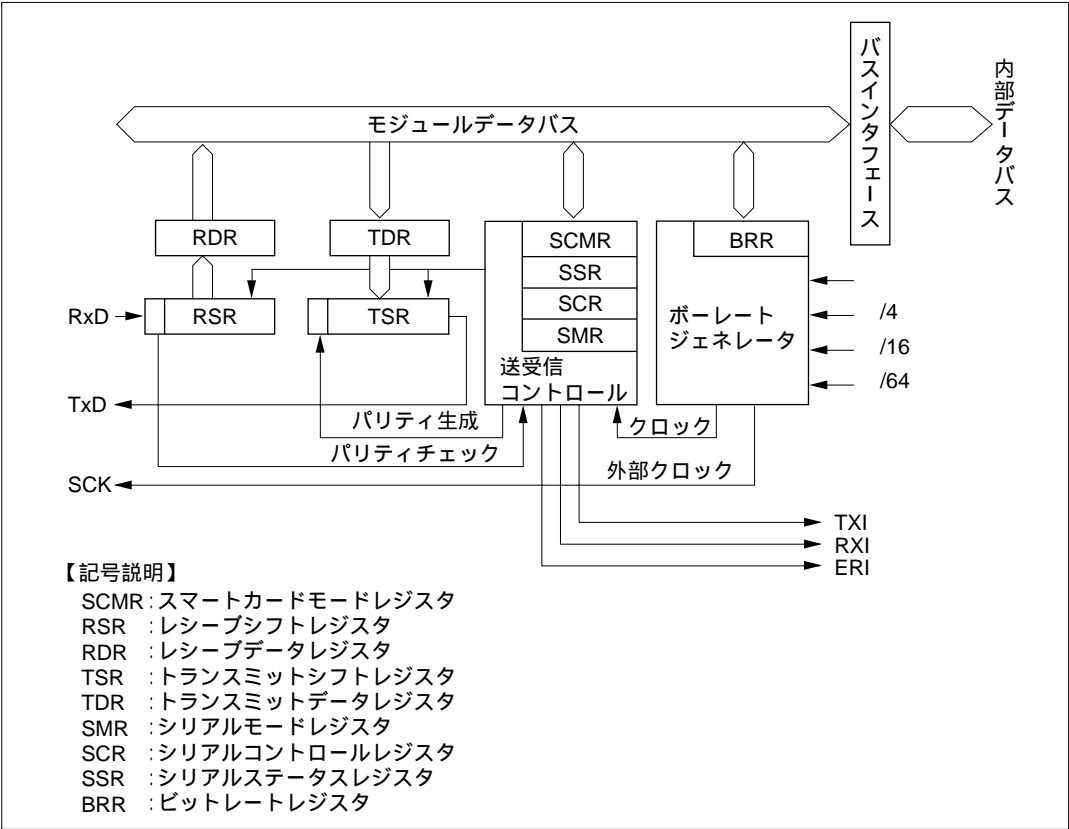


図 14.1 スマートカードインタフェースのブロック図

14.1.3 端子構成

スマートカードインタフェースの端子構成を表 14.1 に示します。

表 14.1 端子構成

名 称	略 称	入出力	機 能
シリアルクロック端子	SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	TxD	出力	送信データ出力

14.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 14.2 に示します。BRR、TDR、RDR については、通常の SCI の機能と同様ですので、「第 13 章 SCI」のレジスタの説明を参照してください。

表 14.2 レジスタ構成

チャンネル	アドレス* ¹	名 称	略 称	R/W	初期値
0	H'FFFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFB5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2
1	H'FFFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBFA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB8	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBFC	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFBFD	レシーブデータレジスタ	RDR	R	H'00
	H'FFBFE	スマートカードモードレジスタ	SCMR	R/W	H'F2
2	H'FFFC0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFC1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFC2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFC3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFC4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFC5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFC6	スマートカードモードレジスタ	SCMR	R/W	H'F2

【注】 *1 アドバンスドモード時のアドレス下位 20 ビットを示しています。

*2 ビット 7～3 はフラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

14.2.1 スマートカードモードレジスタ (SCMR)

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット

リザーブビット

スマートカードインタフェース
モードセレクト
スマートカードインタフェース
機能を許可/禁止するビット
です。

スマートカードデータインバート
データのロジックレベルの反転を
指定するビットです。

スマートカードデータトランスファディレクション
シリアル/パラレル変換のフォーマットを選択する
ビットです。

SCMR は、リセットまたはスタンバイモード時に、HF2 にイニシャライズされます。

ビット7~4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します*1。

ビット 3	説 明
SDIR	
0	TDR の内容を LSB ファーストで送信 (初期値) 受信データを LSB ファーストとして RDR に格納
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット2:スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します*2。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「14.3.4 レジスタの設定」を参照してください。

ビット2	説 明
SINV	
0	TDR の内容をそのまま送信 (初期値) 受信データをそのまま RDR に格納
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット1:リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0:スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能をイネーブルにするビットです。

ビット0	説 明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

【注】 *1 LSB ファースト / MSB ファーストの切り替え機能は、通常の SCI においても使用することができます。

通信フォーマットのデータ長を 7 ビットとして送受信するシリアルデータを MSB ファーストとする場合には、TDR のビット 0 は送信されません。また、受信するデータは 7 ビット目から 1 ビット目が有効になりますので注意してください。

*2 データのロジックレベルの反転機能は、通常の SCI においても使用することができます。

送受信するシリアルデータを反転させる場合には、パリティの送信とパリティのチェックは、レジスタの値ではなくシリアルデータ入出力端子のハイレベルの数に対して行われるので、注意してください。

14.2.2 シリアルステータスレジスタ (SSR)

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

エラーシグナルステータス (ERS)
エラーシグナルが送出されたことを示すフラグです。
トランスミットエンド
送信終了を示すフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

ビット 7 ~ 5:

通常の SCI と同様の動作をします。詳細は「13.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ビット 4: エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説 明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 [クリア条件] (初期値) (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが検出されたことを表示 [セット条件] エラーシグナル Low をサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット3～0:

通常の SCI と同様の動作をします。詳細は「13.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2	説 明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 [セット条件] (初期値) (1) リセットまたはスタンバイモード時 (2) SCR の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit: 1 ビットの転送期間の略)

14.2.3 シリアルモードレジスタ (SMR)

スマートカードインタフェースモードにおいては、SMR のビット 7 の機能が変更されます。また、これに関連してシリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 の機能も変更されます。

ビット:	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/ \overline{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7: GSM モード (GM)

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 で指定されます。

ビット7	説 明
GM	
0	通常のスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON / OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON / OFF、および High / Low 固定制御

ビット6:

ライト時は 0 を書き込んでください。

ビット1、0:

ライト時は 0 を書き込んでください。

ビット5~2:

通常の SCI と同様の動作をします。詳細は「13.2.5 シリアルモードレジスタ (SMR)」を参照してください。

14.2.4 シリアルコントロールレジスタ (SCR)

スマートカードインタフェースモードにおいては、SCR のビット 1、0 の機能が変更されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 ~ 2:

通常の SCI と同様の動作をします。詳細は「13.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。

ビット 1、0: クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。

スマートカードインタフェースモードにおいては、通常のクロック出力の許可 / 禁止の切り替え、およびクロック出力の High レベル固定と Low レベル固定を指定することができます。

ビット7	ビット1	ビット0	説 明	
GM	CKE1	CKE0		
0	0	0	内部クロック / SCK 端子は入出力ポート （初期値）	
		1	内部クロック / SCK 端子はクロック出力	
1		0	0	内部クロック / SCK 端子は Low 出力固定
			1	内部クロック / SCK 端子はクロック出力
	1	0	内部クロック / SCK 端子は High 出力固定	
		1	内部クロック / SCK 端子はクロック出力	

14.3 動作説明

14.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1 フレームは、8 ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル Low を 1 etu 期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

14.3.2 端子接続

図 14.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{CC} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

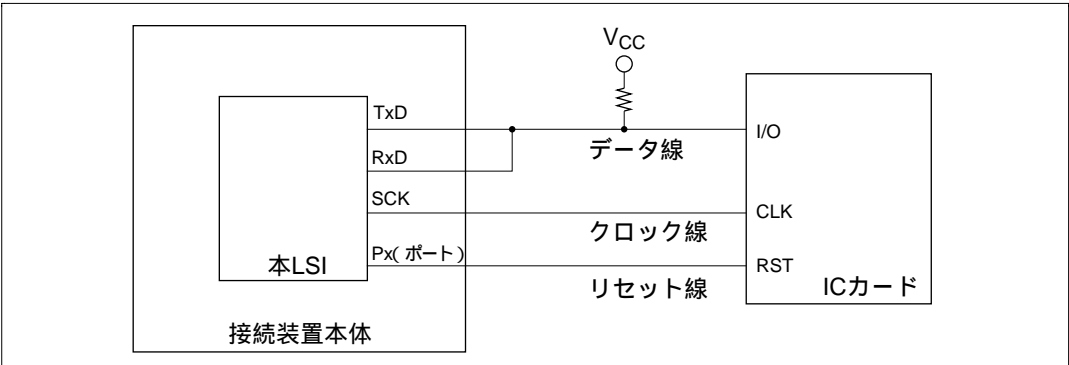


図 14.2 スマートカードインタフェース端子接続概略図

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

14.3.3 データフォーマット

図 14.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は1フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルをサンプリングすると同じデータを再送信します。

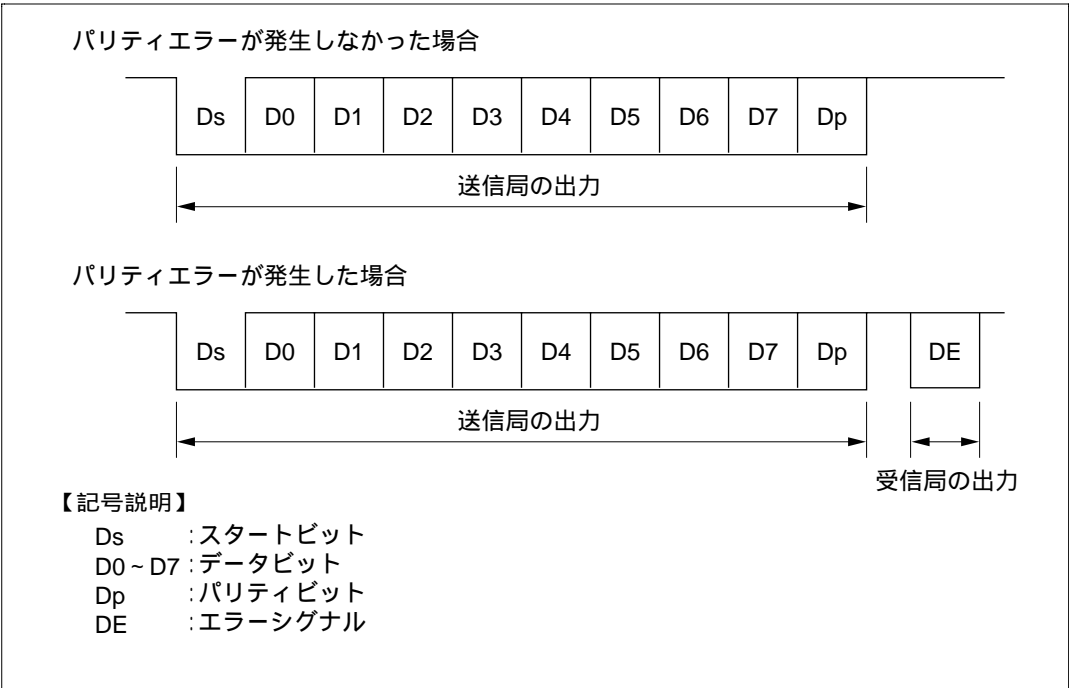


図 14.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗により High レベルに固定されます。
- [2] 送信側は、1 フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Low レベル) から開始します。この後に、8 ビットのデータビット (D0 ~ D7) とパリティビット (Dp) が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗により High レベルになります。
- [4] 受信側は、パリティチェックを行います。
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、Low レベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗により High レベルに戻ります。
- [5] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、[2] に戻りエラーとなったデータを再送信します。

14.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 14.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 14.3 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス*1	ビット							
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SMR	H'FFFB0	GM	0	1	O/ \bar{E}	1	0	CKS1	CKS0
BRR	H'FFFB1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	H'FFFB2	TIE	RIE	TE	RE	0	0	CKE1*2	CKE0
TDR	H'FFFB3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	H'FFFB4	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	H'FFFB5	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	H'FFFB6	-	-	-	-	SDIR	SINV	-	SMIF

【注】 - : 未使用ビットを示します。

*1 : アドバンスモード時の下位 20 ビットを示します。

*2 : SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 にしてください。

(1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O/ \bar{E} ビットは、IC カードがダイレクトコンベンション時には 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。「14.3.5 クロック」を参照してください。

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「14.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 13 章 SCI」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は 00 に設定し、クロックを出力する場合は 01

に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

(4) スマートカードモードレジスタ (SCMR) の設定

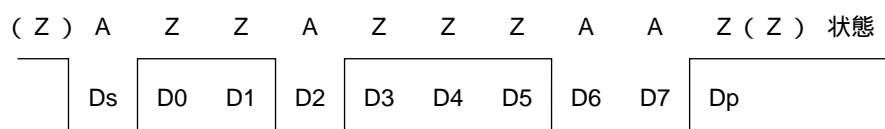
SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

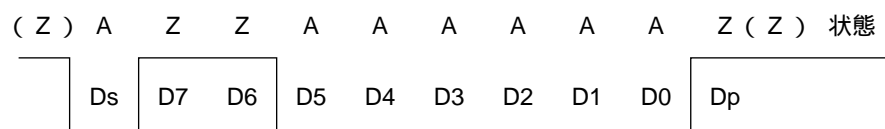
(a) ダイレクトコンベンション (SDIR = SINV = O/\bar{E} = 0)



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規格により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV = O/\bar{E} = 1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規格により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の O/\bar{E} ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

14.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはBRRとSMRのCKS1、CKS0ビットで設定され、以下に示す計算式になります。ビットレートの例を表14.5に示します。

このときCKE0=1でクロック出力を選択すると、SCK端子からはビットレートの372倍の周波数のクロックが出力されます。

$$B = \frac{1488 \times 2^{2n-1} \times (N+1)}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N=BRRの設定値(0 ≤ N ≤ 255)

B = ビットレート (bit/s)

= 動作周波数 (MHz)

n = 表14.4を参照

表14.4 nとCKS1、CKS0の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

【注】 * ギア機能によりクロックを分周して使用する場合には、動作周波数に分周比を考慮した値を設定してください。上記は分周比1:1の場合を示します。

表14.5 BRRの設定に対するビットレートB (bit/s)の例(ただし、n=0のとき)

N	(MHz)								
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00	20.00	25.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5	26881.7	33602.2
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8	13440.9	16801.1
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5	8960.6	11200.7

【注】 ビットレートは、小数点以下2桁目を四捨五入した値です。

一方、動作周波数とビットレートからビットレートレジスタ (BBR) の設定値を算出する式は次のようになります。ただし、N は整数値、 $0 \leq N \leq 255$ であり、誤差の小さい方を指定します。

$$N = \frac{1488 \times 2^{2n-1} \times B}{\text{動作周波数}} \times 10^6 - 1$$

表 14.6 ビットレート B (bit/s) に対する BBR の設定例 (ただし、 $n=0$ のとき)

bit/s	(MHz)																	
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.0		25.0	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.66	3	12.49

表 14.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

(MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差}(\%) = \left(\frac{1488 \times 2^{2n-1} \times B \times (N+1)}{\text{動作周波数}} \times 10^6 - 1 \right) \times 100$$

14.3.6 データの送信 / 受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI をイニシャライズしてください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいてもイニシャライズが必要です。

- [1] SCR の TE、RE ビットを 0 にクリアします。
- [2] SSR のエラーフラグ ERS、PER、ORER を 0 にクリアしてください。
- [3] SMR の O \bar{E} ビットと CKS1、CKS0 ビットを設定してください。このとき、C \bar{A} 、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- [4] SCMR の SMIF、SDIR、SINV ビットを設定してください。
SMIF ビットを 1 にセットすると、TxD 端子および RxD 端子は共にポートから SCI の端子に切り替えられ、ハイインピーダンス状態となります。
- [5] ビットレートに対応する値を BRR に設定します。
- [6] SCR の CKE0 ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1 ビットは、0 に設定してください。
CKE0 ビットを 1 にセットした場合は、SCK 端子からクロック出力されます。
- [7] 少なくとも 1 ビット期間待ってから、SCR の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 14.5 に示します。

- [1] (1) の手順に従いスマートカードインタフェースモードにイニシャライズします。
- [2] SSR のエラーフラグ ERS が 0 にクリアされていることを確認してください。
- [3] SSR の TEND フラグが 1 にセットされていることが確認できるまで、[2]、[3] を繰り返してください。
- [4] TDR に送信データをライトして、TDRE フラグを 0 にクリアし送信動作を行います。
このとき、TEND フラグは 0 にクリアされます。
- [5] 連続してデータを送信する場合は、[2] に戻ってください。
- [6] 送信を終了する場合は、TE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理または DMA 転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 14.4 に TEND フラグセットタイミングを示します。

TXI 要求で DMAC を起動する場合、自動再転送を含め DMAC に設定したバイト数を自動的に送信することができます。

詳細は (6)、(7) を参照してください。

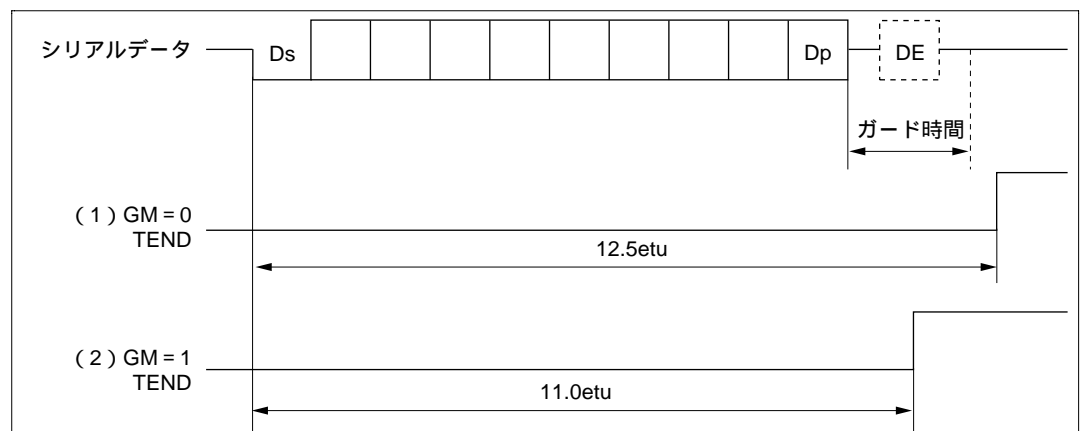
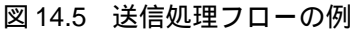


図 14.4 TEND フラグセットタイミング



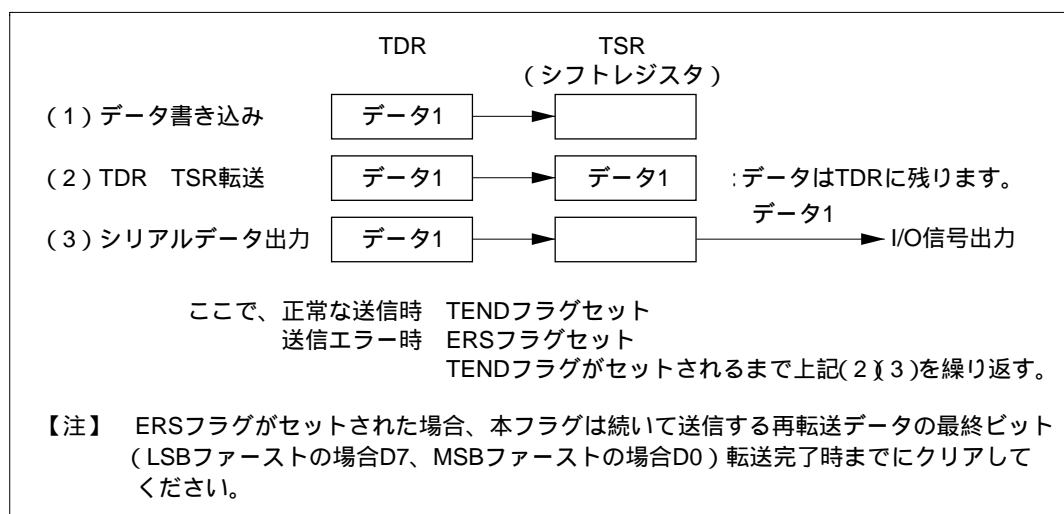


図 14.6 送信動作と内部レジスタの関連

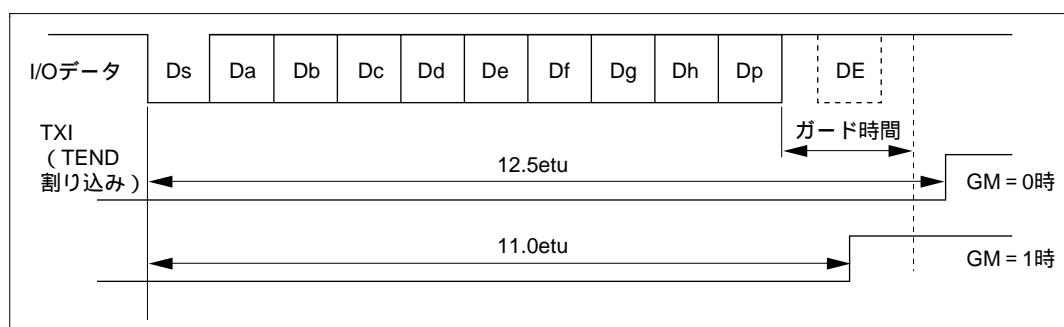


図 14.7 TEND フラグ発生タイミング

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 14.8 に示します。

- [1] SCI を (1) に従いスマートカードインタフェースモードにイニシャライズします。
- [2] SSR の ORER フラグと PER フラグが 0 であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORER と PER フラグをすべて 0 にクリアしてください。
- [3] RDRF フラグが 1 であることを確認できるまで [2]、[3] を繰り返してください。
- [4] RDR から受信データをリードしてください。
- [5] 継続してデータを受信する場合は、RDRF フラグを 0 にクリアして [2] の手順に戻ってください。
- [6] 受信を終了する場合は、RE ビットを 0 にクリアします。

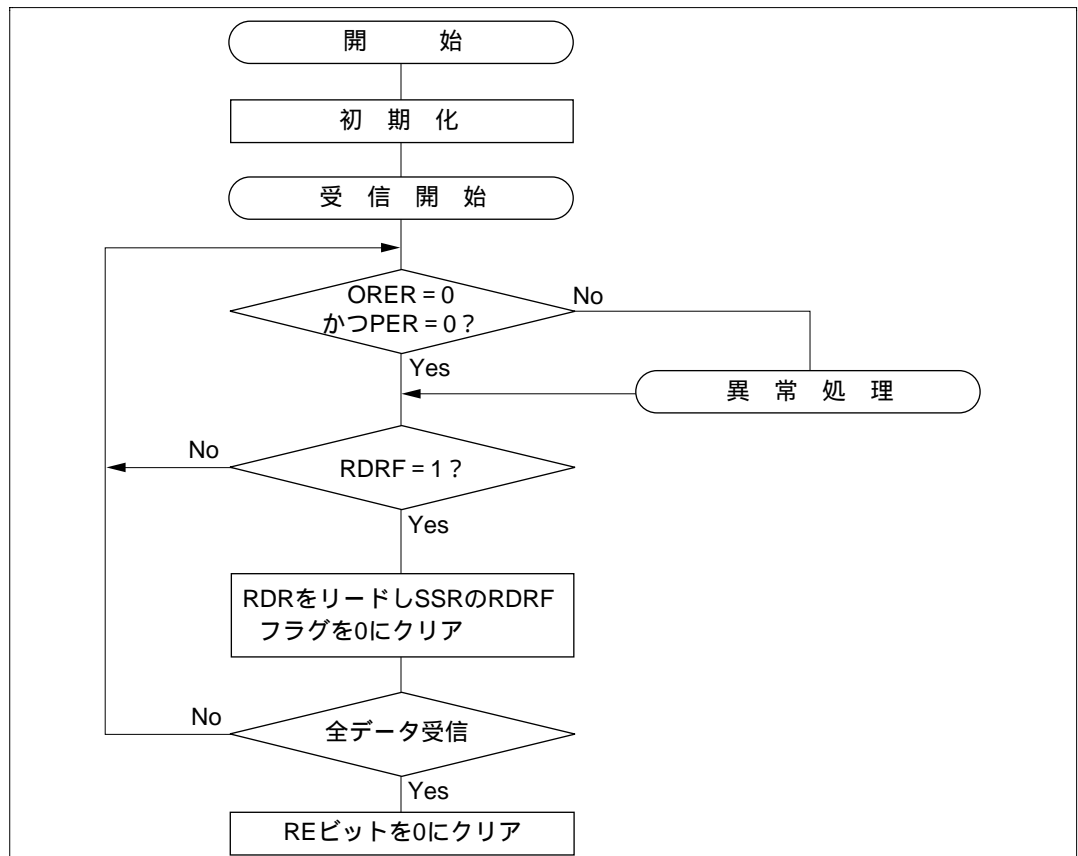


図 14.8 受信処理フローの例

以上の一連の処理は、割り込み処理またはDMA転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

RXI 要求でDMACを起動する場合、エラーの発生した受信データをスキップしてDMAC に設定したバイト数だけ受信データを転送します。

詳細は (6)、(7) を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、イニシャライズから開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、イニシャライズから開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.9 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

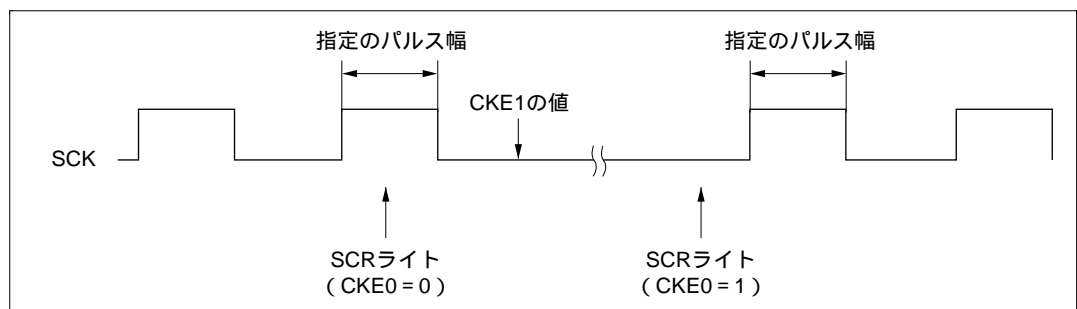


図 14.9 クロック出力固定タイミング

(6) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 14.8 に示します。

表 14.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み要因	DMAC の 起動
送信モード	正常動作	TEND	TIE	TXI	可
	エラー	ERS	RIE	ERI	不可
受信モード	正常動作	RDRF	RIE	RXI	可
	エラー	PER、ORER	RIE	ERI	不可

(7) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 7 章 DMA コントローラ」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、代わりに CPU に対し ERI を発

生しますのでエラーフラグをクリアしてください。

(8) GSM モード時の動作例

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

- ・ スマートカードインタフェースモードからソフトウェアスタンバイモードに移るとき

- [1] P9₄のデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイ時の出力固定状態の値に設定する。
- [2] シリアルコントロールレジスタ (SCR) の TE ビットと RE ビットに 0 を書き込み、送信 / 受信動作を停止させる。同時に、CKE1 ビットをソフトウェアスタンバイ時の出力固定状態の値に設定する。
- [3] SCR の CKE0 ビットに 0 を書き込み、クロックを停止させる。
- [4] シリアルクロックの 1 クロック周期の間、待つ。
この間に、デューティを守って、指定のレベルでクロック出力は固定される。
- [5] シリアルモードレジスタ (SMR) とスマートカードモードレジスタ (SCMR) に H'00 を書き込む。
- [6] ソフトウェアスタンバイ状態に移させる。

- ・ ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

- [1] ソフトウェアスタンバイ状態を解除する。
- [2] SCR の CKE1 ビットをソフトウェアスタンバイ開始時の出力固定状態 (現在の P9₄ 端子) の値に設定する。
- [3] スマートカードインタフェースモードに設定し、クロック出力させる。正常なデューティにてクロック信号発生を開始する。

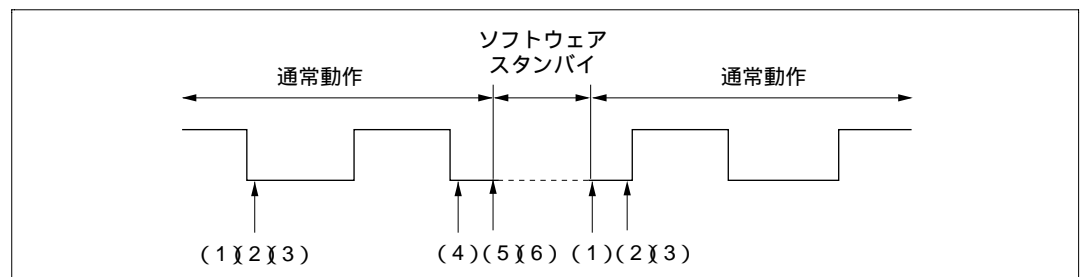


図 14.10 クロック停止・再起動手順

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

- [1] 初期状態は、ポート入力でありハイインピーダンスである。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用する。
- [2] SCR の CKE1 ビットで指定の出力に固定する。
- [3] SMR と SCMR をセットし、スマートカードモードの動作に切り替える。
- [4] SCR の CKE0 ビットを 1 に設定して、クロック出力を開始する。

14.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 14.11 に示します。

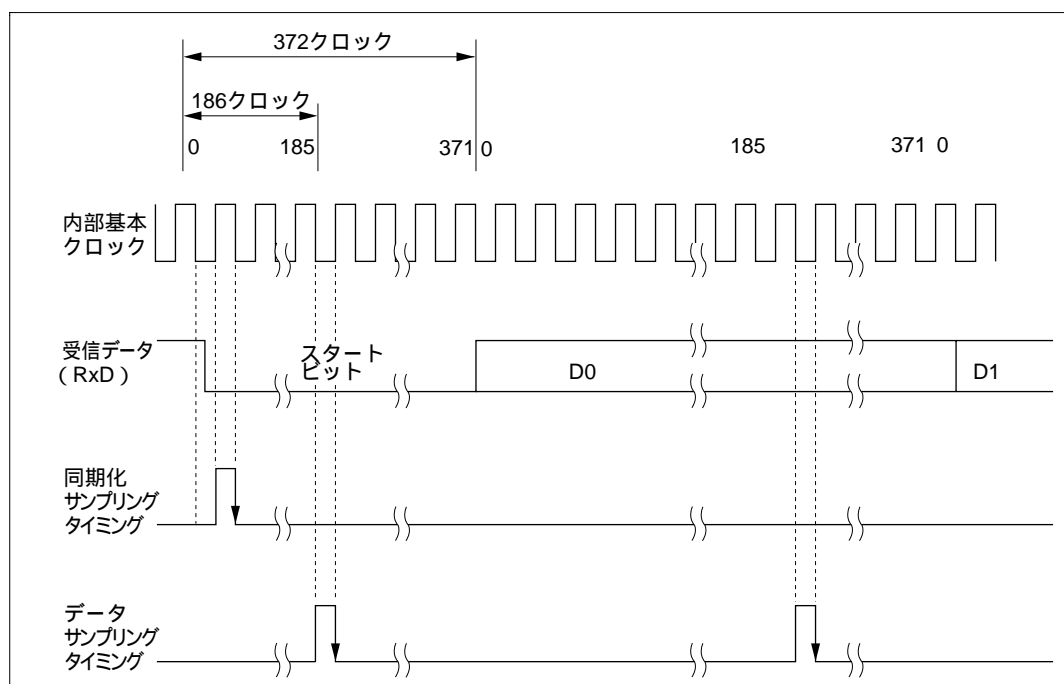


図 14.11 スマートカードインタフェースモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン（％）

N：クロックに対するビットレートの比（N=372）

D：クロックデューティ（D=0～1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2} \times 372 \right) \times 100\%$$

$$= 49.866\%$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 14.12 に示します。

- [1] 受信したパリティビットをチェックした結果、エラーが検出されると、SSR の PER ビットが自動的に 1 にセットされます。このとき、SCR の RIE ビットがイネーブルになっていれば、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSR の PER ビットを 0 にクリアしてください。
- [2] 異常が発生したフレームでは、SSR の RDRF ビットはセットされません。
- [3] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSR の PER ビットはセットされません。
- [4] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSR の RDRF ビットが自動的に 1 にセットされます。このとき SCR の RIE ビットが許可になっていれば、RXI 割り込み要求が発生します。さらに、RXI 要因による DMAC のデータ転送が許可されていれば、RDR の内容を自動的にリードすることができます。DMAC で RDR のデータをリードした場合、RDRF フラグは自動的に 0 にクリアされます。
- [5] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

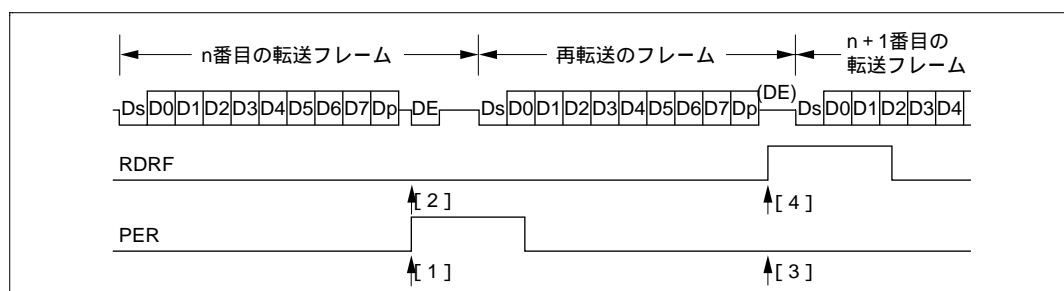


図 14.12 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 14.13 に示します。

[6] 1 フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSR の ERS ビットが 1 にセットされます。このとき、SCR の RIE ビットが許可になっていれば、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSR の ERS ビットを 0 にクリアしてください。

[7] 異常を示すエラーシグナルを受信したフレームでは、SSR の TEND ビットはセットされません。

[8] 受信側からエラーシグナルが返ってこない場合は、SSR の ERS ビットはセットされません。

[9] 受信側からエラーシグナルが返ってこない場合は、再転送を含む 1 フレームの送信が完了したと判断して、SSR の TEND ビットが 1 にセットされます。このとき SCR の TIE ビットが許可になっていれば、TXI 割り込み要求が発生します。

さらに、TXI 要因による DMAC のデータ転送が許可されていれば、自動的に TDR に次のデータをライトすることができます。DMAC で TDR にデータをライトした場合、TDRE ビットは自動的に 0 にクリアされます。

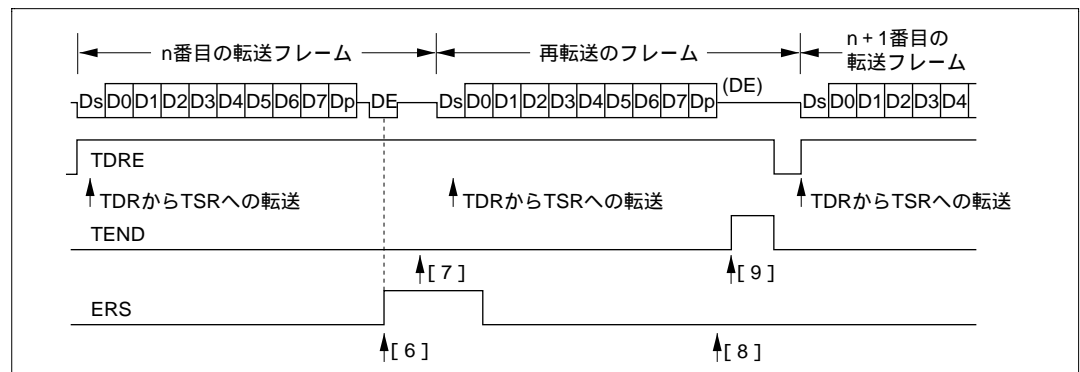


図 14.13 SCI 送信モードの場合の再転送動作

(3) ブロック転送モードのサポートについて

本 LSI に搭載しているスマートカードインタフェースでは、ISO/IEC 7816-3 の T=0（キャラクタ伝送）に対応した IC カード（スマートカード）インタフェースをサポートしています。

15. A/D 変換器

第 15 章 目次

15.1	概要	609
15.1.1	特長	609
15.1.2	ブロック図	610
15.1.3	端子構成.....	611
15.1.4	レジスタ構成	612
15.2	各レジスタの説明	613
15.2.1	A/D データレジスタ A ~ D (ADDRA ~ D)	613
15.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	614
15.2.3	A/D コントロールレジスタ (ADCR)	617
15.3	CPU とのインタフェース.....	618
15.4	動作説明.....	619
15.4.1	単一モード (SCAN = 0)	619
15.4.2	スキャンモード (SCAN = 1)	621
15.4.3	入力サンプリングと A/D 変換時間.....	623
15.4.4	外部トリガ入力タイミング.....	624
15.5	割り込み.....	625
15.6	使用上の注意.....	625

15.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

消費電流低減のために A/D 変換器を使用しない場合には、A/D 変換器を単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

15.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定が可能

リファレンス電圧端子 (V_{REF}) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当たり最小 2.8 μs (25MHz 動作時)

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1 ~ 4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル & ホールド機能

3 種類の変換開始要求

ソフトウェア、外部トリガ信号または 8 ビットタイマのコンペアマッチによる、A/D 変換の開始が可能

A/D 変換終了割り込み要求を発生

A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

DMA コントローラ (DMAC) の起動が可能

A/D 変換終了割り込みにより、DMAC の起動が可能

15.1.2 ブロック図

A/D 変換器のブロック図を図 15.1 に示します。

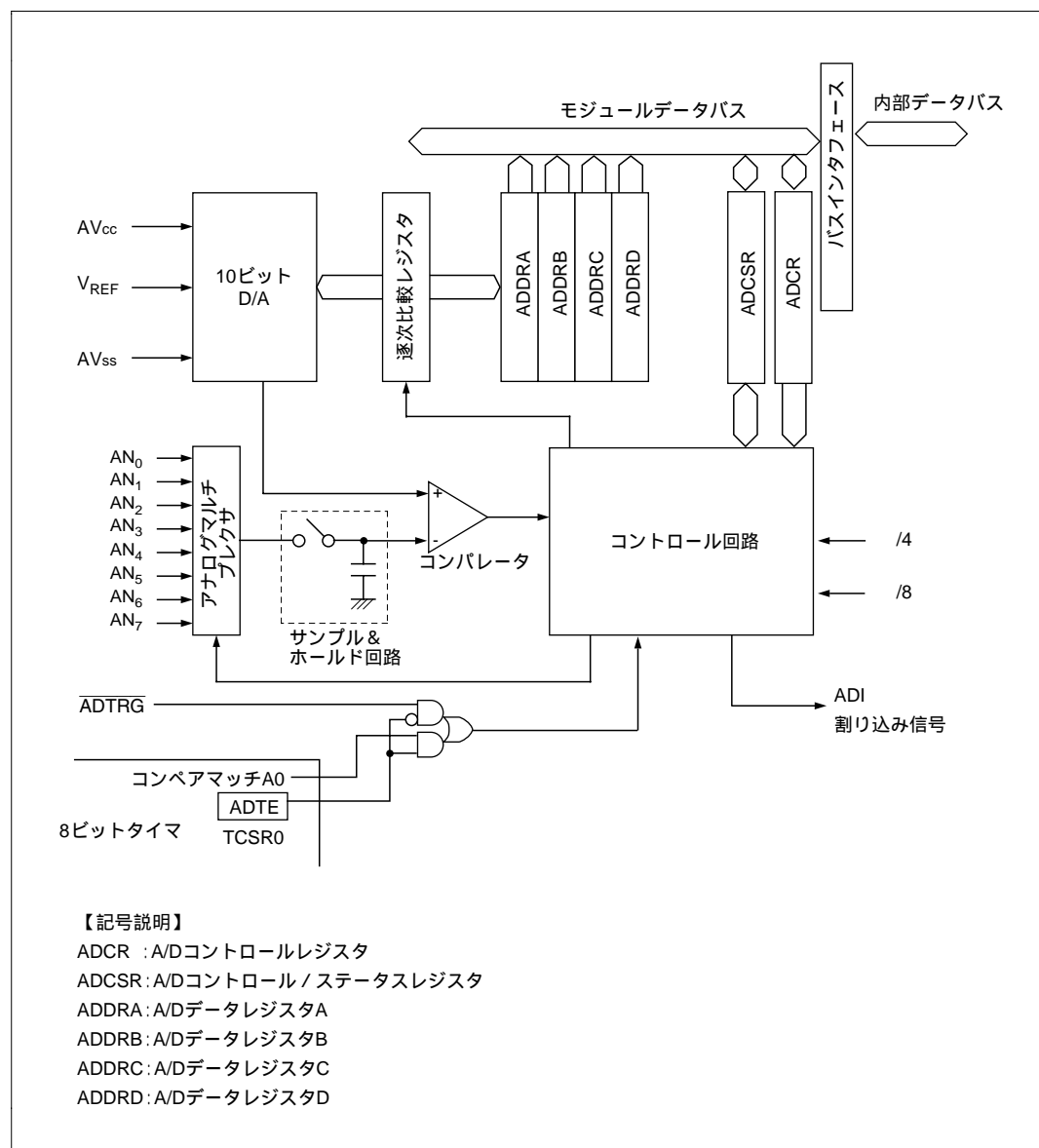


図 15.1 A/D 変換器のブロック図

15.1.3 端子構成

A/D 変換器で使用する入力端子を表 15.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0 ~ 3 (AN₀ ~ AN₃) がグループ 0、アナログ入力端子 4 ~ 7 (AN₄ ~ AN₇) がグループ 1 になっています。

AV_{CC}、AV_{SS} 端子は、A/D 変換器内のアナログ部の電源です。V_{REF} 端子は、A/D 変換基準電圧端子です。

表 15.1 端子構成

端子名	略 称	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	VREF	入力	アナログ部の基準電圧
アナログ入力端子 0	AN ₀	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN ₁	入力	
アナログ入力端子 2	AN ₂	入力	
アナログ入力端子 3	AN ₃	入力	
アナログ入力端子 4	AN ₄	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN ₅	入力	
アナログ入力端子 6	AN ₆	入力	
アナログ入力端子 7	AN ₇	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

15.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

アドレス ^{*1}	名 称	略 称	R/W	初期値
H'FFFE0	A/D データレジスタ AH	ADDRAH	R	H'00
H'FFFE1	A/D データレジスタ AL	ADDRAL	R	H'00
H'FFFE2	A/D データレジスタ BH	ADDRBH	R	H'00
H'FFFE3	A/D データレジスタ BL	ADDRBL	R	H'00
H'FFFE4	A/D データレジスタ CH	ADDRCH	R	H'00
H'FFFE5	A/D データレジスタ CL	ADDRCL	R	H'00
H'FFFE6	A/D データレジスタ DH	ADDRDH	R	H'00
H'FFFE7	A/D データレジスタ DL	ADDRDL	R	H'00
H'FFFE8	A/D コントロール / ステータスレジスタ	ADCSR	R/(W) ^{*2}	H'00
H'FFFE9	A/D コントロールレジスタ	ADCR	R/W	H'7E

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

15.2 各レジスタの説明

15.2.1 A/D データレジスタ A～D (ADDR_A～D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR _n :	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
(n=A～D)	A/D変換データ A/D変換結果の10ビットデータを 格納するビットです。										リザーブビット					

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDR_A～ADDR_D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5～0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「15.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 にイニシャライズされます。

表 15.3 アナログ入力チャンネルと ADDR_A～ADDR_D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDR _A
AN ₁	AN ₅	ADDR _B
AN ₂	AN ₆	ADDR _C
AN ₃	AN ₇	ADDR _D

15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W
						チャンネルセレクト2~0 アナログ入力チャンネルを 選択するビットです。		
						クロックセレクト A/D変換時間を選択するビットです。		
						スキャンモード 単一モード / スキャンモードを選択するビット です。		
						A/Dスタート A/D変換の開始 / 停止を選択するビットです。		
						A/Dインタラプトイネーブル A/D変換終了割り込みの発生を許可 / 禁止するビットです。		
						A/Dエンドフラグ A/D変換の終了を示すビットです。		

【注】 * フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説 明
ADF	
0	[クリア条件] (初期値) (1) ADF = 1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DMAC が起動されたとき
1	[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可 / 禁止を選択します。

ビット 6	説 明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

ビット5: A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子(ADTRG)または 8 ビットタイマのコンペアマッチにより 1 にセットすることもできます。

ビット 5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード: A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード: A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット4: スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「15.4 動作説明」を参照してください。モードの切り替えは、ADST = 0 の状態で行ってください。

ビット 4	説 明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3: クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST = 0 の状態で行ってください。

ビット 3	説 明
CKS	
0	変換時間 = 134 ステート (max) (初期値)
1	変換時間 = 70 ステート (max)

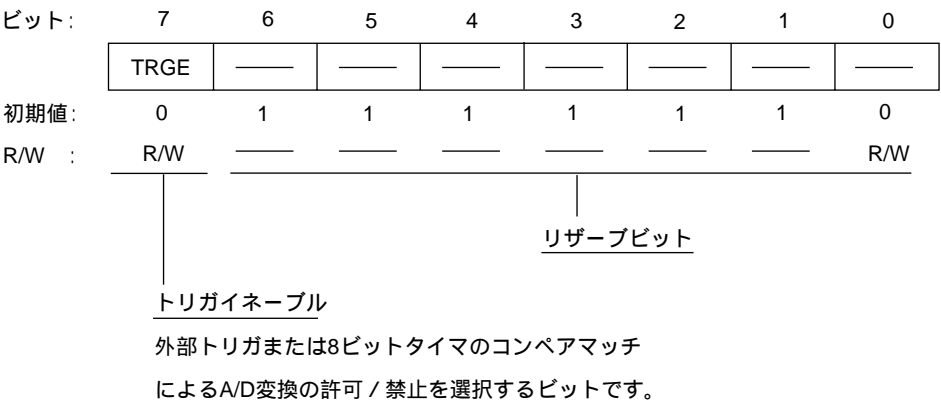
ビット2～0:チャンネルセレクト 2～0 (CH2～0)

SCAN ビットと共にアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST = 0 の状態で行ってください。

グループ選択	チャンネル選択		説 明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
	0	1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ~ AN ₂
	1	1	AN ₃	AN ₀ ~ AN ₃
1	0	0	AN ₄	AN ₄
	0	1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ~ AN ₆
	1	1	AN ₇	AN ₄ ~ AN ₇

15.2.3 A/D コントロールレジスタ (ADCR)



ADCR は、8 ビットのリード / ライト可能なレジスタで、外部トリガ入力あるいは 8 ビットタイマのコンペアマッチ信号による A/D 変換の開始の許可 / 禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7E にイニシャライズされます。

ビット7:トリガイネーブル (TRGE)

外部トリガ入力または 8 ビットタイマのコンペアマッチによる A/D 変換の開始の許可 / 禁止を選択します。

ビット7	説 明
TRGE	
0	外部トリガ入力または 8 ビットタイマのコンペアマッチによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち下がりエッジまたは 8 ビットタイマのコンペアマッチで A/D 変換を開始

なお、外部トリガ端子と 8 ビットタイマの選択は、8 ビットタイマにより行います。詳細は「第 10 章 8 ビットタイマ」を参照してください。

ビット6~1:リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット0:リザーブビット

リザーブビットです。リード / ライト可能ですが、1 に設定しないでください。

15.3 CPU とのインタフェース

ADDRA ~ ADDR D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

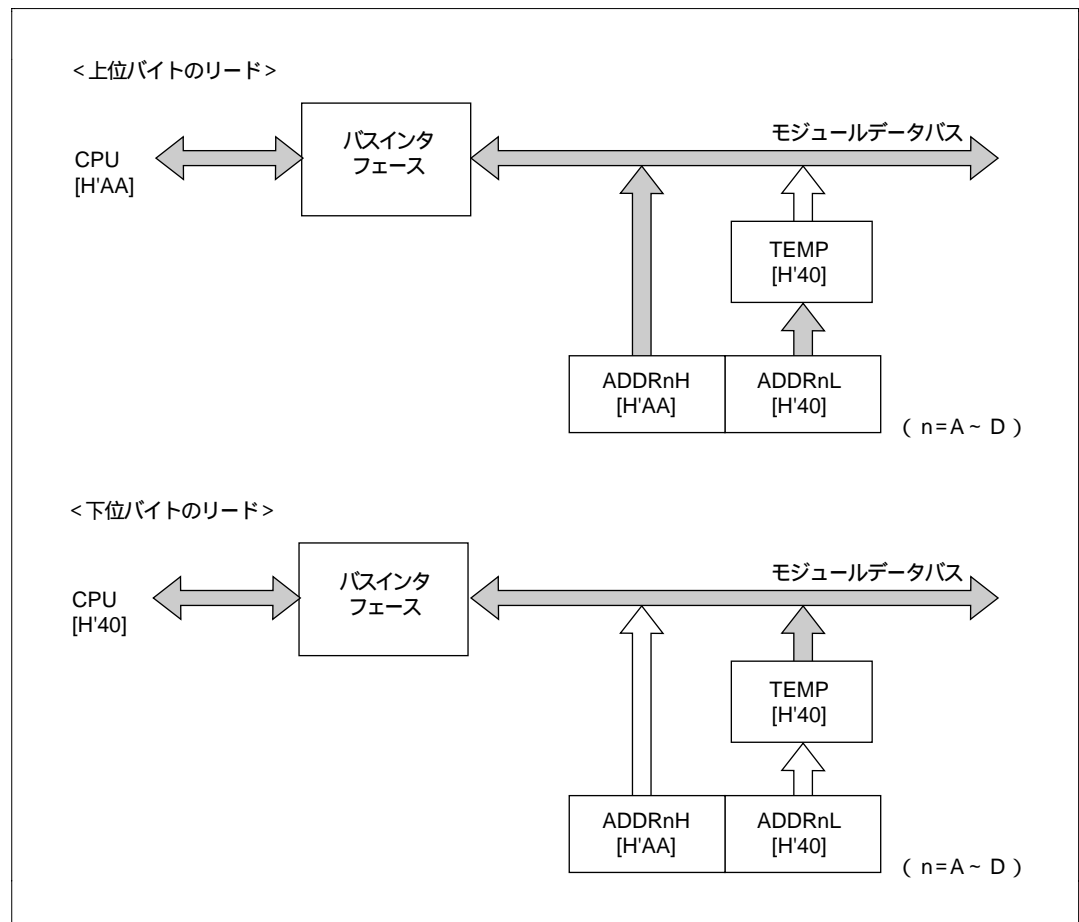


図 15.2 ADDR のアクセス動作 ([H'AA40] リード時)

15.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解機能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

15.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。

変更した後、ADST ビットを 1 にセットすると（モードおよびチャネルの変更と ADST ビットのセットは、同時に行うことができます）、再び A/D 変換を開始します。

単一モードでチャネル 1 (AN₁) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 15.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャネルを AN₁ に (CH2 = CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR_B に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADCSR をリードした後、ADF に 0 をライトします。
- (6) A/D 変換結果 (ADDR_B) をリードして、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

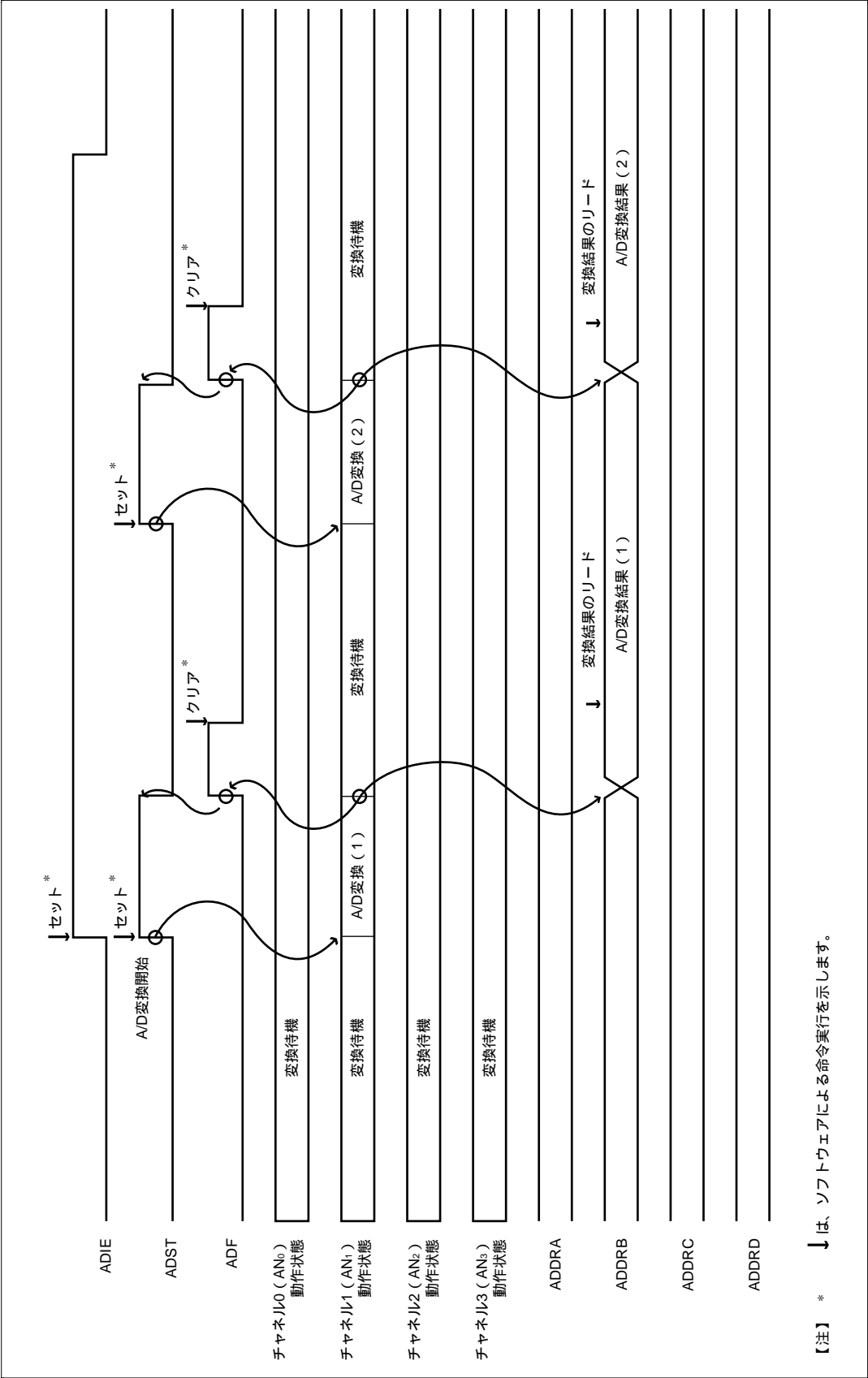


図 15.3 A/D 変換器の動作例 (単一モード チャンネル1 選択時)

15.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN₀、CH2 = 1 のとき AN₄) から開始されます。複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 15.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキャングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN₀ ~ AN₂ (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN₀) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。次に第 2 チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀ ~ AN₂) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN₀) を選択し、変換が行われます。このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN₀) から変換が行われます。

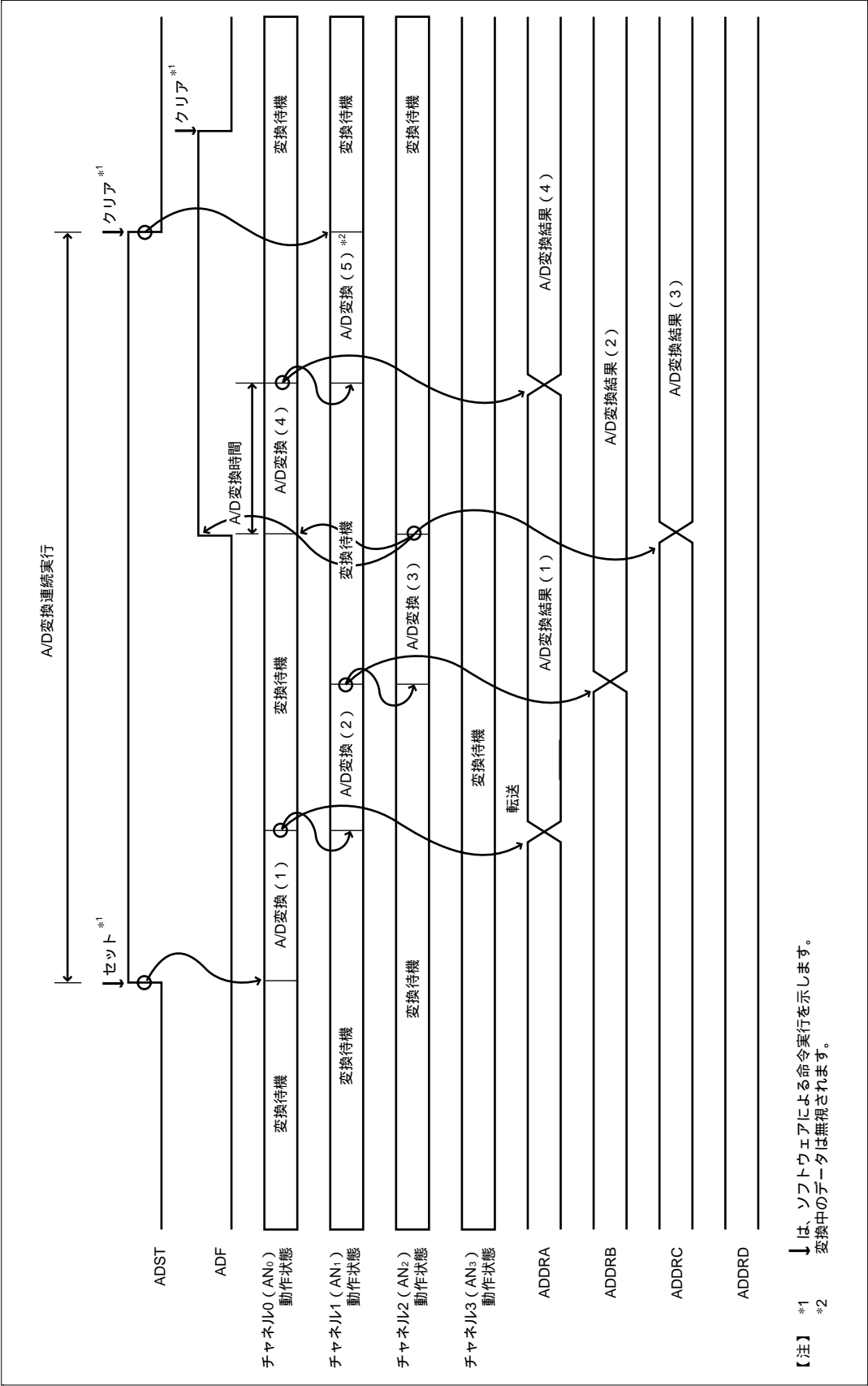


図 15.4 A/D 変換器の動作例 (スキャンモード AN₀ ~ AN₂ の 3 チャンネル選択時)

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.4 に示します。

A/D 変換時間は、図 15.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.4 に示す範囲で変化します。スキャンモードの変換時間は、表 15.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は $CKS = 0$ の場合は 128 ステート（固定）、 $CKS = 1$ の場合は 66 ステート（固定）となります。

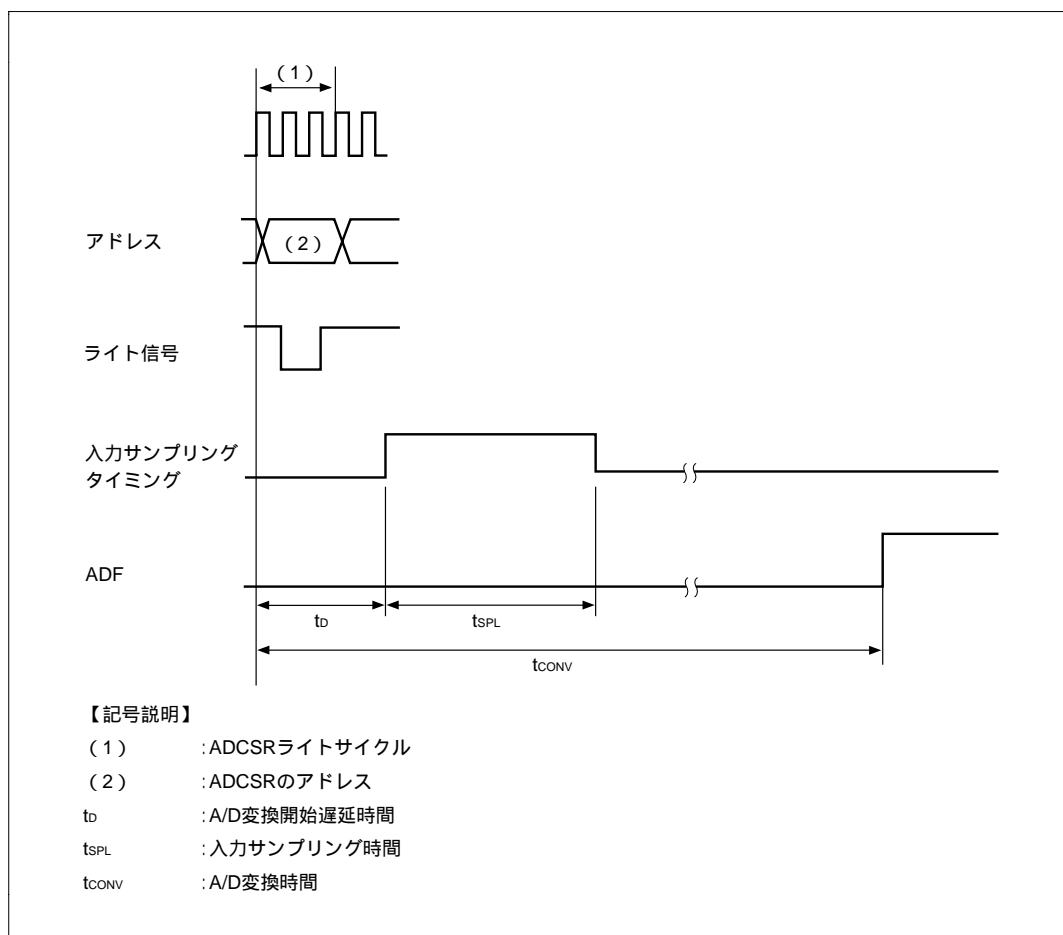


図 15.5 A/D 変換タイミング

表 15.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	131	—	134	69	—	70

【注】 表中の数値の単位はステートです。

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセット、かつ 8 ビットタイマの ADTE ビットが 0 にクリアされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.6 に示します。

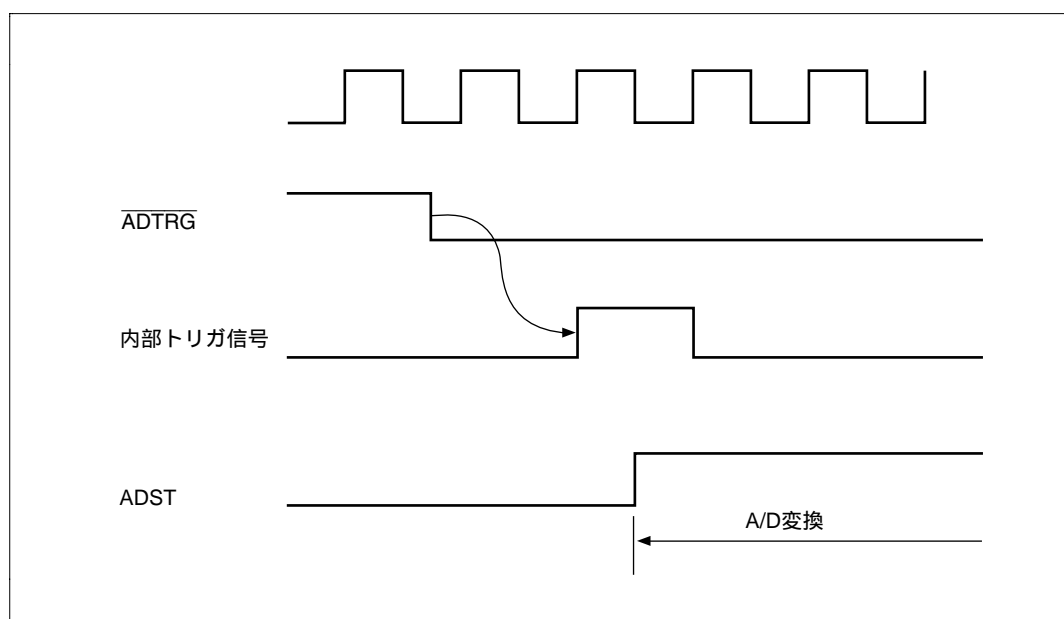


図 15.6 外部トリガ入力タイミング

15.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットで許可 / 禁止することができます。ADI 割り込みは、DMAC の起動要因とすることができます。このときは、CPU へは当該割り込みは要求されません。

15.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} AN_n V_{REF} の範囲としてください。

(2) AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は、 $AV_{SS} = V_{SS}$ とし、さらに、A/D 変換器を使用しないときも、 AV_{CC} 、 AV_{SS} 端子を決してオープンにしないでください。

(3) V_{REF} の設定範囲

V_{REF} 端子によるリファレンス電圧の設定範囲は V_{REF} AV_{CC} にしてください。

(4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。なお、アナログ入力信号 ($AN_0 \sim AN_7$)、アナログ基準電源 (V_{REF})、アナログ電源 (AV_{CC}) は、アナログ・グランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに、アナログ・グランド (AV_{SS}) は、ボード上の安定したデジタル・グランド (V_{SS}) に一点接続してください。

(5) ノイズ対策上の注意

アナログ入力端子 ($AN_0 \sim AN_7$)、アナログ基準電源 (V_{REF}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 15.7 に示すように AV_{CC} - AV_{SS} 間に接続してください。また、 AV_{CC} 、 V_{REF} に接続するバイパス・コンデンサ、 $AN_0 \sim AN_7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図 15.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN_0 \sim AN_7$) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回るとアナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

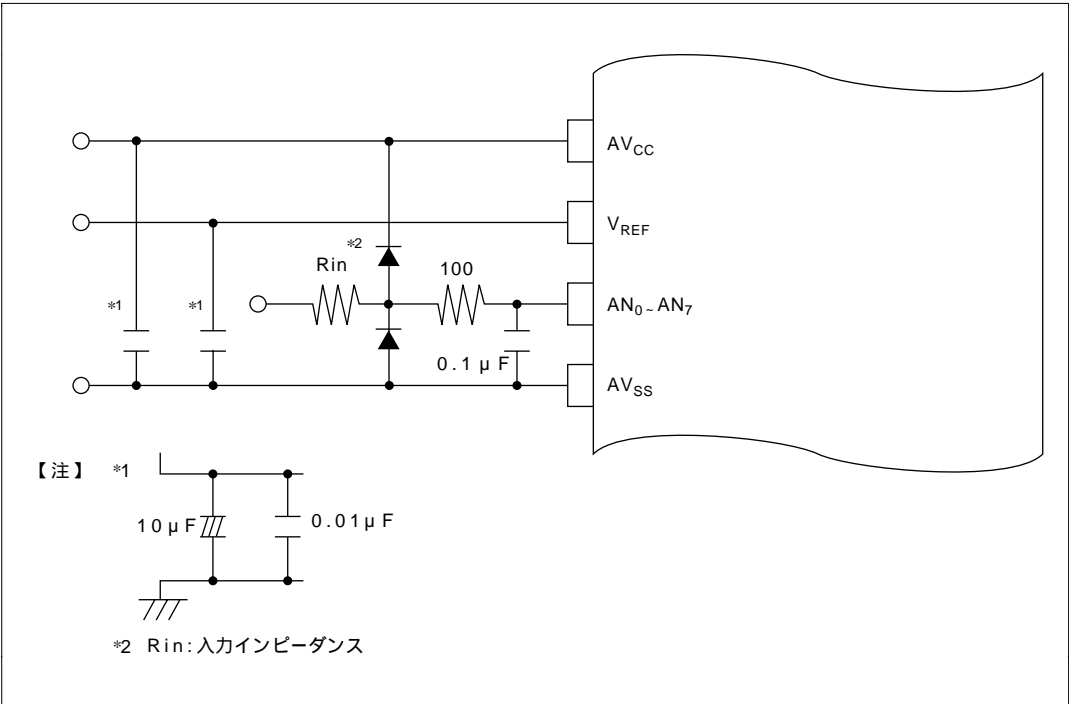


図 15.7 アナログ入力保護回路の例

表 15.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	_____	20	pF
許容信号源インピーダンス	_____	10*	k Ω

【注】 * 変換時間 134 ステート、 $V_{CC} = 4.5 \sim 5.5V$ 、13MHz の場合。詳細は「第 21 章 電気的特性」を参照してください。

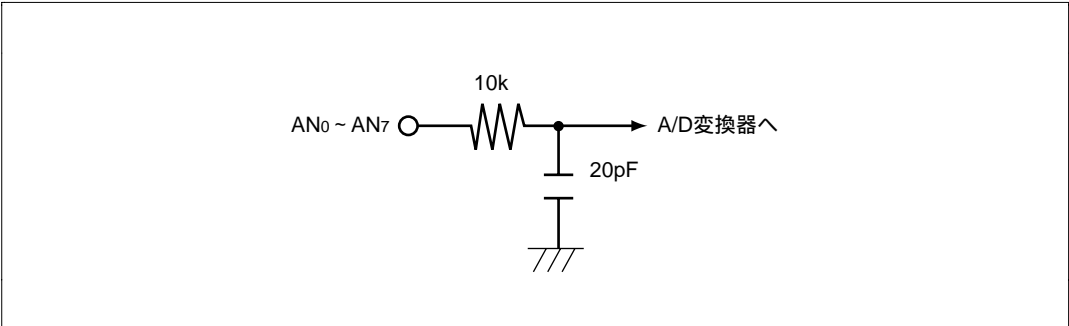


図 15.8 アナログ入力端子等価回路

【注】 表 15.5 を除く数値はいずれも参考値

(6) A/D 変換精度の定義：

以下に、本 LSI の A/D 変換精度の定義を示します。

- ・ 分解能.....A/D 変換器のデジタル出力コード数
- ・ オフセット誤差.....デジタル出力が最小電圧値 0000000000 から 0000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 15.10）。
- ・ フルスケール誤差...デジタル出力が 1111111110 から 1111111111 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 15.10）。
- ・ 量子化誤差.....A/D 変換器が本質的に有する偏差であり、 $1/2\text{LSB}$ で与えられる（図 15.9）。
- ・ 非直線性誤差.....ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度.....デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

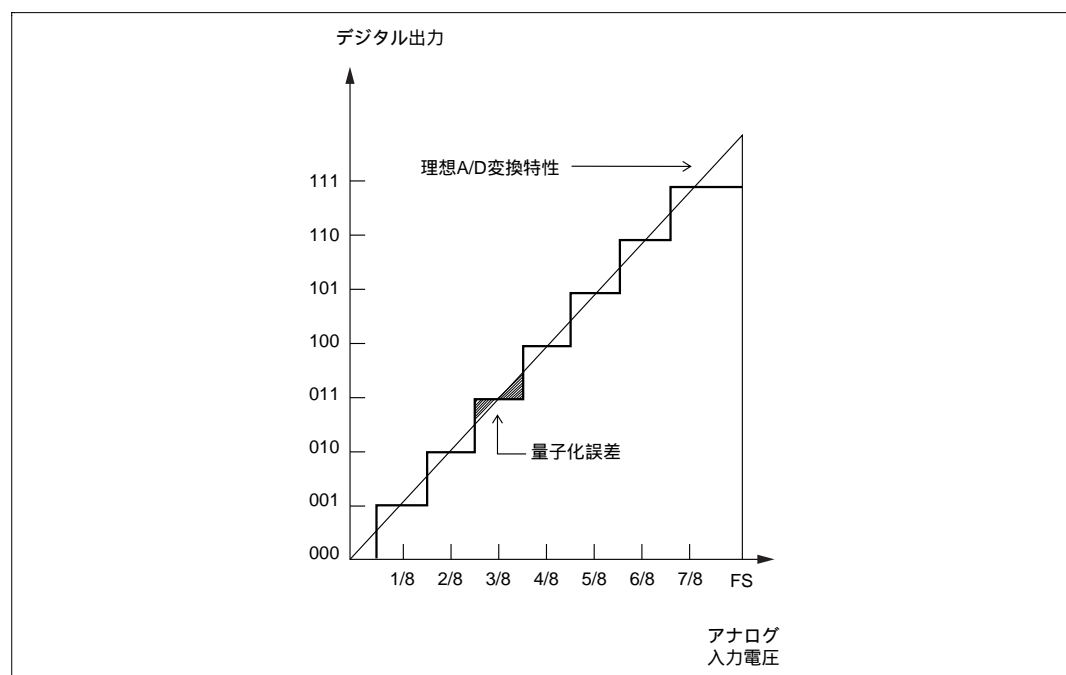


図 15.9 A/D 変換精度の定義（1）

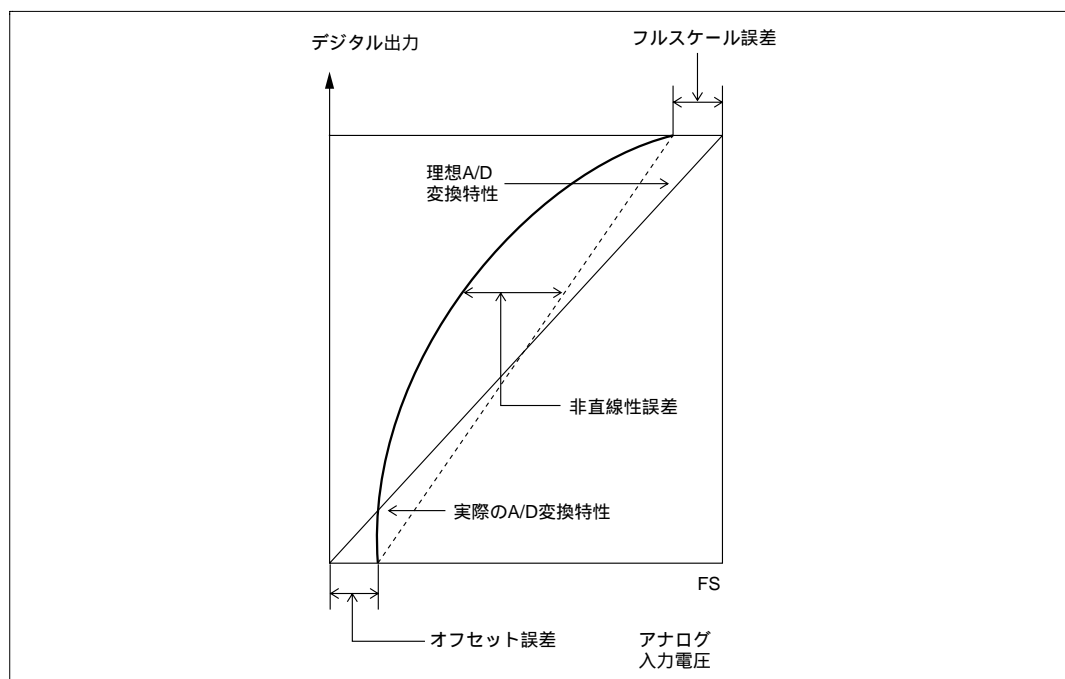


図 15.10 A/D 変換精度の定義 (2)

(7) 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10\text{k}\Omega$ を越える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルターとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が $5\text{mV}/\mu\text{s}$ 以上）には追従できない場合があります（図 15.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

(8) 絶対精度への影響について

容量を付加するとにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AVss 等の電氣的に安定な GND に接続してください。またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

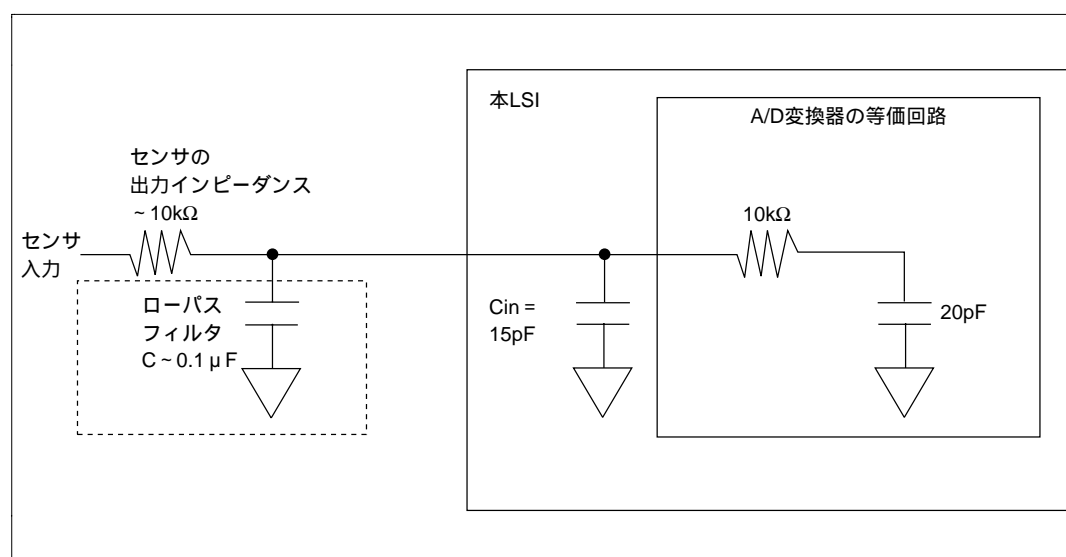


図 15.11 アナログ入力回路の例

16. D/A 変換器

第 16 章 目次

16.1	概要	633
16.1.1	特長	633
16.1.2	ブロック図	633
16.1.3	端子構成.....	634
16.1.4	レジスタ構成	634
16.2	各レジスタの説明	635
16.2.1	D/A データレジスタ 0、1 (DADR0、1)	635
16.2.2	D/A コントロールレジスタ (DACR)	636
16.2.3	D/A スタンバイコントロールレジスタ (DASTCR)	638
16.3	動作説明.....	639
16.4	D/A 出力制御	640

16.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

16.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ V_{REF}

ソフトウェアスタンバイ時の D/A 出力保持機能

16.1.2 ブロック図

D/A 変換器のブロック図を図 16.1 に示します。

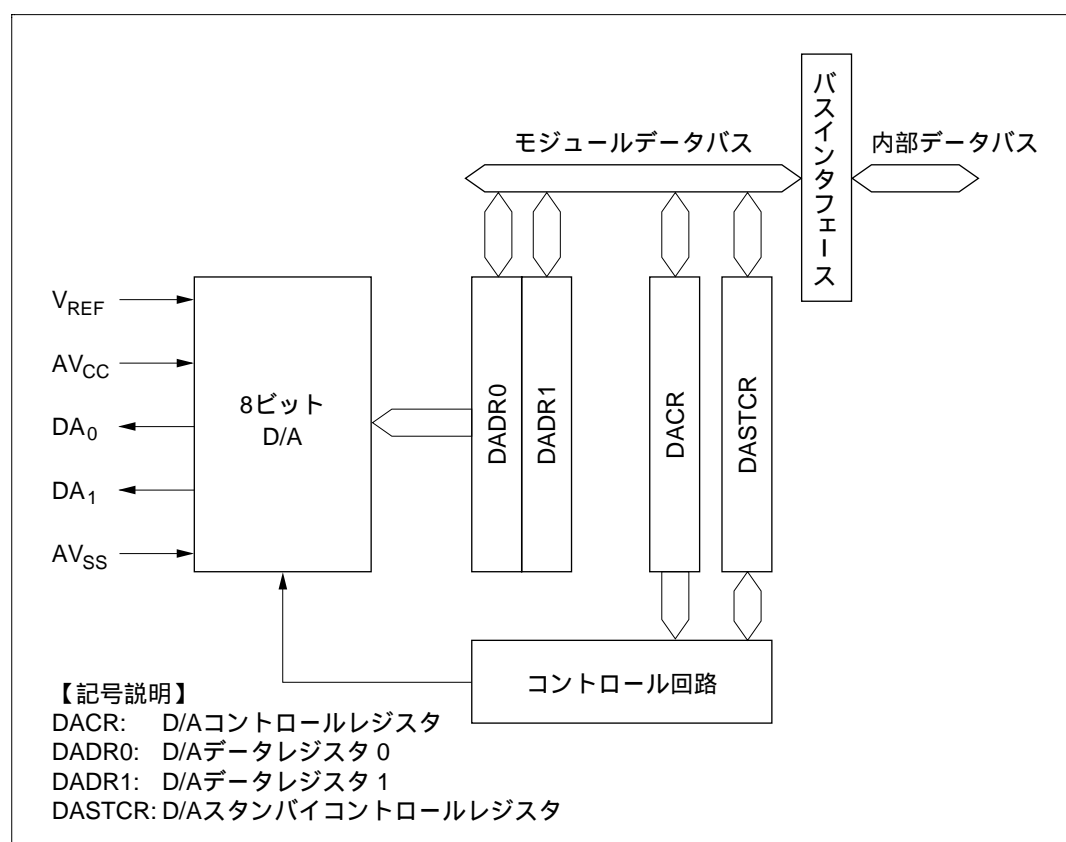


図 16.1 D/A 変換器のブロック図

16.1.3 端子構成

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

端子名	略 称	入出力	機 能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA_0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA_1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V_{REF}	入力	アナログ部の基準電圧

16.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H' FFF9C	D/A データレジスタ 0	DADR0	R/W	H'00
H' FFF9D	D/A データレジスタ 1	DADR1	R/W	H'00
H' FFF9E	D/A コントロールレジスタ	DACR	R/W	H'1F
H' EE01A	D/A スタンバイコントロールレジスタ	DASTCR	R/W	H'FE

【注】 * アドバンスモード時のアドレス下位 20 ビットを示します。

16.2 各レジスタの説明

16.2.1 D/A データレジスタ 0、1 (DADR0、1)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

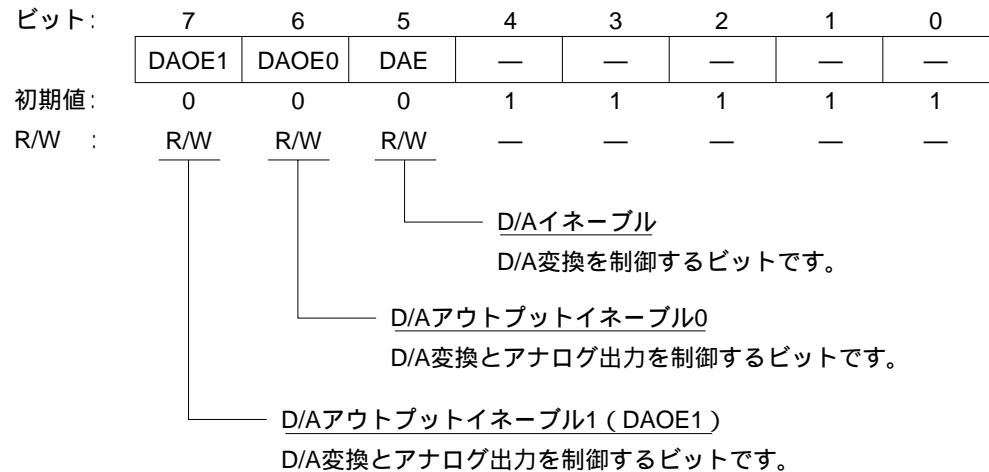
D/A データレジスタ 0、1 (DADR0、1) は、変換を行うデータを格納するリード / ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

D/A スタンバイコントロールレジスタ (DASTCR) の DASTE ビットが 1 の場合、ソフトウェアスタンバイモードではイニシャライズされません。

16.2.2 D/A コントロールレジスタ (DACR)



DACR は、8 ビットのリード / ライト可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、リセットまたはスタンバイモード時に、H'1F にイニシャライズされます。
DASTCR の DASTE ビットが 1 の場合、ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7: D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説 明
DAOE1	
0	アナログ出力 DA ₁ を禁止
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA ₁ を許可

ビット 6: D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説 明
DAOE0	
0	アナログ出力 DA ₀ を禁止
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA ₀ を許可

ビット5: D/A イネーブル (DAE)

DAOE0、DAOE1 と共に、D/A 変換を制御します。DAE ビットが0 にクリアされているときチャンネル0、1 のD/A 変換は独立に制御され、DAE ビットが1 にセットされているときチャンネル0、1 のD/A 変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1 により、常に独立に制御されます。

ビット7	ビット6	ビット5	説 明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル0、1 のD/A 変換を禁止
	1	0	チャンネル0 のD/A 変換を許可 チャンネル1 のD/A 変換を禁止
		1	チャンネル0、1 のD/A 変換を許可
1	0	0	チャンネル0 のD/A 変換を禁止 チャンネル1 のD/A 変換を許可
		1	チャンネル0、1 のD/A 変換を許可
	1	-	チャンネル0、1 のD/A 変換を許可

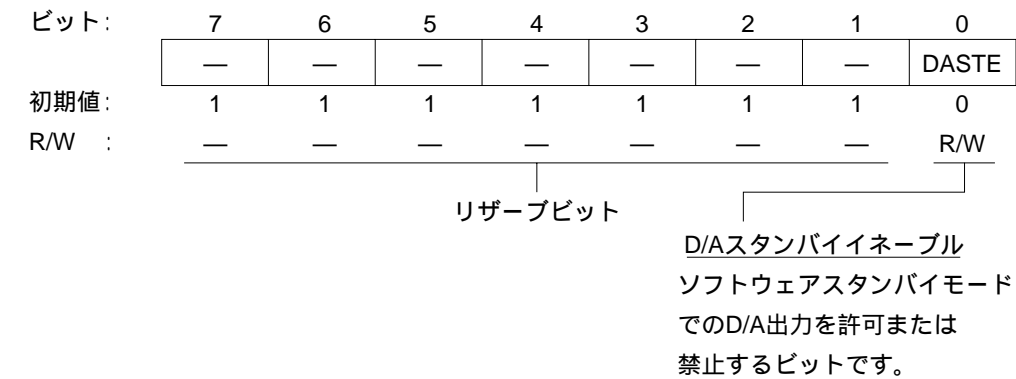
DAE ビットを1 にセットすると、DACR のDAOE0、1 ビット、ADCSR のADST ビットが0 にクリアされていても、アナログ電源電流はA/D、D/A 変換中と同等になります。

ビット4～0: リザーブビット

リザーブビットです。リードすると常に1 が読み出されます。ライトは無効です。

16.2.3 D/A スタンバイコントロールレジスタ (DASTCR)

DASTCR は 8 ビットのリード / ライト可能なレジスタで、ソフトウェアスタンバイモードでの D/A の出力を許可または禁止します。



DASTCR はリセット、またはハードウェアスタンバイモード時に、HFE にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7 ~ 1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0: D/A スタンバイイネーブル (DASTE)

ソフトウェアスタンバイモードでの D/A 出力を許可または禁止します。

ビット 0	説 明	
DASTE		
0	ソフトウェアスタンバイモードでの D/A 出力を禁止	(初期値)
1	ソフトウェアスタンバイモードでの D/A 出力を許可	

16.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、1 を書き換えると直ちに、新しいデータが変換されます。DAOE0、1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを図 16.2 に示します。

- (1) DADR0 に変換データをライトします。
- (2) DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。

出力値は $\frac{\text{DADR の内容}}{256} \times V_{\text{REF}}$ です。

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- (3) DADR0 を書き換えると直ちに変換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

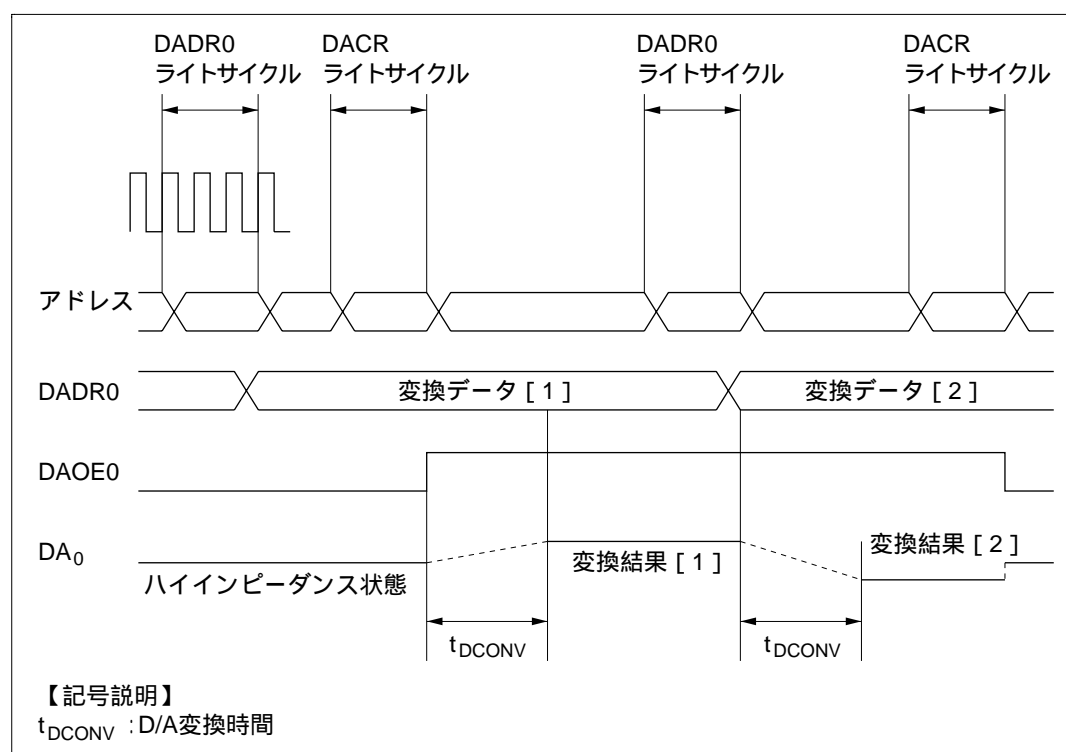


図 16.2 D/A 変換器の動作例

16.4 D/A 出力制御

本 LSI は、ソフトウェアスタンバイモードで D/A 変換器の出力を許可または禁止することができます。

DASTCR の DASTE ビットを 1 にセットすると、ソフトウェアスタンバイモードにおいても D/A 変換器の出力が許可されます。このとき、D/A 変換器のレジスタはソフトウェアスタンバイモードに遷移する直前の値を保持します。

なお、ソフトウェアスタンバイモードで D/A 出力を許可した場合、リファレンス電源電流は動作時と同じとなります。

17. RAM

第 17 章 目次

17.1	概要	643
17.1.1	ブロック図	643
17.1.2	レジスタ構成	644
17.2	システムコントロールレジスタ (SYSCR)	645
17.3	動作説明.....	646

17.1 概要

H8/3069F は 16k バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速転送が可能です。

H8/3069F の内蔵 RAM は、モード 1、2、7 のとき H'FBF20 ~ H'FFF1F に、モード 3、4、5 のとき H'FFBF20 ~ H'FFFF1F に、割り当てられています。

システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより内蔵 RAM 有効 / 無効の制御を行います。

17.1.1 ブロック図

RAM のブロック図を図 17.1 に示します。

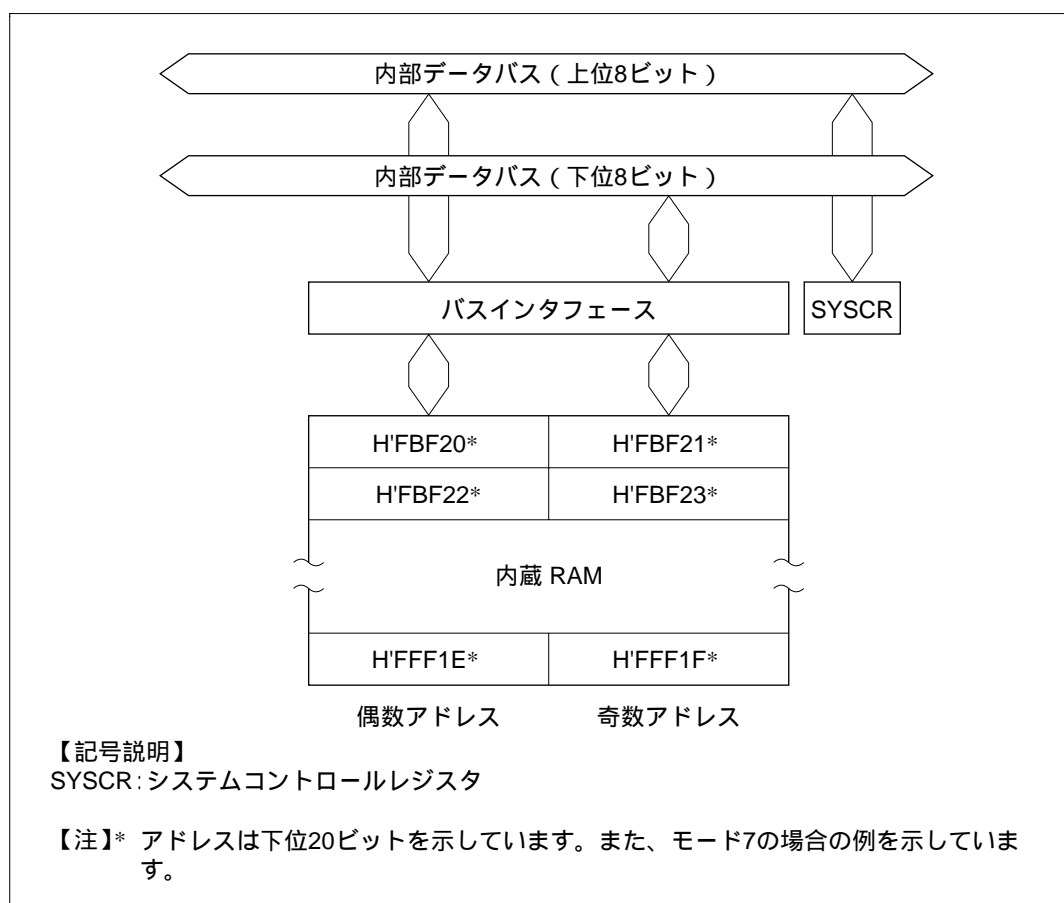


図 17.1 RAM のブロック図

17.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。

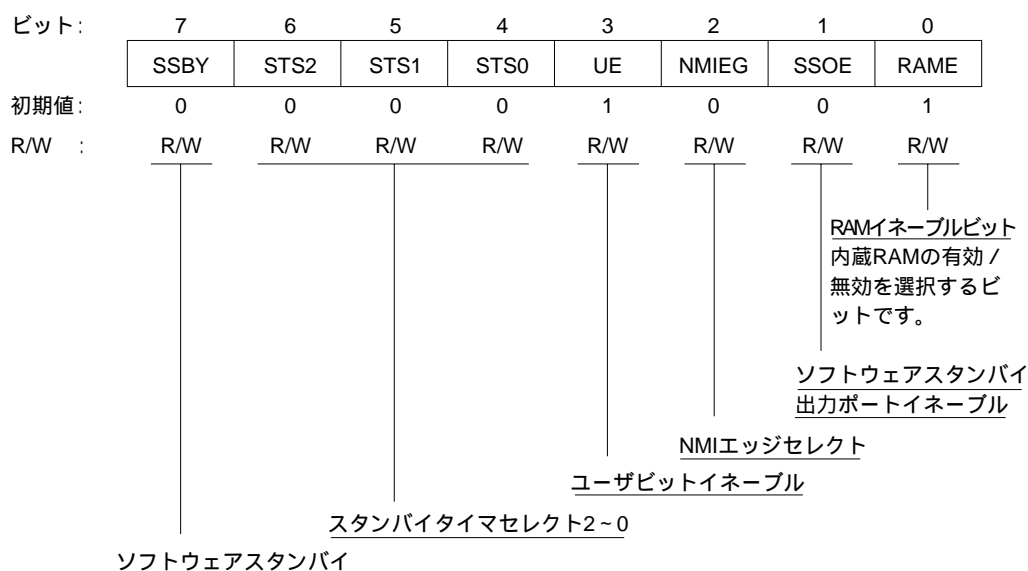
SYSCR のアドレスと初期値を表 17.1 に示します。

表 17.1 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H' EE012	システムコントロールレジスタ	SYSCR	R/W	H'09

【注】 * アドバンストモード時のアドレス下位 20 ビットを示します。

17.2 システムコントロールレジスタ (SYSCR)



SYSCR は、内蔵 RAM へのアクセスを許可 / 禁止するレジスタです。内蔵 RAM は SYSCR の RAME ビットにより有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット0: RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットは $\overline{\text{RES}}$ 端子の立ち上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

17.3 動作説明

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。モード 1、2、7 のとき H'FBF20 ~ H'FFF1F を、モード 3、4、5 のとき H'FFBF20 ~ H'FFFF1F を、アクセスすると内蔵 RAM がアクセスされます。また、モード 1 ~ 5 (拡張モード) では RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。モード 7 (シングルチップモード) では、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

RAM は CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトも可能です。

バイトデータは、データバス上位 8 ビットを使い 2 ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス 16 ビットを使い 2 ステートでアクセスできます。

18. ROM

第18章 目次

18.1	特長.....	649
18.2	概要.....	651
	18.2.1 ブロック図.....	651
	18.2.2 動作モード.....	652
	18.2.3 モード比較.....	653
	18.2.4 フラッシュマツト構成.....	654
	18.2.5 ブロック分割.....	655
	18.2.6 書き込み / 消去インタフェース.....	656
18.3	端子構成.....	659
18.4	レジスタ構成.....	660
	18.4.1 レジスター一覧.....	660
	18.4.2 書き込み / 消去インタフェースレジスタ.....	662
	18.4.3 書き込み / 消去インタフェースパラメータ.....	669
	18.4.4 RAM コントロールレジスタ (RAMCR).....	681
	18.4.5 フラッシュベクタアドレスコントロールレジスタ (FVACR).....	682
	18.4.6 フラッシュベクタアドレスデータレジスタ (FVADR).....	684
18.5	オンボードプログラミングモード.....	685
	18.5.1 ブートモード.....	685
	18.5.2 ユーザプログラムモード.....	688
	18.5.3 ユーザブートモード.....	699
18.6	プロテクト.....	702
	18.6.1 ハードウェアプロテクト.....	702
	18.6.2 ソフトウェアプロテクト.....	702
	18.6.3 エラープロテクト.....	703
18.7	RAM によるフラッシュメモリのエミュレーション.....	705
18.8	ユーザマツトとユーザブートマツトの切り替え.....	708
	18.8.1 使用上の注意.....	709

18.9	PROM モード	710
18.9.1	ソケットアダプタの端子対応図	710
18.9.2	PROM モードの動作	712
18.9.3	メモリ読み出しモード	713
18.9.4	自動書き込みモード	713
18.9.5	自動消去モード	714
18.9.6	ステータス読み出しモード	714
18.9.7	ステータスポーリング	715
18.9.8	ライターモードへの遷移時間	715
18.9.9	PROM モード使用時の注意事項	715
18.10	付録	717
18.10.1	ブートモードの標準シリアル通信インタフェース仕様	717
18.10.2	PROM モードの AC 特性、タイミング	742
18.10.3	手順プログラム、または書き込みデータの格納可能領域	748

18.1 特長

本 LSI は 512k バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

LSI 起動モードに合わせた 2 種類のフラッシュメモリマット

内蔵しているフラッシュメモリには、同一アドレス空間に配置される 2 種類のメモリ空間（以下メモリマットと呼びます）があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

- ・ ユーザモードでパワーオンリセット時に起動するユーザメモリマット：512k バイト
- ・ ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマット：8k バイト

3 種類のオンボードプログラミングモードと、1 種類のオフボードプログラミングモード

- ・ オンボードプログラミングモード

ブートモード

内蔵 SCI インタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本 LSI 間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマットの書き換えができます。

ユーザブートモード

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

- ・ オフボードプログラミングモード

PROM モード

PROM ライタを用いたライタモードで、ユーザマットとユーザブートマットの書き換えが可能です。

内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

本 LSI では専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵 RAM にダウンロードした後、引数パラメータを設定するだけで書き込み / 消去が可能です。

- ・ ユーザブランチ*

書き込み処理は 128 バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も 1 分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このス

チップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

【注】＊ 本 LSI では使用できません。

内蔵 RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと内蔵 RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

レジスタ設定によるソフトウェアプロテクトと、FWE 端子によるハードウェアプロテクトの 2 種類のモードがあり、フラッシュメモリの書き込み / 消去のプロテクト状態を設定することができます。

また、書き込み / 消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に遷移し、書き込み / 消去処理を中断する機能があります。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 3ms (typ)、1 バイト当たり換算にて約 25 μ s、消去時間は 64kB ブロック当たり 1000 ms (typ) です。

書き換え回数

フラッシュメモリの書き換えは、min100 回可能です。

18.2 概要

18.2.1 ブロック図

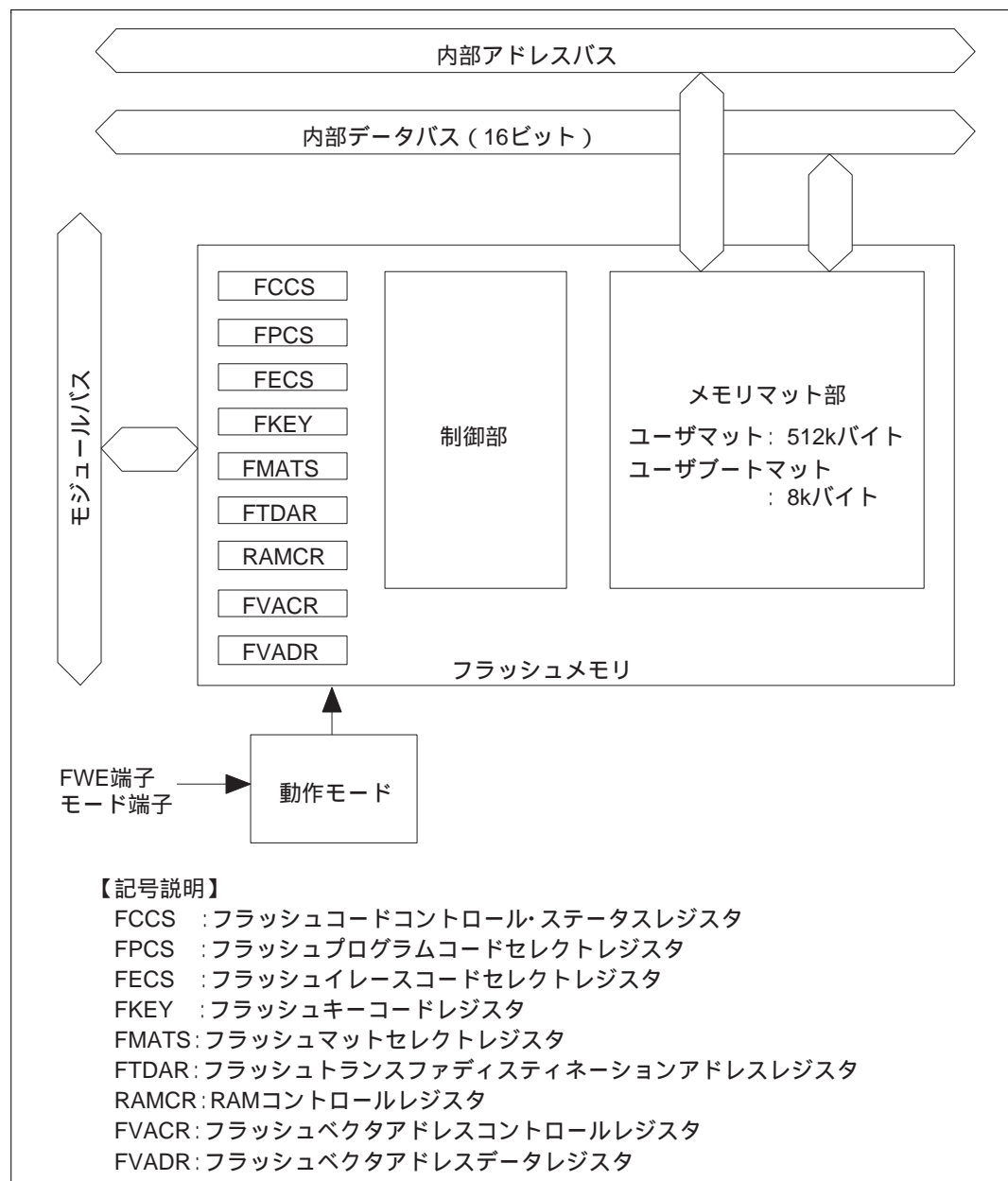


図 18.1 フラッシュメモリのブロック図

18.2.2 動作モード

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 18.2 に示すような各動作モードへ遷移します。各モード端子と FWE 端子の設定は、表 18.1 を参照してください。

- (1) ROM 無効モードではフラッシュメモリの読み出し / 書き込み / 消去はできません。
- (2) ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
- (3) オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
- (4) PROM モードでは、PROM ライタを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

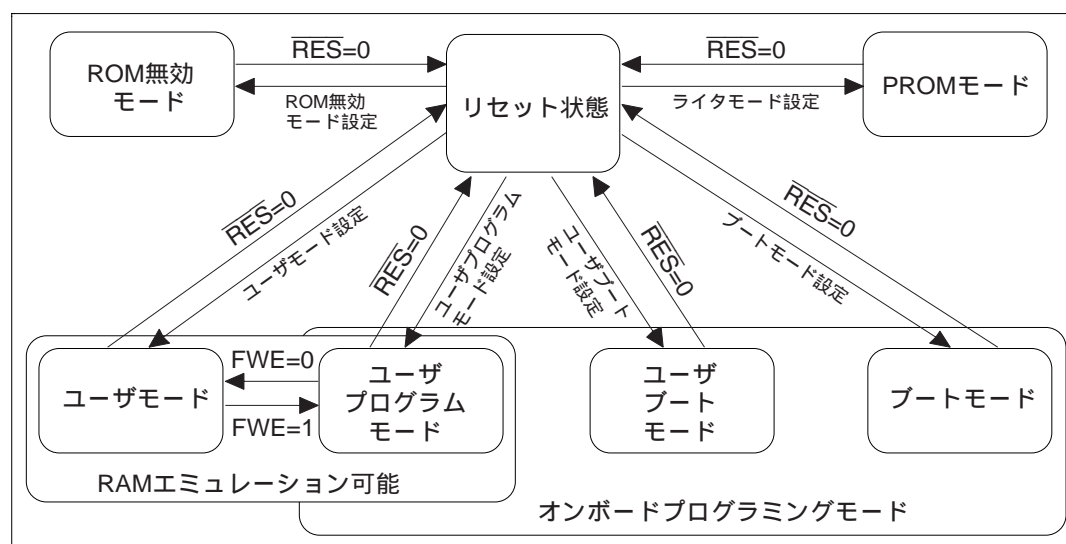


図 18.2 フラッシュメモリに関するモード遷移図

表 18.1 FWE 端子、MD 端子設定と動作モード

モード 端子	リセット 状態	内蔵 ROM 無効モード*		内蔵 ROM 有効モード*	ユーザプログラ ムモード	ユーザブー トモード	ブート モード	PROM モード
RES	0	1		1	1	1	1	1
FWE	0/1	0		0	1	1	1	1
MD0	0/1	0/1	0	1	1	1	1	0
MD1	0/1	0/1	0	0/1	0/1	0/1	0/1	0
MD2	0/1	0	1	1	1	0	0	0
NMI	0/1	0/1		0/1	0/1	0	1	0/1

【注】 * 内蔵 ROM 無効モードとは、モード 1～モード 4。

内蔵 ROM 有効モードとは、モード 5、モード 7 を示します。詳細は、「第 3 章 MCU 動作モード」を参照してください。

18.2.3 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、PROM モードについての書き込み / 消去関連項目の比較表を表 18.2 に示します。

表 18.2 プログラミングモードの比較

	ブートモード	ユーザプログラム モード	ユーザブート モード	PROM モード
書き込み / 消去環境	オンボードプログラミング			オフボード プログラミング
書き込み / 消去可能 マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
全面消去	(自動)			(自動)
ブロック分割消去	*1			×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス から RAM 経由	任意のデバイス から RAM 経由	ライター経由
ユーザブランチ機能	×	×	×	×
RAM エミュレーション	×		×	×
リセット起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブート マット*2	—
ユーザモードへの遷移	モード設定変更 & リセット	FWE 設定変更	モード設定変更 & リセット	—

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ・ ユーザブートマットの書き込み／消去は、ブートモードと PROM モードでのみ可能です。
- ・ ブートモードでは、いったんユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。
ユーザブートマットだけ書きこんでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き変えるなどの使い方が可能です。
- ・ ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

18.2.4 フラッシュマット構成

本 LSI のフラッシュメモリは、512k バイトのユーザマットと 8k バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。

ユーザマット／ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードと PROM モードでのみ可能です。

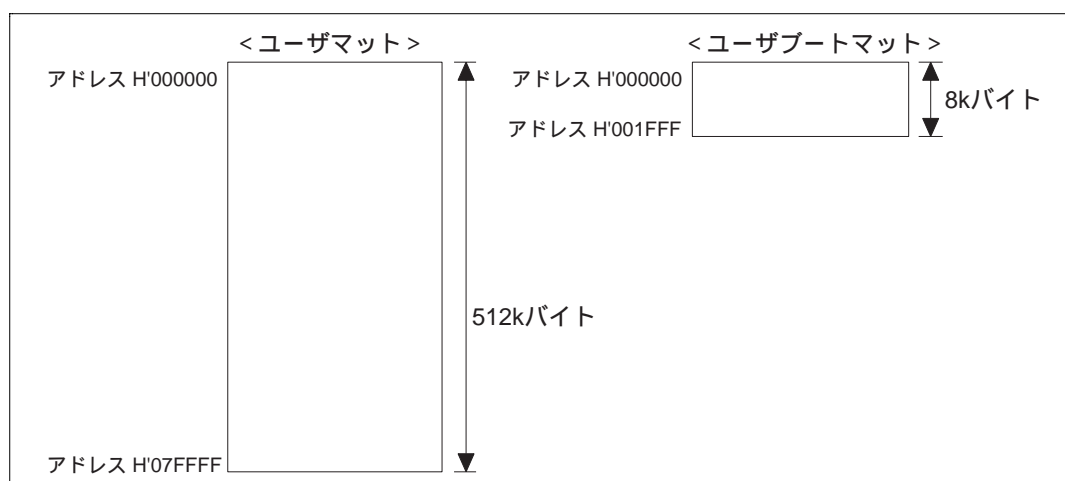


図 18.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8k バイトの空間のユーザブートマットをアクセスしないようにしてください。8k バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

18.2.5 ブロック分割

ユーザマットは、図 18.4 に示すように 64k バイト（7 ブロック）、32k バイト（1 ブロック）、4k バイト（8 ブロック）に分割されています。この分割ブロック単位に消去ができ、消去時に EB0～EB15 の消去ブロック番号で指定します。

4k バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

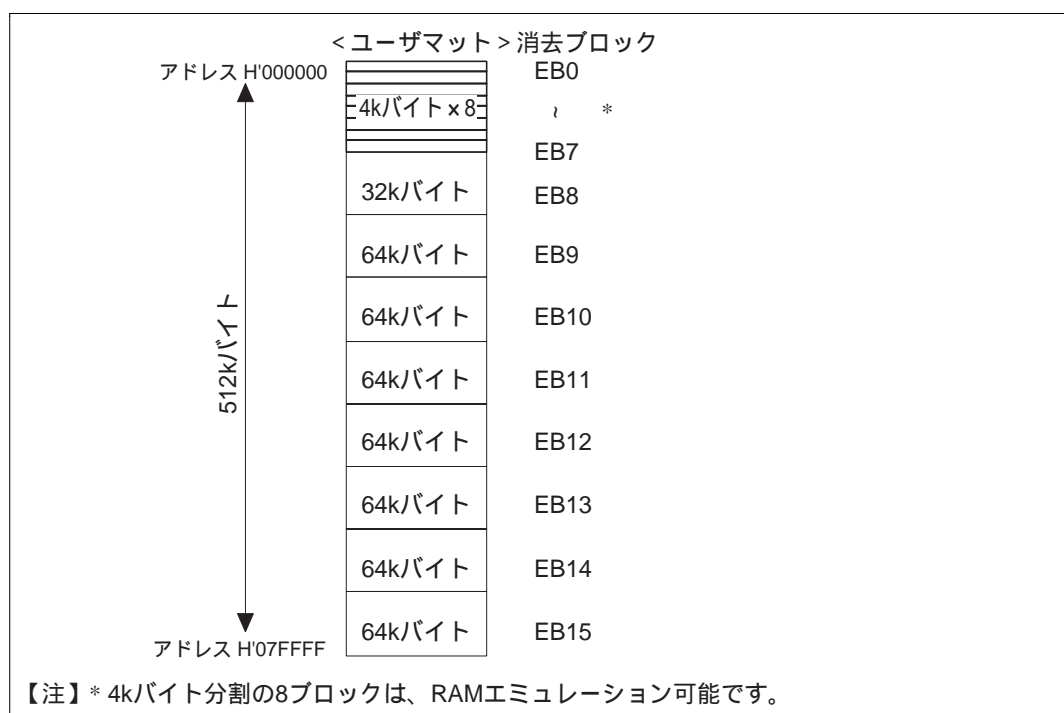


図 18.4 ユーザマットのブロック分割

18.2.6 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「18.5.2 ユーザプログラムモード」で説明します。

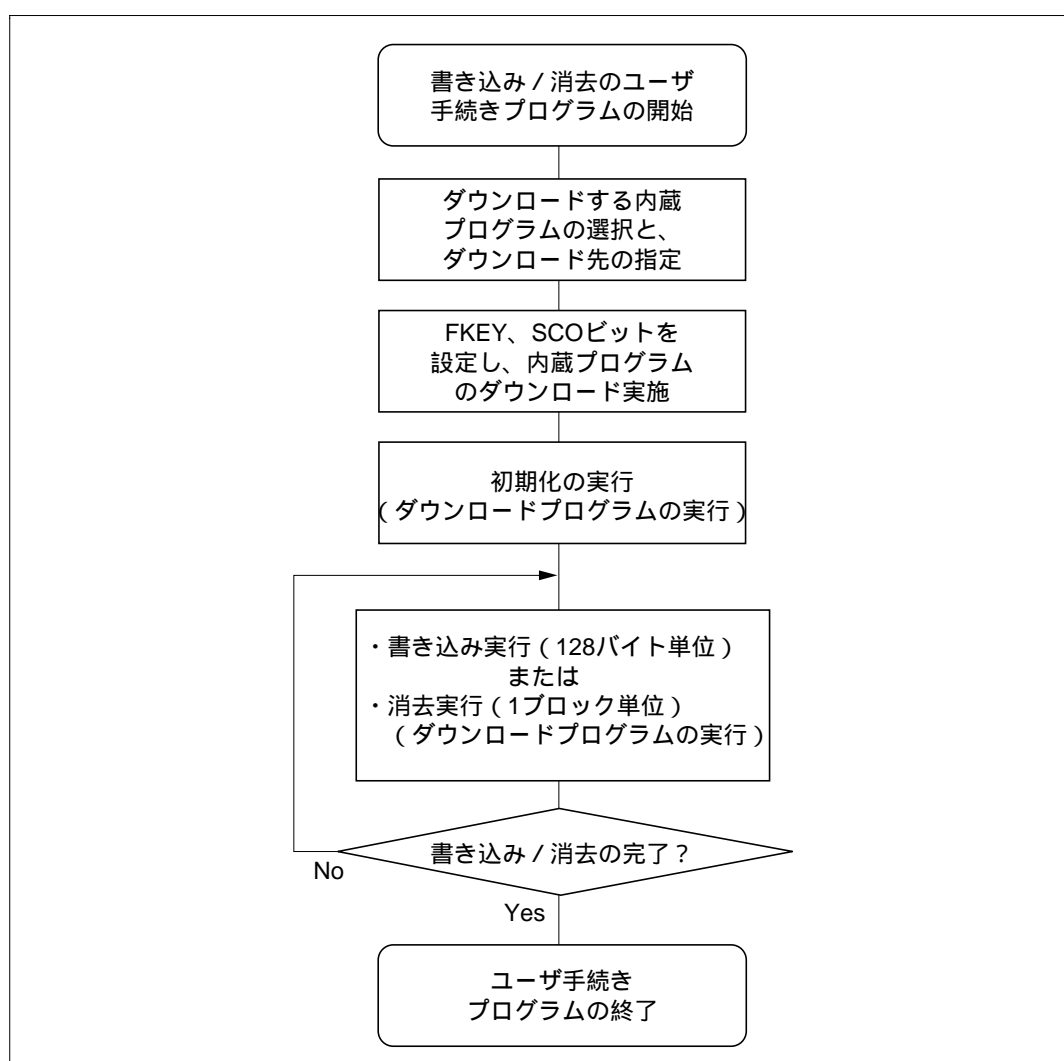


図 18.5 ユーザ手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択とダウンロード先の指定

本 LSI には、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR レジスタで指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み / 消去インタフェースレジスタのフラッシュユキーレジスタ FKEY とフラッシュコードコントロールステータスレジスタ FCCS の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はフラッシュメモリの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外（内蔵 RAM 上など）で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域以外、かつダウンロードされた内蔵プログラム領域以外としてください。これらの設定は書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込み / 消去を実施するためには、FWE 端子を 1 に設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 128 バイト単位で行います。

消去では消去ブロックの指定を 1 消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。

書き込み / 消去処理中はすべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。

(5) 引き続き、書き込み／消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス／データ、消去ブロック番号を更新して書き込み／消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

18.3 端子構成

フラッシュメモリは表 18.3 に示す端子により制御されます。

表 18.3 端子構成

端子名	略 称	入出力	機 能
リセット	$\overline{\text{RES}}$	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ノンマスカブル割り込み	NMI	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力（ブートモードで使用）
レシーブデータ	RxD1	入力	シリアル受信データ入力（ブートモードで使用）

【注】 ライタモードの端子構成は「18.9 PROM モード」をご参照ください。

18.4 レジスタ構成

18.4.1 レジスタ一覧

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ / パラメータを表 18.4 に示します。

フラッシュメモリのアクセスには読み出しモード / 書き込みモードなどいくつかの動作モードがあります。また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ / パラメータが割り当てられています。動作モードと使用レジスタ / パラメータの対応表を表 18.5 に示します。

表 18.4 (1) レジスタ構成

レジスタ名称	略 称	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロール ステータスレジスタ	FCCS	R、W* ¹	H'00* ² H'80* ²	H'EE0B0	8
フラッシュプログラムコードセレクト レジスタ	FPCS	R/W	H'00	H'EE0B1	8
フラッシュイレースコードセレクト レジスタ	FECS	R/W	H'00	H'EE0B2	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'EE0B4	8
フラッシュマットセレクトレジスタ	FMATS	R/W	H'00* ³ H'AA* ³	H'EE0B5	8
フラッシュトランスファディスティ ネーションアドレスレジスタ	FTDAR	R/W	H'00	H'EE0B6	8
RAM コントロールレジスタ	RAMCR	R/W	H'F0	H'EE077	8
フラッシュベクタアドレスコード コントロールレジスタ	FVACR	R/W	H'00	H'EE0B7	8
フラッシュベクタアドレス データレジスタ R	FVADRR	R/W	H'00	H'EE0B8	8
フラッシュベクタアドレス データレジスタ E	FVADRE	R/W	H'00	H'EE0B9	8
フラッシュベクタアドレス データレジスタ H	FVADRH	R/W	H'00	H'EE0BA	8
フラッシュベクタアドレス データレジスタ L	FVADRL	R/W	H'00	H'EE0BB	8

【注】 *1 SCO ビット以外は、読み出し専用です。SCO ビットは、書き込み専用です（読み出しは、常に 0）。

*2 FWE 端子にローレベルが入力されているときの初期値は H'00 です。

FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*3 ユーザモード、ユーザプログラムモードで起動時の初期値は H'00 です。

ユーザブートモードで起動時の初期値は H'AA です。

表 18.4 (2) パラメータ構成

パラメータ名称	略 称	R/W	初期値	割り当て	アクセスサイズ
ダウンロードパス・フェイルリザルト	DPFR	R/W	不定	内蔵 RAM*	8、16、32
フラッシュパス・フェイルリザルト	FPFR	R/W	不定	CPU の R0L	8、16、32
フラッシュマルチパースアドレス エリア	FMPAR	R/W	不定	CPU の ER1	8、16、32
フラッシュマルチパースデータ デスティネーションエリア	FMPDR	R/W	不定	CPU の ER0	8、16、32
フラッシュイレースブロック セレクト	FEBS	R/W	不定	CPU の ER0	8、16、32
フラッシュプログラム・イレース 周波数コントロール	FPEFEQ	R/W	不定	CPU の ER0	8、16、32
フラッシュユーザブランチアドレス セット	FUBRA	R/W	不定	CPU の ER1	8、16、32

【注】 * FTDAR レジスタで指定した内蔵 RAM エリアの先頭アドレスの 1 バイトが有効です。

表 18.5 使用レジスタ / パラメータと対象モード

		ダウン ロード	初期化	書き込み	消去	読み出し	RAM エミュ レーション
書き込み / 消去 インタフェース レジスタ	FCCS						
	FPCS						
	PECS						
	FKEY						
	FMATS			(*1)	(*1)	(*2)	
	FTDAR						
書き込み / 消去 インタフェース パラメータ	DPFR						
	FPFR						
	FPEFEQ						
	FUBRA						
	FMPAR						
	FMPDR						
	FEBS						
RAM エミュレーション	RAMCR						

【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み / 消去時に設定が必要です。

*2 起動モードと読み出し対象マットの組み合わせで、設定が必要な場合があります。

18.4.2 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタについて説明します。すべて8ビットのレジスタでバイトアクセスのみ可能です。FCCS レジスタの FLER ビットを除き、これらのレジスタはパワーオンリセットとハードウェアスタンバイモード / ソフトウェアスタンバイモードで初期化されます。FLER ビットは、ソフトウェアスタンバイモードでは初期化されません。

(1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS は、FWE 端子状態のモニタ、フラッシュメモリの書き込み / 消去実行中のエラー発生モニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット:	7	6	5	4	3	2	1	0
	FWE			FLER				SCO
初期値:	1 / 0	0	0	0	0	0	0	0
R / W:	R	R	R	R	R	R	R	(R) W

ビット7:フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトする FWE 端子に入力されているレベルをモニタするビットです。初期値は、FWE 端子状態により0または1になります。

ビット7	説 明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット6~5:予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4:フラッシュメモリエラー (FLER)

フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示すビットです。

FLER=1 にセットさせると、フラッシュメモリはエラープロテクト状態に遷移します。パワーオンリセットまたはハードウェアスタンバイモード遷移で初期化されます。

なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されているので、フラッシュメモリへのダメージを低減するために、通常より長い100 μ s のリセット

入力期間の後にリセットリリースしてください。

ビット4	説 明
FLER	
0	フラッシュメモリは正常に動作しています。 (初期値) フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)は無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件] 「18.6.3 エラープロテクト」を参照してください。

ビット3～1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0: ソースプログラムコピーオペレーション (SCO)

内蔵の書き換え/消去プログラムを、内蔵RAMにダウンロードする要求ビットです。

本ビットに1を書き込むと、FPCS/FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵RAMの領域に自動的にダウンロードされます。

本ビットに1を書き込むためには、RAMエミュレーション状態の解除、FKEY レジスタへのH'A5の書き込み、および内蔵RAM上での実行が必要です。

本ビットに1を書き込んだ直後には、4個のNOP命令を必ず実行するようにしてください。

なお、ダウンロード完了時点では本ビットは0クリアされているため、本ビットの1状態を読み出すことはできません。

ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。

ビット 0	説 明
SCO	
0	内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードは行いません。 (初期値) [クリア条件] ダウンロードが完了するとクリアされます。
1	内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。 [クリア条件] 以下の条件がすべて満足されている状態で、1 を書き込んだとき (1) FKEY レジスタに HA5 が書かれていること (2) 内蔵 RAM 上で実行中であること (3) RAM エミュレーションモードでないこと (RAMCR の RAMS = 0 であること)

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
								PPVS
初期値:	0	0	0	0	0	0	0	0
R / W:	R	R	R	R	R	R	R	R / W

ビット 7 ~ 1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: プログラムパルスベリファイ (PPVS)

書き込みプログラムを選択します。

ビット 0	説 明
PPVS	
0	内蔵の書き込みプログラムを選択しません。 (初期値) [クリア条件] 転送が終了するとクリアされます。
1	内蔵の書き込みプログラムを選択します。

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
								EPVB
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット7～1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0: イレースパルスベリファイブロック (EPVB)

消去プログラムを選択します。

ビット0	説 明
EPVB	
0	内蔵消去プログラムを選択しません。 (初期値) [クリア条件] 転送が終了するとクリアされます。
1	内蔵消去プログラムを選択します。

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの 1 書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット:	7	6	5	4	3	2	1	0
	K7	K6	K5	K4	K3	K2	K1	K0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7～0: キーコード (K7～K0)

H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに 1 を書き込むことができないため、内蔵 RAM へのダウンロードができません。

H'5A を書き込んだ場合にのみ、書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。

ビット 7～0	説 明
K7～K0	
H'A5	SCO ビットの書き込みを許可します（H'A5 以外では SCO ビットのセットはできません）。
H'5A	書き込み / 消去を許可します。（H'5A 以外ではソフトウェアプロテクト状態）
H'00	初期値

（５）フラッシュマットセレクトレジスタ（FMATS）

FMATS は、ユーザマット / ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット:	7	6	5	4	3	2	1	0	
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
初期値:	0	0	0	0	0	0	0	0	(ユーザブートモード以外の場合)
初期値:	1	0	1	0	1	0	1	0	(ユーザブートモードの場合)
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット 7～0: マットセレクト（MS7～MS0）

H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。

FMATS に値を書き込みことによりマット切り替えが発生します。

マット切り換えは、必ず「18.8 ユーザマットとユーザブートマットの切り替え」に従ってください（ユーザプログラミングモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してもできません。ユーザブートマットの書き換えは、ブートモードかライターモードで実施してください）。

ビット 7～0	説 明
MS7～MS0	
H'AA	ユーザブートマットを選択します（H'AA 以外ではユーザマット選択状態となります）。ユーザブートモードで立ち上がった場合の初期値です。
H'00	ユーザブートモード以外で立ち上がった場合の初期値です（ユーザマット選択状態です）。

〔書き込み可能条件〕内蔵 RAM 上での実効状態であること

(6) フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。

FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。初期値は H'00 で、内蔵 RAM の先頭アドレス (H'FFEF20) を示しています。

ビット:	7	6	5	4	3	2	1	0
	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7: トランスファディステーションアドレス設定エラー (TDER)

ビット6~0 (TDA6~TDA0) で指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6~TDA0 の値が H'00~H'03 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、FTDAR レジスタの値を本ビットの値を 0 にすることも含めて、H'00~H'03 の範囲に設定してください。

ビット7	説明 (ダウンロード後の戻り値)
TDER	
0	TDA6~TDA0 の設定は、正常値 (初期値)
1	TDER、TDA6~TDA0 の設定値が H'03~H'FF であり、ダウンロードは中断したことを示します。

ビット6~0: トランスファディステーションアドレス (TDA6~TDA0)

ダウンロード先頭アドレスを指定します。設定可能な値は H'00~H'03 で、4k バイト単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。

H'04~H'7F の値を設定しないでください。この値が設定された場合、ダウンロード処理において、本レジスタのビット7: TDER を 1 に設定し、内蔵プログラムのダウンロードは実行されません。

ビット 6 ~ 0	説 明
TDA6 ~ TDA0	
H'00	ダウンロード先頭アドレスを H'FFEF20 に設定 (初期値)
H'01	ダウンロード先頭アドレスを H'FFDF20 に設定
H'02	ダウンロード先頭アドレスを H'FFCF20 に設定
H'03	ダウンロード先頭アドレスを H'FFBF20 に設定
H'04 ~ H'FF	設定しないでください。設定された場合、ダウンロードにおいて ビット 7: TDER が 1 になり、ダウンロード処理は中断されます。

18.4.3 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果をやりとりするものです。このパラメータは、CPU の汎用レジスタ (ER0, ER1) や内蔵 RAM 領域を使用します。パワーオンリセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、R0L 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。R0L 以外のレジスタの保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をお願いします (使用スタック領域サイズは、最大 128 バイトです)。

書き込み / 消去インタフェースパラメータは、次の 4 項目で使います。

- (1) ダウンロード制御
- (2) 書き込み / 消去実行前の初期化実行
- (3) 書き込み実行
- (4) 消去実行

それぞれごとに使用するパラメータは異なります。対応表を、表 18.6 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 18.6 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR					R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR					R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数コントロール	FPEFEQ					R/W	不定	CPU の ER0
フラッシュユーザブランチアドレスセット	FUBRA					R/W	不定	CPU の ER1
フラッシュマルチパーパスアドレスエリア	FMPAR					R/W	不定	CPU の ER1
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR					R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS					R/W	不定	CPU の ER0

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 4k バイト分の領域です。内蔵 RAM のアドレスマップについては、図 22.7 を参照してください。

ダウンロード制御は先述の書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

(a) ダウンロードパス・フェイルリザルトパラメータ (DPFR: FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断してください。SCO ビットを 1 にできたかの確認が困難のため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR レジスタで指定した内蔵 RAM の先頭アドレスの 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。ダウンロード結果のチェック方法については、「18.5.2(e)」も参照してください。

ビット:	7	6	5	4	3	2	1	0
	0	0	0	0	0	SS	FK	SF

ビット 7 ~ 3: 未使用ビット

値 0 が戻されます。

ビット 2: ソースセレクトエラー検出ビット (SS)

ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。

ビット 2	説 明
SS	
0	ダウンロードプログラムの選択関係は正常
1	ダウンロードエラー発生 (多重選択または、マッピングされていないプログラム選択)

ビット 1: フラッシュキーレジスタエラー検出ビット (FK)

FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。

ビット1	説 明
FK	
0	FKEY レジスタの設定は正常 (FKEY = H'A5)
1	FKEY レジスタの設定値エラー (FKEY は、H'A5 以外の値)

ビット0: サクセス/フェイルビット (SF)

ダウンロードが正常に終了したかどうかを戻すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。

ビット1	説 明
SF	
0	内蔵プログラムのダウンロードは正常終了 (エラーなし)
1	内蔵プログラムのダウンロードが異常終了 (エラーが発生している)

(2) 書き込み/消去の初期化

ダウンロードされる書き込み/消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み/消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み/消去プログラムのパラメータとして設定するのが初期化プログラムです。

(a) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ: CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。

本 LSI の動作周波数範囲は、「21.2.1 クロックタイミング」をご参照ください。

ビット:	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット:	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8
	F15	F14	F13	F12	F11	F10	F9	F8
ビット:	7	6	5	4	3	2	1	0
	F7	F6	F5	F4	F3	F2	F1	F0

ビット 31～16:未使用ビット

値 0 を設定してください。

ビット 15～0:周波数設定ビット (F15～F0)

CPU の動作周波数を設定します。設定値は以下のように算出してください。

MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。

100 倍した値を 2 進数に変換し、FPEFEQ パラメータ (汎用レジスタ R0) に書き込む。
具体例として、CPU の動作周波数が 25.000MHz の場合には、以下のようになります。

25.000 の小数点第 3 位を四捨五入し、25.00。

$25.00 \times 100 = 2500$ を 2 進数変換し、b'0000,1001,1100,0100 (H'09C4) を R0 に設定。

(b) フラッシュユーザブランチアドレス設定パラメータ (FUBRA: CPU の汎用レジスタ ER1)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み / 消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。

ビット:	31	30	29	28	27	26	25	24
	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24
ビット:	23	22	21	20	19	18	17	16
	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
ビット:	15	14	13	12	11	10	9	8
	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8
ビット:	7	6	5	4	3	2	1	0
	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0

ビット 31～0:ユーザブランチ先アドレス (UA31～UA0)

本 LSI では、0 番地 (H'00000000) を設定してください。

ユーザブランチ先は、内蔵プログラムが転送されている RAM 領域以外の RAM 空間ま

たは外部バス空間としてください。

実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域 / スタック領域の破壊が発生した場合、フラッシュメモリの値の保証もできません。

ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み / 消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み / 消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。

さらに、ユーザブランチ先の処理で書き込み / 消去インタフェースレジスタの書き換えや、RAM エミュレーションモードへの遷移を行わないでください。

ユーザブランチ処理終了後は、RTS 命令で書き込み / 消去プログラムに戻ってください。

(c) フラッシュバス / フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

ここでは初期化結果の戻り値としての FPFR について説明します。

ビット:	7	6	5	4	3	2	1	0
	0	0	0	0	0	BR	FQ	SF

ビット 7～3: 未使用ビット

値 0 が戻されます。

ビット 2: ユーザブランチエラー検出ビット (BR)

指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み / 消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。

ビット 2	説 明
BR	
0	ユーザブランチアドレス設定は正常値
1	ユーザブランチアドレス設定が異常値

ビット 1: 周波数エラー検出ビット (FQ)

指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。

ビット2	説 明
FQ	
0	動作周波数の設定は正常値
1	動作周波数の設定が異常値

ビット0:サクセス/フェイルビット (SF)

初期化が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	初期化は正常終了 (エラーなし)
1	初期化が異常終了 (エラーが発生している)

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡す必要があります。

- ・ ユーザマット上の書き込み先の先頭アドレス汎用レジスタER1に設定してください。このパラメータを FMPAR (フラッシュマルチパースアドレスエリアパラメータ) と呼びます。

書き込みデータは常に 128 バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位 8 ビット (A7 ~ A0) が、H'00 または H'80 のいずれかとしてください。

- ・ ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは CPU の MOV.B 命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

書き込みたいデータが 128 バイトに満たない場合でも、ダミーコード (H'FF) を埋め込んで 128 バイトの書き込みデータを準備してください。

準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタ ER0 に設定してください。このパラメータを FMPDR (フラッシュマルチパースデータステーションエリアパラメータ) と呼びます。

書き込み処理のための手続きの詳細については、「18.5.2 ユーザプログラムモード」で述べます。

(a) フラッシュマルチパーパスアドレスエリアパラメータ (FMPAR: CPU の汎用レジスタ ER1)

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは 128 バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーは FPFR パラメータのビット 1: WA ビットに反映されます。

FMPAR

ビット:	31	30	29	28	27	26	25	24
	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
ビット:	23	22	21	20	19	18	17	16
	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
ビット:	15	14	13	12	11	10	9	8
	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
ビット:	7	6	5	4	3	2	1	0
	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0

ビット 31 ~ 0: M OA31 ~ M OA0

ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続 128 バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6 ~ MOA0 は常に 0 になります。

(b) フラッシュマルチパーパスデータデスティネーションパラメータ (FMPDR: CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FPFR パラメータのビット 2: WD ビットに反映されます。

FMPDR

ビット:	31	30	29	28	27	26	25	24
	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24
ビット:	23	22	21	20	19	18	17	16
	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
ビット:	15	14	13	12	11	10	9	8
	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8
ビット:	7	6	5	4	3	2	1	0
	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0

ビット 31～0: MOD31～MOD0

ユーザマットへの書き込みデータが格納されてる領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに対して書き込まれます。

(c) フラッシュバス / フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

ここでは書き込み処理結果の戻り値としての FPFR について説明します。。

ビット:	7	6	5	4	3	2	1	0
	0	MD	EE	FK	0	WD	WA	SF

ビット 7: 未使用ビット

値 0 が戻されます。

ビット 6: 書き込みモード関連設定エラー検出ビット (MD)

FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。

FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS レジスタのビット 7: FWE や、ビット 4: FLER の各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「18.6.3 エラープロテクト」を参照してください。

ビット 6	説 明
MD	
0	FWE、FLER 状態は正常 (FWE=1、FLER=0)
1	FWE=0、または FLER=1 であり、書き込みできない状態

ビット 5: 書き込み実行時エラー検出ビット (EE)

ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには 1 が返されます。

これらが原因で、本ビットが 1 になった場合、ユーザマットは途中まで書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット / ユーザブートマットともに、書き換えられてはいません。

ユーザブートマットの書き込みはブートモードまたは PROM モードで実施してください。

ビット5	説 明
EE	
0	書き込み処理は正常終了
1	書き込み処理が異常終了し、書き込み結果は保証できない

ビット4:フラッシュキーレジスタエラー検出ビット (FK)

書き込み処理開始前に FKEY レジスタの値をチェックした結果を戻します。

ビット4	説 明
FK	
0	FKEY レジスタの設定は正常 (FKEY = H'5A)
1	FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)

ビット3:未使用ビット

値0が戻されます。

ビット2:ライトデータアドレス検出ビット (WD)

書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合エラーとなります。

ビット2	説 明
WD	
0	書き込みデータアドレス設定は正常値
1	書き込みデータアドレス設定が異常値

ビット1:ライトアドレスエラー検出ビット (WA)

書き込み先先頭アドレスとして、以下が指定された場合にはエラーとなります。

フラッシュメモリの領域外が書き込み先アドレスとして指定された場合

指定されたアドレスが、128 バイト境界でない (A6 ~ A0 が0 でない) 場合

ビット1	説 明
WA	
0	書き込み先アドレス設定は正常値
1	書き込み先アドレス設定が異常値

ビット0: サクセス/フェイルビット (SF)

書き込み処理が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	書き込みは正常終了 (エラーなし)
1	書き込みが異常終了 (エラーが発生している)

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマツト上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ (汎用レジスタ ER0) に設定します。

0~15 のブロック番号から 1 ブロックを指定します。

消去処理のための手続きの詳細については、「18.5.2 ユーザプログラムモード」で述べます。

(a) フラッシュイレースブロックセレクトパラメータ (FEBS: CPU の汎用レジスタ ER0)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット:	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット:	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット:	7	6	5	4	3	2	1	0
	EBS7	EBS6	EBS5	EBS4	EBS3	EBS2	EBS1	EBS0

ビット 31~8: 未使用ビット

値 0 を設定してください。

ビット 7~0: イレースブロック (EB7~EB0)

0~15 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0~15 以外の設定ではエラーになります。

(b) フラッシュパス/フェイルパラメータ (FPFR: CPUの汎用レジスタ R0L)

ここでは消去処理結果の戻り値としてのFPFRについて説明します。

ビット:	7	6	5	4	3	2	1	0
	0	MD	EE	FK	EB	0	0	SF

ビット7: 未使用ビット

値0が戻されます。

ビット6: 消去モード関連設定エラー検出ビット (MD)

FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。

FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット7: FWE や、ビット4: FLER の各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「18.6.3 エラープロテクト」を参照してください。

ビット6	説明
MD	
0	FWE、FLER 状態は正常 (FWE=1、FLER=0)
1	FWE=0、または FLER=1 であり、消去できない状態

ビット5: 消去実行時エラー検出ビット (EE)

ユーザマットの消去ができなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。

これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはいません。

ユーザブートマットの消去はブートモードまたはPROMモードで実施してください。

ビット5	説 明
EE	
0	消去処理は正常終了
1	消去処理が異常終了し、消去結果は保証できない

ビット4:フラッシュキーレジスタエラー検出ビット (FK)

消去処理開始前に FKEY レジスタの値をチェックした結果を戻します。

ビット4	説 明
FK	
0	FKEY レジスタの設定は正常 (FKEY = H'5A)
1	FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)

ビット3:イレースブロックセレクトエラー検出ビット (EB)

指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。

ビット3	説 明
EB	
0	消去ブロック番号の設定は正常値
1	消去ブロック番号の設定が異常値

ビット2～1:未使用ビット

値0が戻されます。

ビット0:サクセス/フェイルビット (SF)

消去処理が正常に終了したかどうかを戻すビットです。

ビット0	説 明
SF	
0	消去は正常終了 (エラーなし)
1	消去が異常終了 (エラーが発生している)

18.4.4 RAM コントロールレジスタ (RAMCR)

ユーザマットのリアルタイムな書き換えをエミュレートするときに、内蔵 RAM の一部と重ね合わせるユーザマットのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに HFF0 に初期化されます。ソフトウェアスタンバイモードのときは、初期化されません。RAMCR の設定はユーザモード、ユーザプログラムモードで行ってください。

ユーザマットエリアの分割法は、表 18.7 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット:	7	6	5	4	3	2	1	0
					RAMS	RAM2	RAM1	RAM0
初期値:	1	1	1	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット 7～4: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 3: RAM セレクト (RAMS)

RAM によるユーザマットのエミュレーション選択 / 非選択を設定するビットです。
RAMS = 1 のときは、

ユーザマット全ブロックが書き込み / 消去プロテクト状態となります。

ビット 3	説 明
RAMS	
0	エミュレーション非選択 (初期値) ユーザマット全ブロックの書き込み / 消去プロテクト無効
1	エミュレーション選択 ユーザマット全ブロックの書き込み / 消去プロテクト有効

ビット2, 1, 0: ユーザマットエリア選択

ビット3と共に使用し、内蔵RAMと重ね合わせるユーザマットのエリアを選択します（表18.7参照）。

表 18.7 ユーザマットエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFE000 ~ H'FFFEFF	RAM エリア 4kB	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4kB)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4kB)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4kB)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4kB)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4kB)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4kB)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4kB)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4kB)	1	1	1	1

【注】 *: Don't care

18.4.5 フラッシュベクタアドレスコントロールレジスタ (FVACR)

NMI 割り込みのベクタテーブルデータを読み出す空間を変更するレジスタです。通常は H'00001C ~ H'00004F のアドレス空間からベクタテーブルデータを読み出しますが、本レジスタの設定により内部 I/O レジスタ (FVADDR ~ FVADRL) からベクタテーブルを読み出すことが可能です。本レジスタは、パワーオンリセット、ハードウェアスタンバイモードのときに H'00 に初期化されます。

書き込み / 消去処理、および内蔵プログラムダウンロード中は、NMI を含むすべての割り込みを禁止してください。システムのエラー処理等システム上 NMI 割り込みの使用が避けられない場合、本レジスタおよび FVADDR ~ FVADRL を設定し、割り込み例外処理ルーチンを内蔵 RAM 上に設定してください。

ビット:	7	6	5	4	3	2	1	0
	FVCHGE				FVSEL3	FVSEL2	FVSEL1	FVSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7:ベクタ切り替え機能有効ビット (FVCHGE)

ベクタテーブルデータを読み出す空間を変更する機能の有効 / 無効を選択するビットです。FVCHGE = 1 のときは、内部 I/O レジスタ (FVADDR ~ FVADRL) からベクタテーブルデータを読み出すことが可能です。

ビット7	説 明
FVCHGE	
0	ベクタテーブルデータを読み出す空間を変更する機能は無効 (初期値)
1	ベクタテーブルデータを読み出す空間を変更する機能は有効

ビット6~4:予約ビット (FVCHGE)

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3~0:割り込み要因選択ビット (FVSEL3~0)

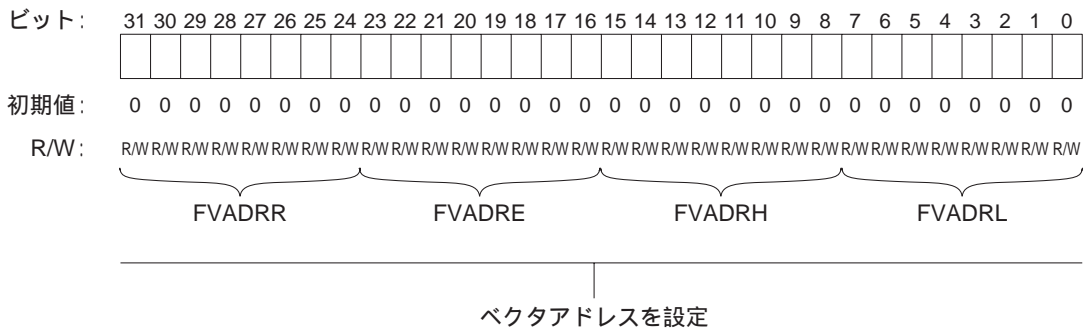
本ビットを設定することにより、NMI 割り込み処理のベクタテーブルを内部 I/O レジスタ (FVADDR ~ FVADRL) にすることができます。

割り込み要因ビット

ビット3	ビット2	ビット1	ビット0	機 能
FVSEL3	FVSEL2	FVSEL1	FVSEL0	
0	0	0	0	ベクタテーブルデータはエリア0 (初期値) (H'00001C ~ H'00004F)
0	0	0	1	設定禁止
0	0	1	—	
0	1	—	—	
1	0	0	0	ベクタテーブルデータは内部 I/O レジスタ (FVADDR ~ FVADRL)
1	0	0	1	設定禁止
1	0	1	—	
1	1	—	—	

18.4.6 フラッシュベクタアドレスデータレジスタ (FVADR)

フラッシュベクタアドレスコントロールレジスタ (FVACR) によりベクタテーブルデータを読み出す空間を切り替える機能を有効にした場合に、ベクタデータを格納するレジスタです。本レジスタは 4 つの 8 ビットレジスタ (FVADRR, FVADRE, FVADRH, FVADRL) から構成されます。本レジスタは、パワーオンリセット、ハードウェアスタンバイモードのときに H'00000000 に初期化されます。



18.5 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去を行うことができるオンボードプログラミング状態へ移行します。オンボードプログラミングモードにはユーザプログラミングモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法は、表 18.1 をご参照ください。また、フラッシュメモリに対する各モードへの状態遷移図は図 18.2 をご参照ください。

18.5.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み / 消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 18.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 18.1 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

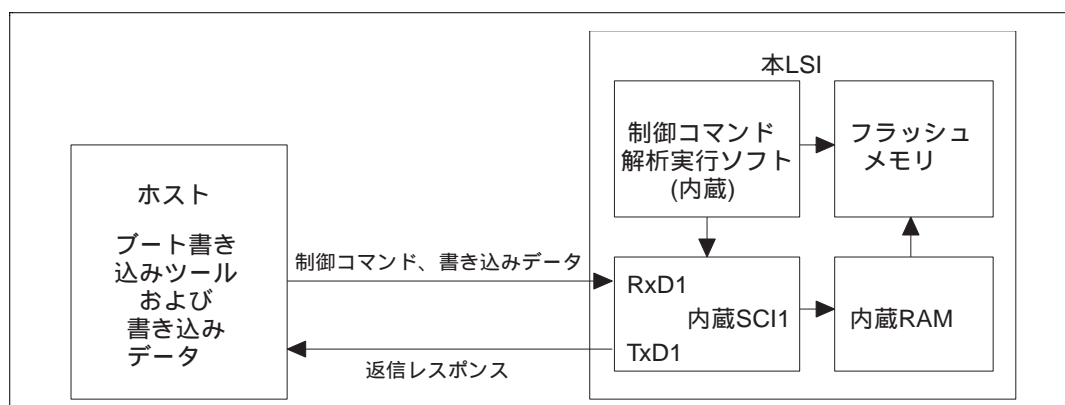


図 18.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00

を1バイト)をホストへ送信します。ホストは、この調整終了合図(H'00)を正常に受信したことを確認し、本LSIへH'55を1バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し(リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本LSIのシステムクロックの周波数によってホストと本LSIのビットレートに誤差が生じます。正常にSCIを動作させるために、ホストの転送ビットレートを9,600bpsまたは19,200bpsに設定してください。

ホストの転送ビットレートと本LSIのビットレートの自動合わせ込みが可能なシステムクロックの周波数を表18.8に示します。このシステムクロックの範囲内でブートモードを起動してください。

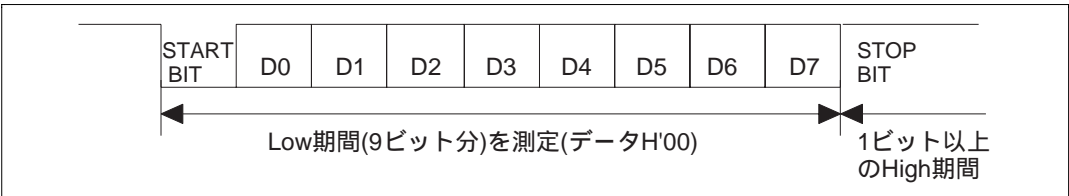


図 18.7 SCI ビットレートの自動合わせ込み動作

表 18.8 本LSIの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本LSIのビットレートの自動合わせ込みが可能なシステムクロック周波数
9,600 bps	10 ~ 25 MHz
19,200 bps	16 ~ 25 MHz

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図18.8に示します。ブートモードについての詳細は、「18.10.1 ブートモードの標準シリアル通信インタフェース仕様」をご参照ください。

ビットレート合わせ込み

ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

全ユーザマットおよびユーザブートマットの自動消去

問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

書き込み/消去コマンド待ち

- ・「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスを HFFFFFFF と設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。
- ・「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号を HFF と設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き変える場合に使用してください。1 回の操作で書き込みができる場合には、書き込み / 消去 / 他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- ・書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ユーザマット / ユーザブートマットのブランクチェック（消去チェック）、ユーザマット / ユーザブートマットのメモリリード、および現在のステータス情報の取得のコマンドがあります。

ユーザマット / ユーザブートマットのメモリ読み出しは、すべてのユーザマット / ユーザブートマットを自動消去した後に書き込んだデータについての読み出ししかできませんので、ご注意ください。

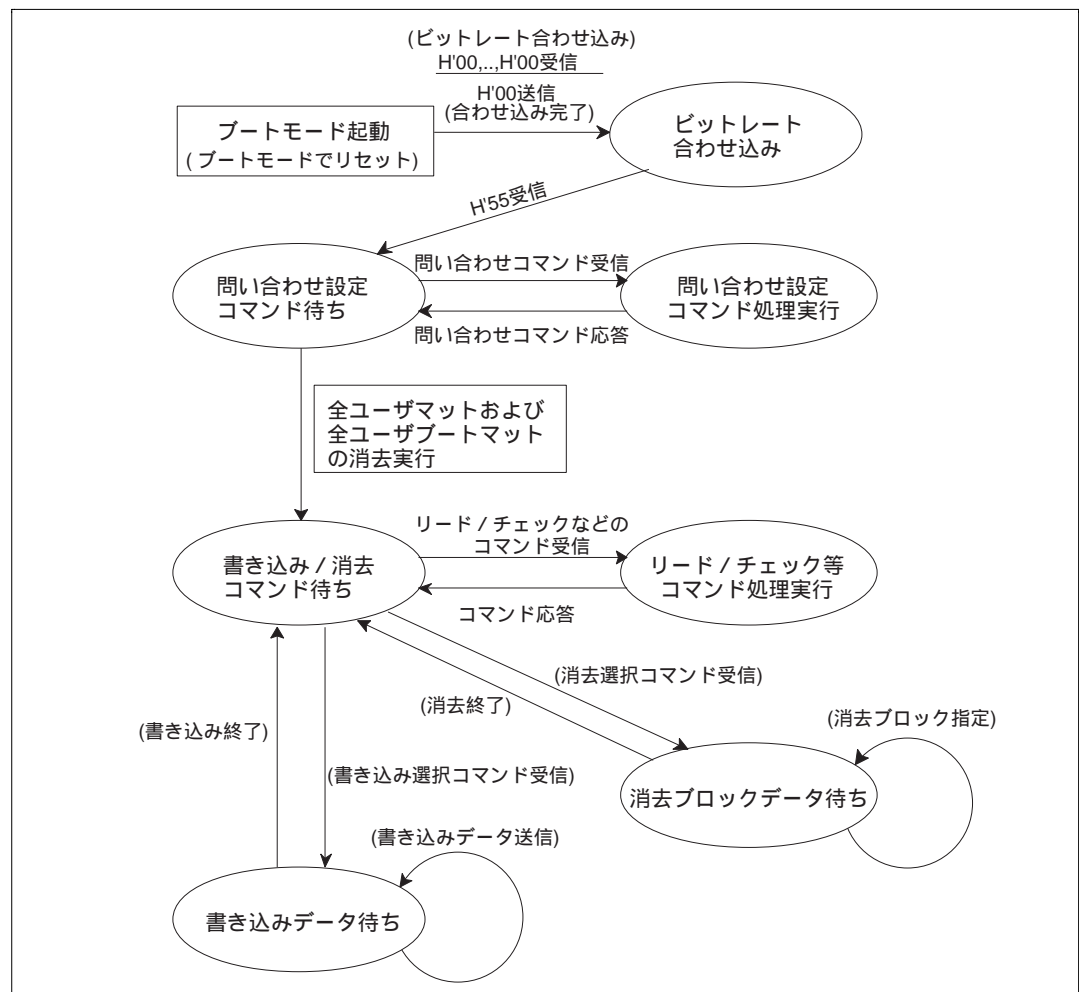


図 18.8 ブートモードの状態遷移の概略図

18.5.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み/消去ができます(ユーザブートマットの書き込み/消去はできません)。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み/消去を実施します。

概略フローを図 18.9 に示します。

なお、書き込み/消去処理中はフラッシュメモリ内部には高電圧が印加されていますので、書き込み/消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μ s の通常より長いリセット入力期間の後にリセットリリースしてください。

書き込み手順につきましては、後述「(2) ユーザプログラムモードでの書き込み手順」を、消去手順につきましては「(3) ユーザプログラムモードでの消去手順」を参照してください。

また、FTDAR レジスタを使用して、書き込み/消去プログラムを別々の内蔵 RAM 領域

にダウンロードして、消去と書き込みを繰り返す処理についての概略を「(4) ユーザプログラムモードでの消去 / 書き込み手順」で説明します。

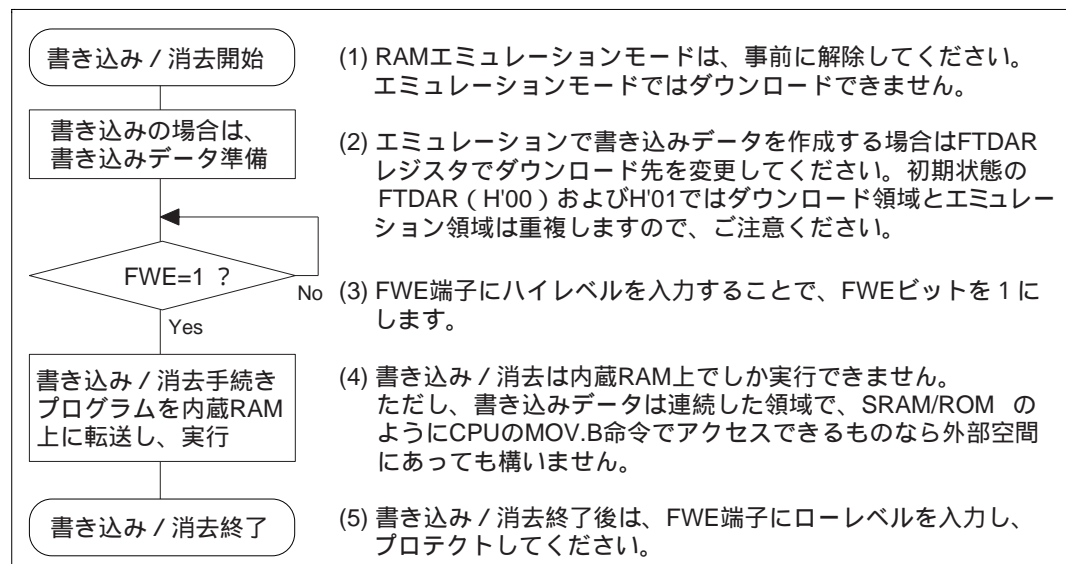


図 18.9 書き込み / 消去概略フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 18.10 にダウンロードされるプログラムの領域を示します。

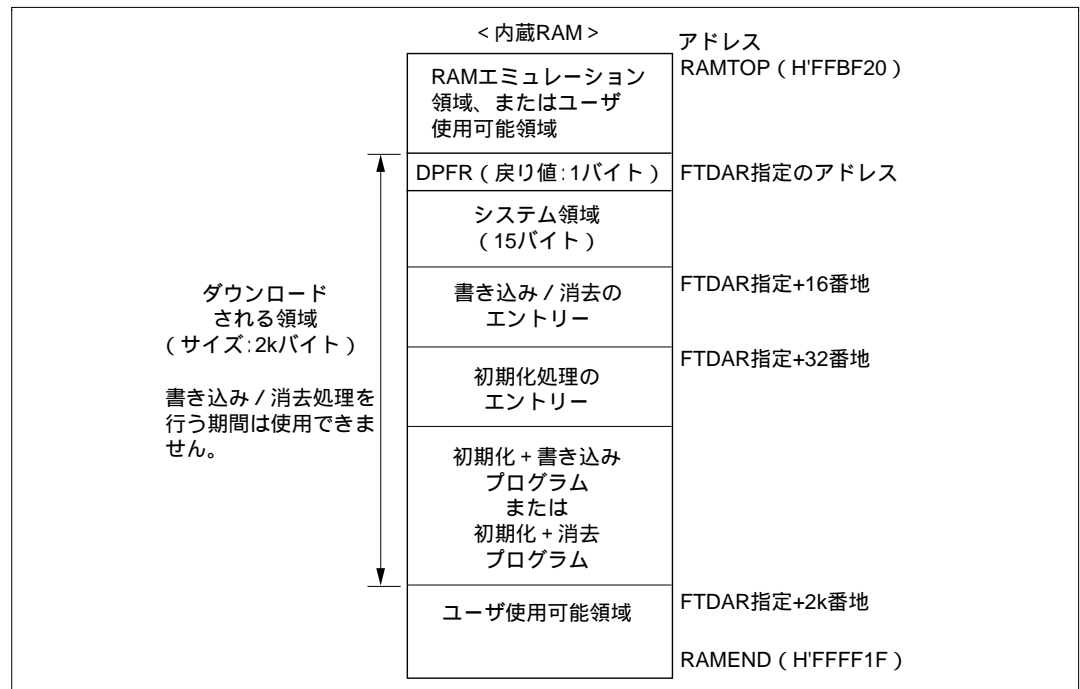


図 18.10 書き込み / 消去実施時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 18.11 に示します。

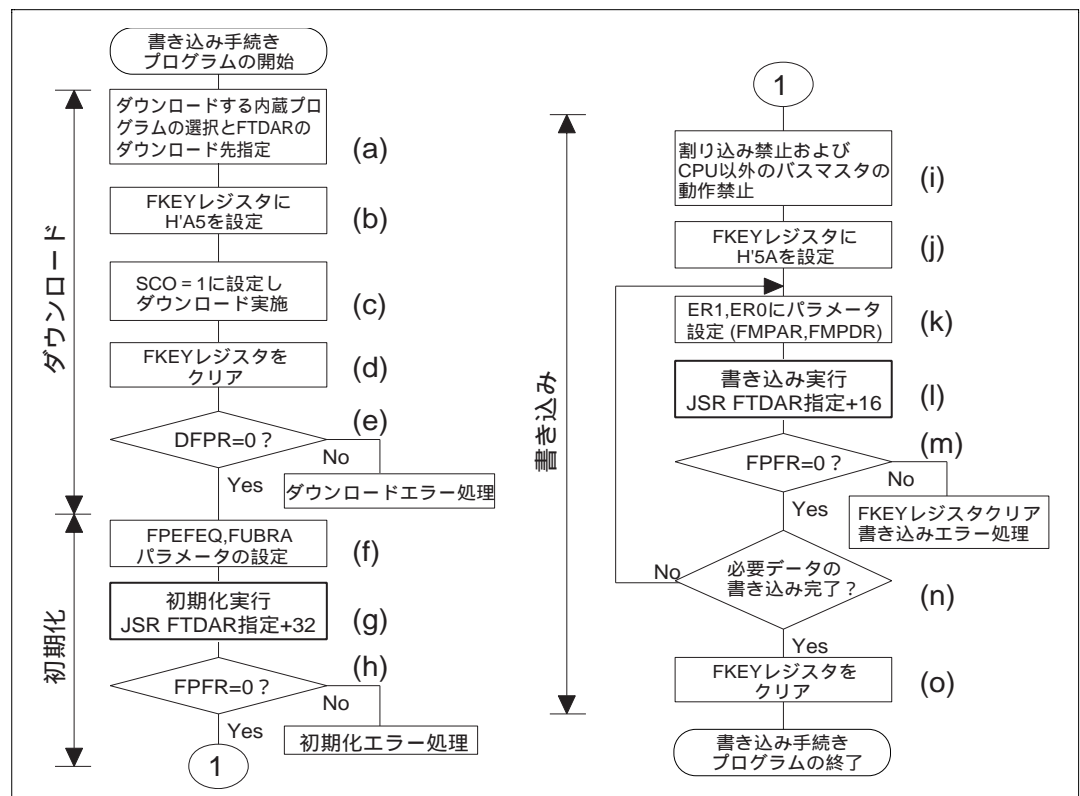


図 18.11 書き込み手順

書き込み手順の詳細を説明します。手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「18.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

(a) ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。

FPCS レジスタの PPVS ビットを 1 に設定すると書き込みプログラムが選択されます。書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DFPR パラメータのリースセレクト検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

(b) FKEY レジスタに H'A5 を書き込みます。

プロテクトのために FKEY レジスタに H'A5 を書き込まないとダウンロード要求の SCO ビットに 1 を書き込みことができません。

(c) FCCS レジスタの SCO ビットに 1 を書き込んで、ダウンロードを実行します。

SCO ビットに 1 を書き込むためには、以下の条件がすべて満足されている必要があります。

RAM エミュレーションモードが解除されていること

FKEY レジスタに H'A5 が書き込まれていること

SCO ビット書き込みが内蔵 RAM 上で実行されていること

SCO ビットが 1 になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO=0 にクリアされていますので、ユーザ手続きプログラムでは SCO=1 の確認ができません。

ダウンロード結果の確認は、DFPR パラメータの戻り値での確認のみとなりますので、SCO=1 にする前に、DFPR パラメータとなる、FTDAR で指定した内蔵 RAM の先頭の 1 バイトを、戻り値以外 (H'FF など) に設定して、誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCO=1 を設定する命令の直後には4個のNOP命令を実行してください。

ユーザマット空間を内蔵プログラム格納領域に切り替えます。

ダウンロードプログラム選択条件と FTDAR での指定アドレスをチェック後、FTDAR で指定された内蔵 RAM への転送処理を行います。

FPCS レジスタ、FECS レジスタ、FCCS レジスタの SCO ビットを 0 クリアします。

DPFR パラメータに戻り値を設定します。

内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

ダウンロードにおける注意事項について以下に述べます。

ダウンロード処理では、CPU の汎用レジスタは値が保存されます。

ダウンロード処理中は、すべての割り込みは受け付けられません。しかし、NMI 以外の割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。なお、NMI は FVACR レジスタが H'00 の場合要求が破棄され、FVACR レジスタに H'80 が書き込まれている場合は、要求が保持されていますのでユーザ手続きプログラムに戻った時点で NMI 割り込みが発生します。内蔵モジュールからの割り込み要求や、IRQ の立ち下がりエッジの割り込み要求は、ダウンロード中は要因は保持されます。また、DRAM のリフレッシュは入れることができます。

なお、レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。

ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵 RAM 上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。

最大 128 バイトのスタック領域を使用しますので、SCO=1 にする前に確保しておいてください。

ダウンロード中に DMAC、 $\overline{\text{BREQ}}$ によるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DMAC、 $\overline{\text{BREQ}}$ によるアクセスが発生しないようにご注意ください。

(d) プロテクトのために、FKEY レジスタを H'00 にクリアします。

(e) DPFR パラメータの値をチェックしダウンロード結果を確認します。

- ・ DPFR パラメータ(FTDAR で指定したダウンロード先の先頭アドレスの 1 バイト)の値をチェックします。値が H'00 ならば、ダウンロードは正常に行われています。H'00 以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。

- ・ DPFR パラメータの値が、ダウンロード実行前に設定した値（H'FF など）と同じであった場合は、FTDAR のダウンロード先アドレス設定の異常が考えられますので、FTDAR のビット 7 : TDER ビットを確認してください。
- ・ DPFR パラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFR パラメータのビット 2 : SS ビットや、ビット 1 : FK ビットにて、ダウンロードプログラムの選択や FKEY レジスタ設定が正常であったかの確認をしてください。

(f) 初期化のために FPEFEQ と FUBRA パラメータに動作周波数とユーザブランチ先を設定します。

FPEFEQ パラメータ（汎用レジスタ：ER0）に、現在の CPU クロックの周波数を設定します。

FPEFEQ パラメータの設定可能範囲は、「21.2.1 クロックタイミング」を参照してください。この範囲以外の周波数が設定された場合、初期化プログラムの FPFR パラメータにエラーが報告され初期化は行われません。周波数の設定方法は、「18.4.3 (2) (a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ)」の説明を参照してください。

FUBRA パラメータ（汎用レジスタ：ER1）に、ユーザブランチ先の先頭アドレスを設定します。

本 LSI では、FUBRA には値 0 を設定してください。

ユーザブランチを行う場合、ブランチ先は書き込み対象のユーザマット以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。

ユーザブランチ処理からは RTS 命令で書き込み処理に戻ってください。

「18.4.3 (2) (b) フラッシュユーザブランチアドレス設定パラメータ (FUBRA : CPU の汎用レジスタ ER1)」の説明を参照してください。

(g) 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵 RAM 上にダウンロードされています。FTDAR 設定のダウンロード先頭アドレス + 32 バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+32,ER2    ; エントリーアドレスを ER2 に設定
JSR    @ER2            ; 初期化ルーチンをコール
NOP
```

初期化プログラムでは R0L 以外の汎用レジスタは保存されます。

R0L は FPFR パラメータの戻り値です。

初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

(h) 初期化プログラムの戻り値 FPFR (汎用レジスタ R0L) を判定します。

(i) すべての割り込みと、CPU 以外のバスマスタの使用を禁止してください。

書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU 以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みと CPU 以外の DMAC、 $\overline{\text{BREQ}}$ へのバス権および DRAM リフレッシュへの移行を禁止としてください。

割り込み処理禁止の設定は、CPU のコンディションコードレジスタ CCR のビット 7 (I) を b'1 に設定することで行います。こうすると NMI 以外の割り込みは保持され、実行はされなくなります。

NMI 割り込みは、ユーザシステム上で発生しないようにしてください。

保持した割り込みは、すべての書き込み処理後に実行するようにしてください。

また、CPU 以外の DMAC、 $\overline{\text{BREQ}}$ へのバス権の移動および DRAM リフレッシュが発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様に DMAC、 $\overline{\text{BREQ}}$ によるバス権確保も発生しないようにしておいてください。

(j) FKEY レジスタに H'5A を設定し、ユーザマットへの書き込みができるようにしてください。

(k) 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタ ER1 に、書き込みデータ領域の先頭アドレス (FMPDR) の先頭アドレスを汎用レジスタの ER0 に設定します。

FMPAR 設定例

FMPAR は書き込み先アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータ FPFR にはエラーが報告されます。また、128 バイト単位ですので下位 8 ビット (A7 ~ A0) が、H'00 か H'80 の 128 バイト境界である必要があります。

FMPDR 設定例

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFR パラメータにエラーが報告されます。この場合はいったん内蔵 RAM に転送してから書き込むようにしてください。

(1) 書き込み処理の実行

FTDAR で指定したダウンロード先の先頭アドレス + 16 バイトからの領域に、書き込みプログラムのエン트리ポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2    ; エントリーアドレスを ER2 に設定
JSR    @ER2             ; 書き込みルーチンをコール
NOP
```

書き込みプログラムでは R0L 以外の汎用レジスタは保存されます。

R0L は FPFR パラメータの戻り値です。

書き込みプログラムではスタック領域を使用しますので、最大 128 バイトのスタック領域を RAM 上に確保しておいてください。

(m) 書き込みプログラムの戻り値 FPFR (汎用レジスタ R0L) を判定します。

(n) 必要データの書き込みが完了したかを判断します。

128 バイトを超えるデータを書き込む場合、128 バイト単位で FMPAR、FMPDR の設定を行い上記 (1) ~ (m) の処理を繰り返します。書き込み先アドレスの 128 バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

(o) 書き込みが終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い 100 μ s 以上のリセット実施期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 18.12 に示します。

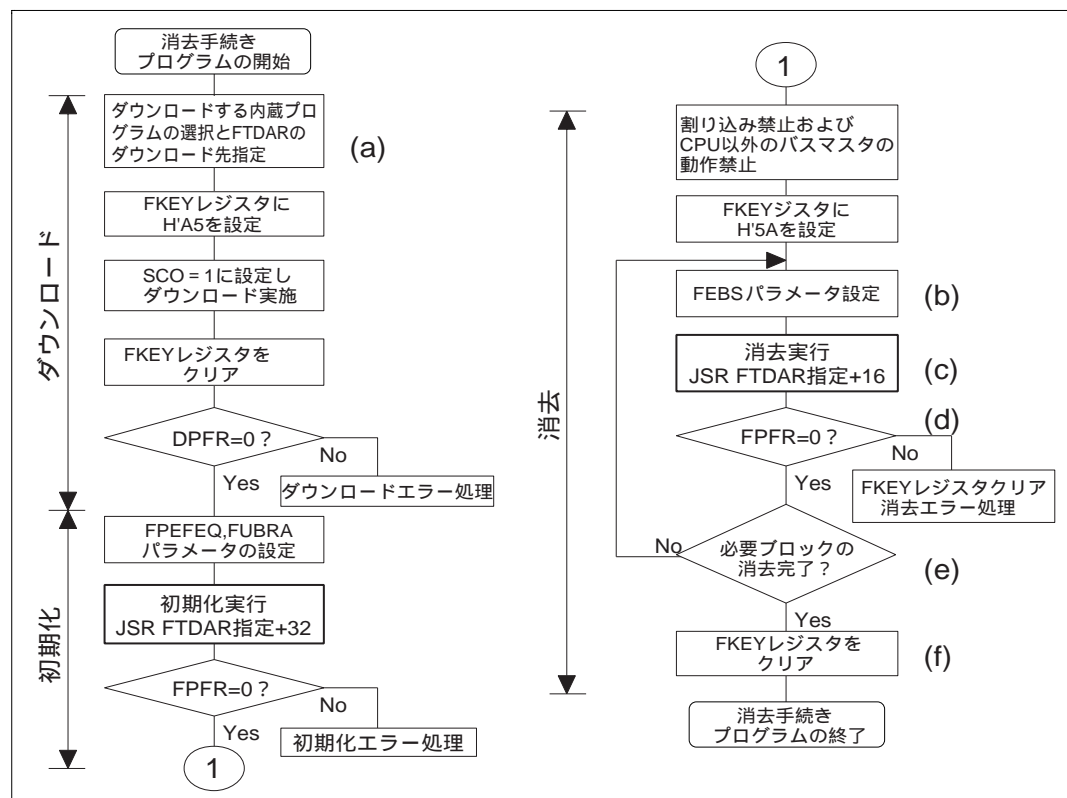


図 18.12 消去手順

消去手順の詳細を説明します。手順プログラムは、消去対象のユーザマツト以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間など）を「18.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 18.10 の書き込み / 消去時の RAM マップを参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 18.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

(a) ダウンロードする内蔵プログラムを選択します。

FECS レジスタの EPVB ビットを 1 に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクトエラー検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化などの手続きは、書き込み手順と同じですので、「18.5.2 (2) ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

(b) 消去に必要な FEBS パラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータ FEBS (汎用レジスタ ER0) に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータ FPFR にはエラーが報告されます。

(c) 消去処理の実行

書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス + 16 バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2    ; エントリーアドレスを ER2 に設定
JSR    @ER2             ; 消去ルーチンをコール
NOP
```

消去プログラムでは R0L 以外の汎用レジスタは保存されます。

R0L は FPFR パラメータの戻り値です。

消去プログラムではスタック領域を使用しますので、最大 128 バイトのスタック領域を RAM 上に確保しておいてください。

(d) 消去プログラムの戻り値 FPFR (汎用レジスタ R0L) を判定します。

(e) 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBS パラメータの更新設定を行い上記 (b) ~ (e) の処理を繰り返します。消去済みブロックに対しての消去は可能です。

(f) 消去が終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットへの消去完了直後、パワーオンリセットで再起動する場合は通常より長い 100 μ s 以上のリセット実施期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去 / 書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

RAM エミュレーション、消去、書き込みを繰り返し実行する場合の使用例を図 18.13 に示します。

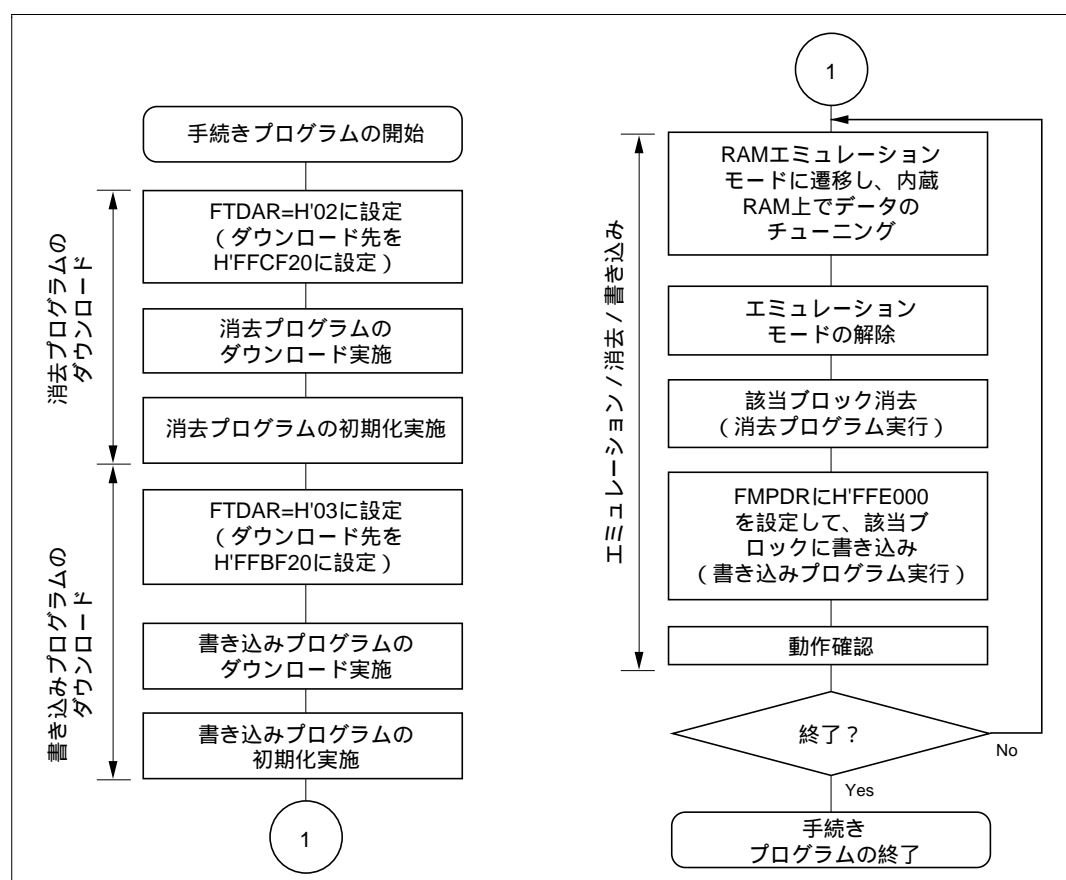


図 18.13 RAM エミュレーション、消去、書き込みの繰り返し例 (概要)

本例では、RAM エミュレーションを実施するため、内蔵 RAM 先頭からの 4k バイト (H'FFE000 ~ H'FFEFFF) を避けて、消去 / 書き込みプログラムをダウンロードしています。また、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。

本例のような手続きを行う場合、以下にご注意ください。

- ・ 内蔵 RAM 領域の重複破壊にご注意ください。
RAM エミュレーション領域、消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵 RAM 上に存在しますので、これらの領域を破壊しないようにしてください。
- ・ 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

FPEFEQ パラメータ、FUBRA パラメータを設定する初期化は、必ず、消去プログラム / 書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭 + 32 番地 (本例では、H'FFCF40)、書き込みプログラムのダウンロード先頭 + 32 番地 (本例では、H'FFBF40) の両方に対して初期化してください。

18.5.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み / 消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み / 消去は、ブートモードまたは PROM モードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 18.1 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受け付けられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、フラッシュマットセレクトレジスタ FMATS には H'AA が設定されています。

ユーザブートマット上のプログラムで NMI 割り込みを使用する場合、リセット解除後 ($\overline{\text{RES}}=1$) $\text{TBD}\mu\text{s}$ たってから $\text{NMI}=1$ としてください。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 18.14 に示します。

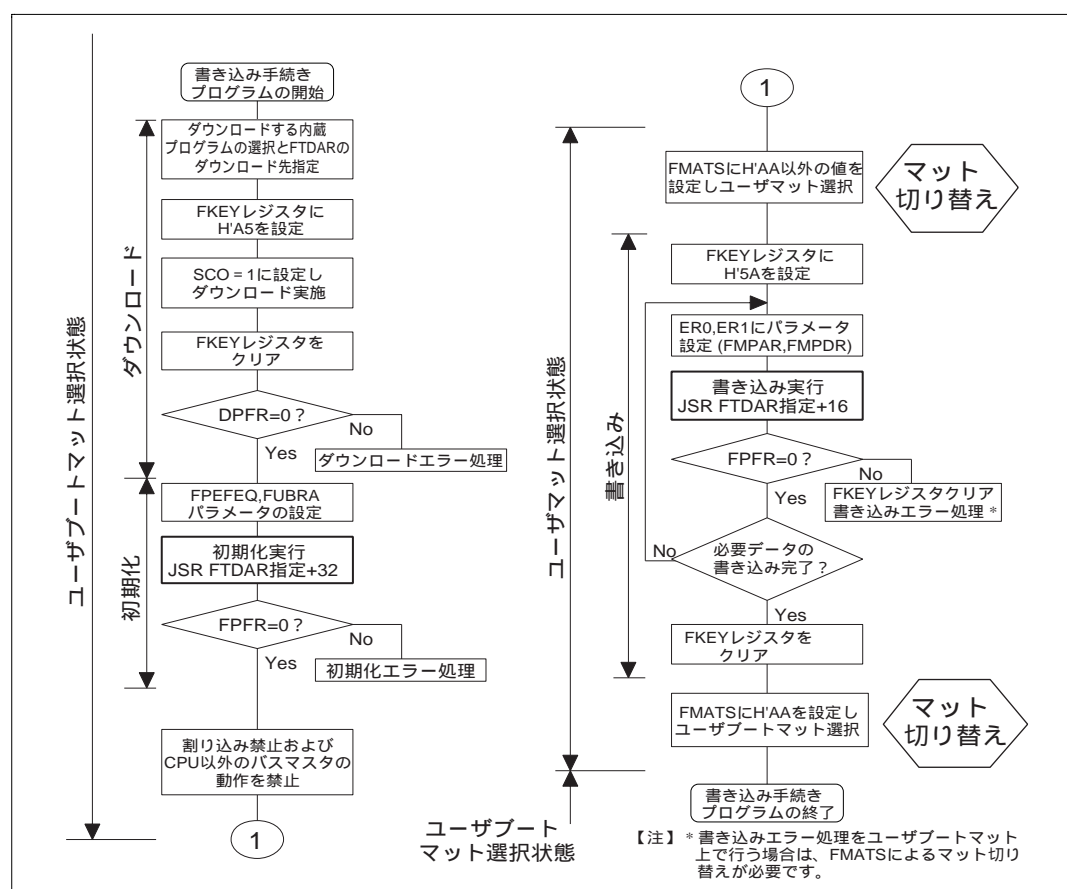


図 18.14 ユーザブートモードでのユーザマトへの書き込み手順

図 18.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマトが見えていて、ユーザマトは「裏」に隠れている状態です。ユーザマトに書き込む処理の間だけ、ユーザマトとユーザブートマトを切り替えます。書き込み処理中は、ユーザブートマトは隠れており、かつユーザマトは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り換えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「18.8 ユーザマトとユーザブートマトの切り替え」の説明に従ってください。

マット切り換え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマト、外部空間など）については「18.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 18.15 に示します。

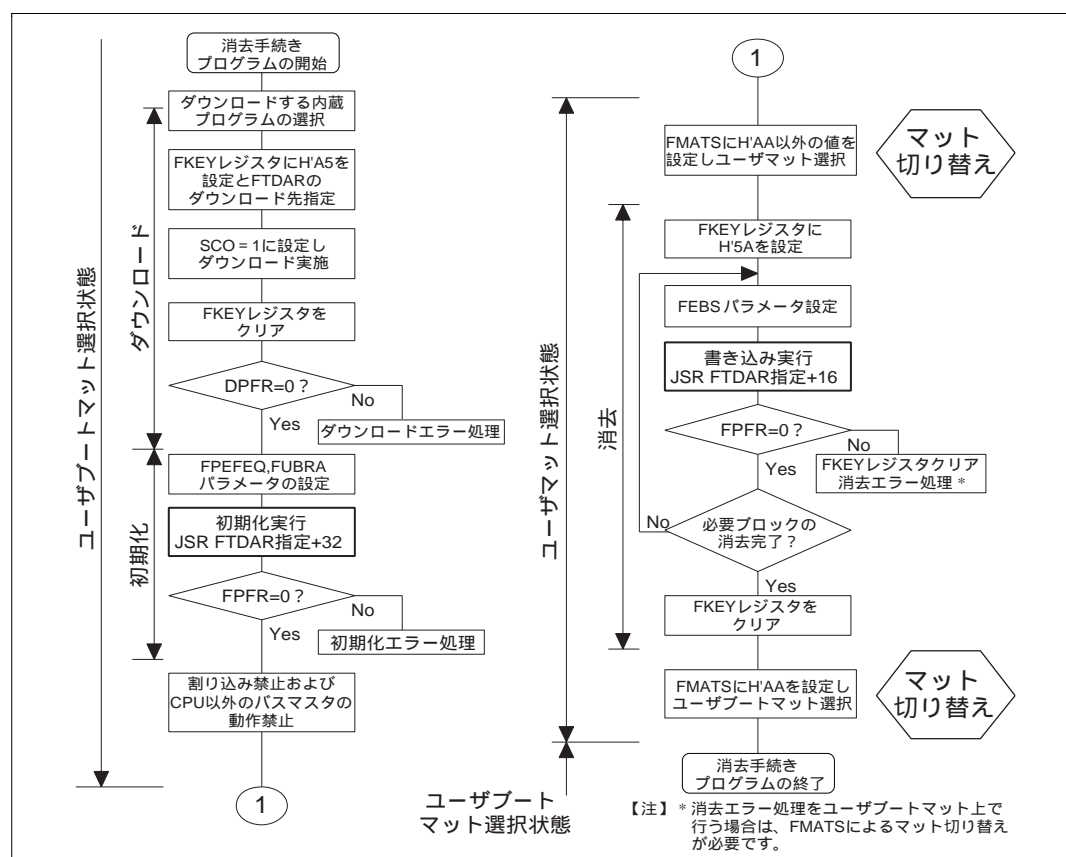


図 18.15 ユーザブートモードでのユーザマットの消去手順

図18.15に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATSレジスタへ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「18.8 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵RAM、ユーザマット、外部空間など）については「18.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

18.6 プロテクト

フラッシュメモリに対する書き込み／消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトの2種類があります。

18.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み／消去プログラムを起動してもユーザマットの書き込み／消去はできず、書き込み／消去エラーがFPFRパラメータで報告されます。

表 18.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	・ FWE 端子にローレベルが入力されているときには、FCCS の FWE ビットがクリアされ、書き込み／消去プロテクト状態になります。	—	
リセット、スタンバイプロテクト	・ パワーオンリセット(WDT によるパワーオンリセットも含む)およびスタンバイ時は、書き込み／消去インタフェースレジスタが初期化され、書き込み／消去プロテクト状態になります。 ・ $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。書き込み／消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。		

18.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み／消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、RAM エミュレーションレジスタによるプロテクトがあります。

表 18.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビット プロテクト	・ FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み / 消去プログラムのダウンロードができないため、書き込み / 消去プロテクト状態になります。		
FKEY レジスタ プロテクト	・ FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み / 消去ができません。ダウンロードと書き込み / 消去では、異なったキーコードの設定が必要です。		
エミュレー ション プロテクト	・ RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、書き込み / 消去プロテクト状態になります。		

18.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や規定の書き込み / 消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み / 消去は中断されます。

FLER ビットのセット条件を以下に示します。

- (1) 書き込み / 消去中に NMI などの割り込みが発生したとき
- (2) 書き込み / 消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)
- (3) 書き込み / 消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む)
- (4) 書き込み / 消去中に CPU 以外のバスマスタ (DMAC、 $\overline{\text{BREQ}}$) が、バス権を確保したとき

エラープロテクトの解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μs の期間の後にリセットリリースしてください。フラッシュメモリには書き込み / 消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。

このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 18.16 にエラープロテクト状態への状態遷移図を示します。

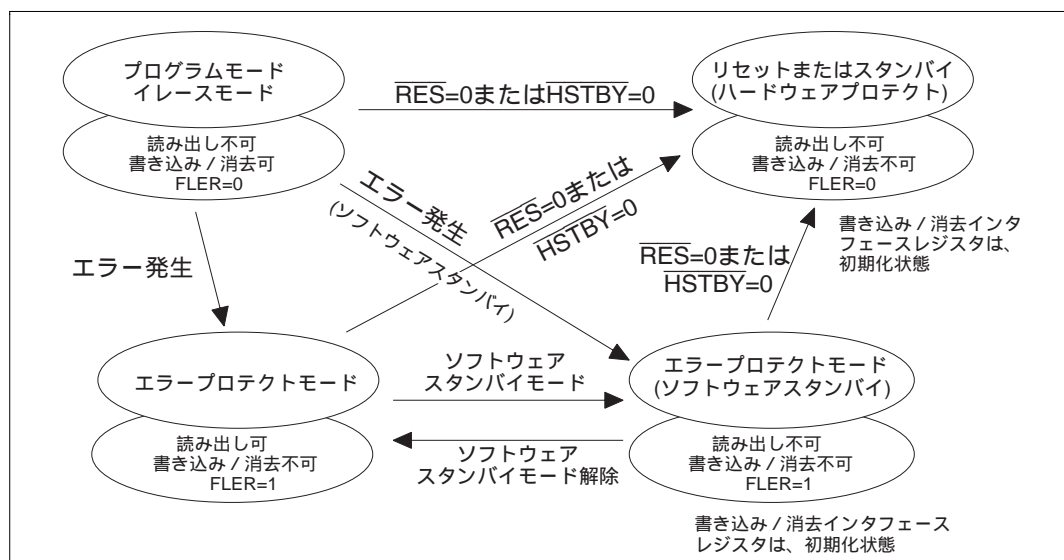


図 18.16 エラープロテクト状態への状態遷移図

18.7 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM コントロールレジスタ (RAMCR) で設定したフラッシュメモリ (ユーザマット) のエリアに RAM の一部を重ね合わせて使うことができます。RAMCR の設定後がユーザマットのエリアとここに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 18.17、図 18.18 にユーザマットのリアルタイムな書き換えをエミュレートする例を示します。

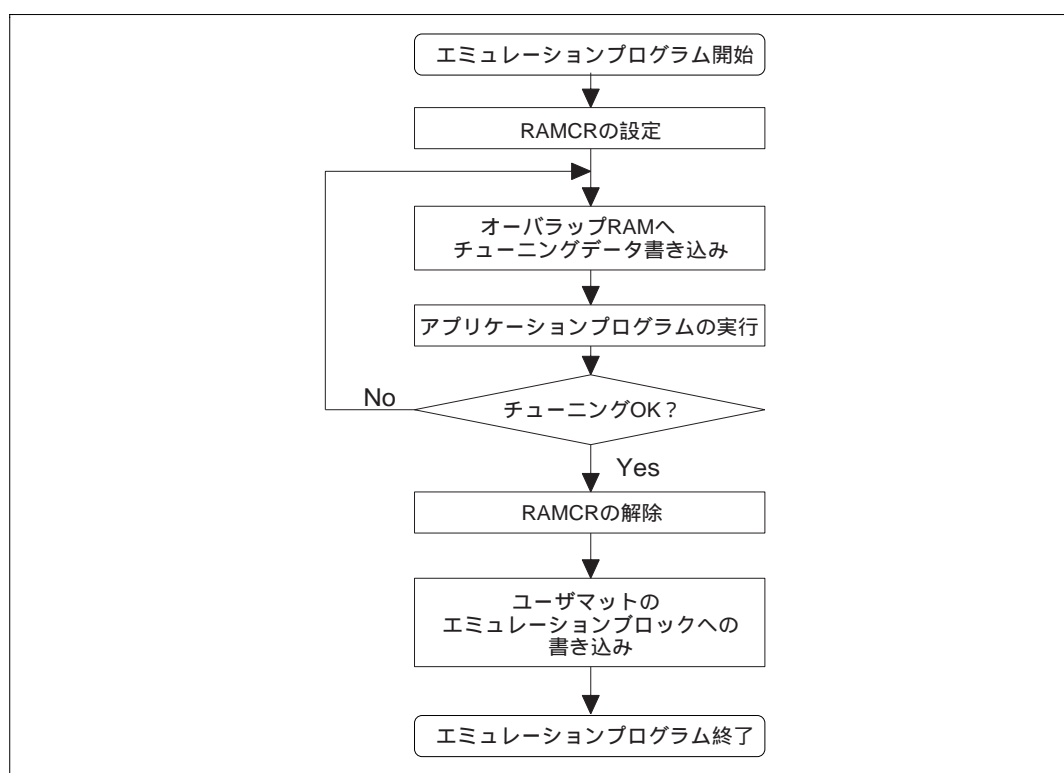


図 18.17 RAM によるエミュレーション

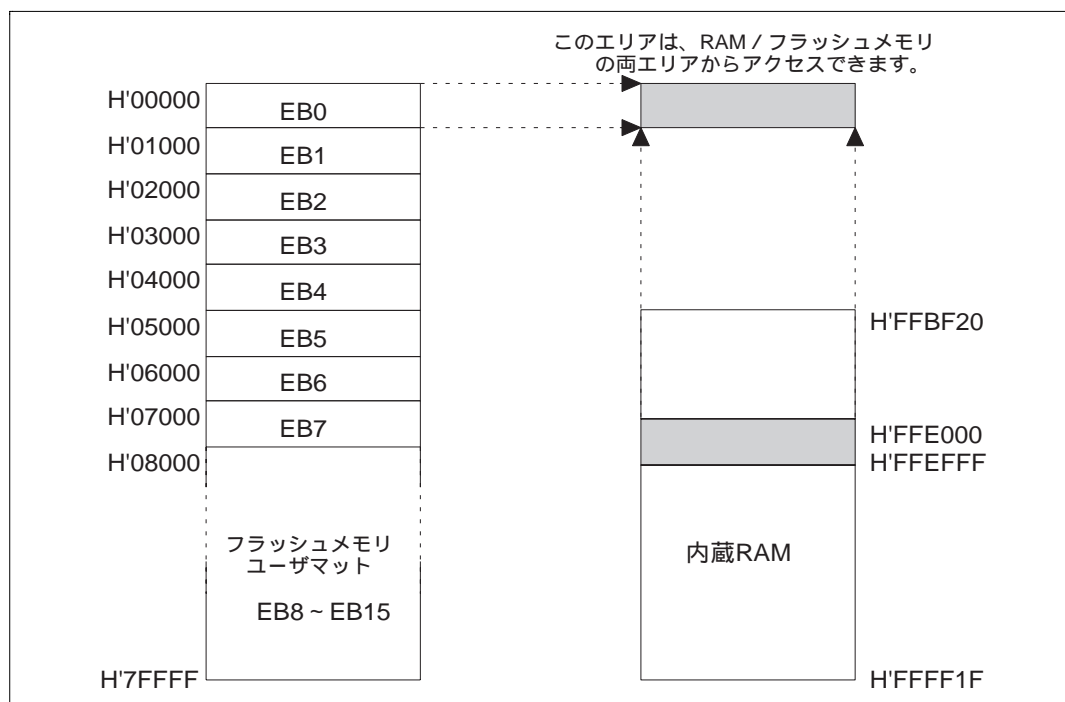


図 18.18 RAM のオーバーラップ動作例

図 18.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

エミュレーション可能なフラッシュメモリの領域は、ユーザマットのバンク 0 の EB0 ~ EB7 の 8 エリアから RAMCR レジスタの RAM2 ~ 0 ビットで選択した 1 エリアです。

- (1) リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMCR の RAMS ビットを 1、RAM2 ~ 0 ビットを 0 に設定してください。
- (2) リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。

ユーザマットへの書き込み / 消去実行においては、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このときに、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないようにダウンロード領域を設定してください。FTDAR が初期値 (H'00) および H'01 の場合、チューニング領域の一部とダウンロード領域の一部が重複しますので、事前に未使用領域に確定した書き換えデータの退避が必要になります。

図 18.19 に、エミュレーション完了後のデータをユーザマットの EB0 領域に書き込む例を示します。

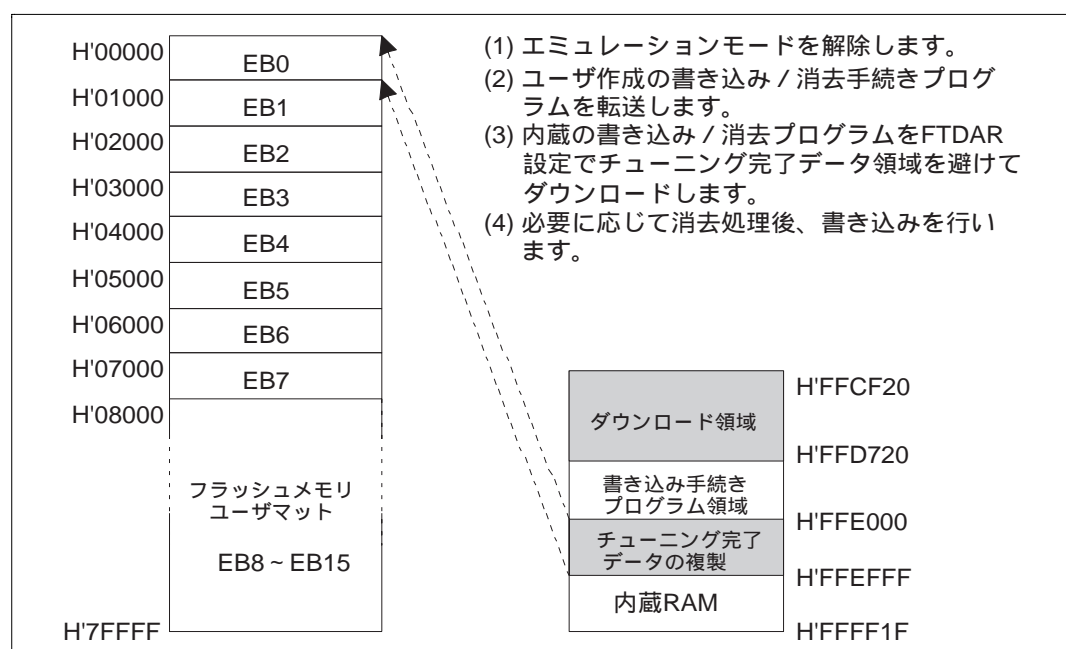


図 18.19 チューニング完了データの書き込み

- (1) 書き換えデータ確定後、RAMS ビットをクリアして RAM のオーバーラップを解除します。
- (2) ユーザ作成の書き込み / 消去手続きプログラムを RAM 上に転送します。
- (3) RAM 上の書き込み / 消去手続きプログラムを起動し、マイコン内蔵の書き込み / 消去プログラムを RAM 上にダウンロードします。
 この時、FTDAR レジスタ設定により、チューニング完了データ領域とダウンロード領域が重複しないようにダウンロード先頭アドレスを指定してください。
- (4) ユーザマットの EB0 エリアが消去されていない場合は、消去処理を行った後に書き込みプログラムをダウンロードすることになります。書き込みデータのパラメータ FMPAR、FMPDR にチューニング完了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2 ~ 0 の値にかかわらず、フラッシュマットの全ブロックが書き込み / 消去プロテクト状態となります (エミュレーションプロテクト)。この状態では、内蔵プログラムのダウンロードもできませんので、実際に書き込み / 消去を実施する場合は RAMS ビットをクリアしてください。

18.8 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

(1) FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。

(2) 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの前後には、同じく内蔵RAM上で4個のNOP命令を実行してください(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)。

(3) 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。

必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。

(4) マット切り替え完了後は、各種割り込みのベクターテーブルも切り替わっていますので注意してください。

マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもFVACR、FVADRレジスタの設定により内蔵RAM上に設定するなどをお願いします。

(5) ユーザマットとユーザブートマットはメモリサイズが異なります。8kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8kバイト空間以上をアクセスした場合、不定値が読み出されます。

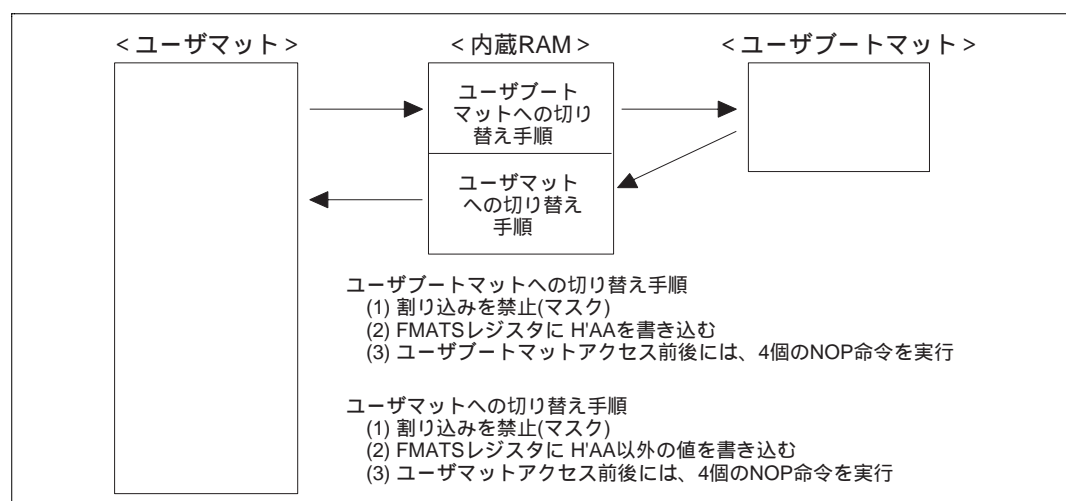


図 18.20 ユーザマット/ユーザブートマットの切り換え

18.8.1 使用上の注意

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ 2k バイト以内です。よって、CPU クロック周波数が、25MHz の場合、それぞれ最大で約 164 μ s のダウンロード時間となります。

(2) DMAC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS レジスタの SCO ビットや、マット切り替えの FMATS レジスタは、内蔵 RAM 上で命令実行中ならば、DMAC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DMAC でのフラッシュ関連レジスタへの書き込みを行わないでください。

(3) 従来の F-ZTAT H8 マイコンとの書き込み / 消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT H8 マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

本 F-ZTAT H8 マイコンでのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。

(4) WDT による暴走などのモニタ

従来の F-ZTAT H8 マイコンと異なり、書き込み / 消去中は WDT による暴走などへの対応は、実施していません。

必要に応じて、書き込み / 消去の実行時間を考慮した WDT での対応を実施してください（ユーザブランチルーチンの使用、定期的なタイマ割り込みの使用など）。

18.9 PROM モード

プログラム / データの書き込み / 消去が可能なモードとして、オンボードプログラミングモード以外に PROM モードがあります。PROM モードでは日立 512k バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み / 消去対象マツトは、ユーザマツトとユーザブツトマツトです。

自動書き込み / 自動消去 / ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。PROM モードでは、モード端子を表 18.11 の設定とし、入力クロックとして 12MHz を入力してください。

表 18.11 ライタモードの端子

端子名	設定
モード端子: P82、P81、P80	1、0、0

18.9.1 ソケットアダプタの端子対応図

図 18.22 に示すようにソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマツプを図 18.21 に、ソケットアダプタの端子対応図を図 18.22 に示します。

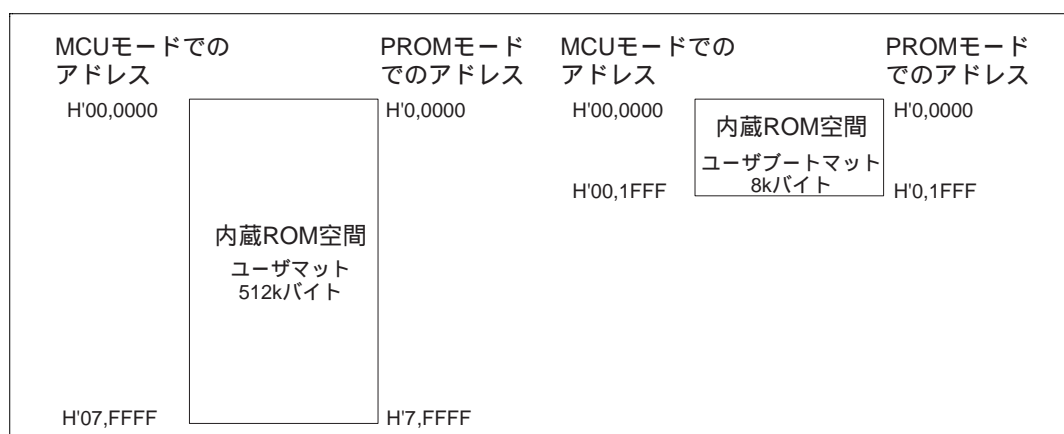


図 18.21 内蔵フラッシュのメモリマツプ

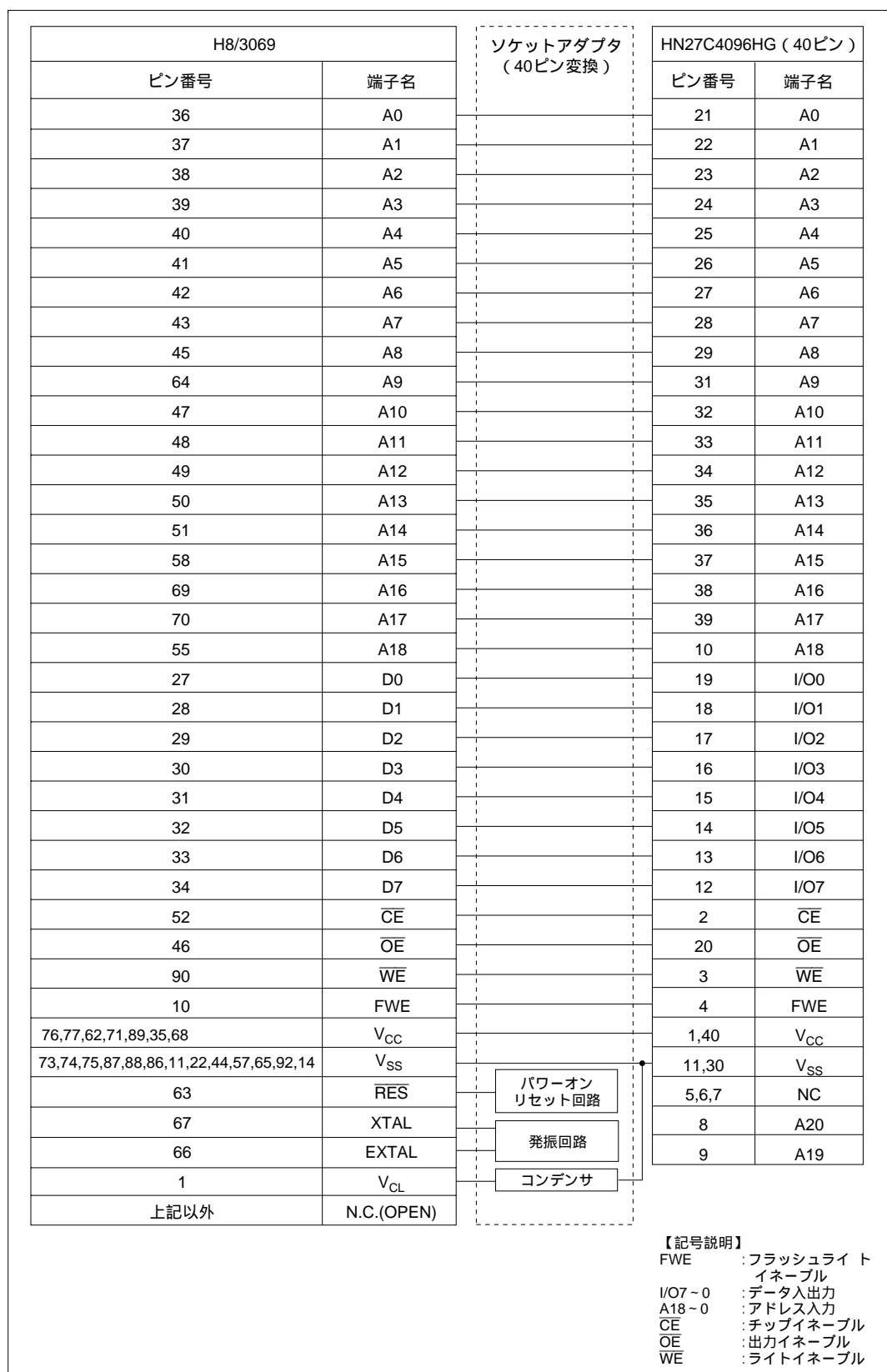


図 18.22 ソケットアダプタの端子対応図

18.9.2 PROM モードの動作

表 18.12 に PROM モード時の各動作モードの設定方法、表 18.13 に PROM モード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

- ・ メモリ読み出しモード
メモリ読み出しモードは、ユーザマットおよびユーザブートマットのバイト読み出しをサポートします。
- ・ 自動書き込みモード
自動書き込みモードでは、ユーザマットおよびユーザブートマットへの 128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しています。
- ・ 自動消去モード
自動消去モードでは、ユーザマットおよびユーザブートマットの全面自動消去のみをサポートします。自動消去終了確認にステータスポーリング方式を採用しています。
- ・ ステータス読み出しモード
自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 18.12 PROM モード時の各動作モードの設定方法

モード	ピン名					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7 ~ 0	A18 ~ 0
リード	Hor L	L	L	H	データ出力	Ain
出力ディスエーブル	Hor L	L	H	H	Hi-z	X
コマンド書き込み	Hor L	L	H	L	データ入力	*Ain
チップディスエーブル	Hor L	H	X	X	Hi-z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. 自動書き込み / 消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。
- * Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 18.13 PROM モード時の各コマンド

コマンド名	サイクル数	対象メモリ マツ	第 1 サイクル			第 2 サイクル		
			モード	アドレス	コマンド	モード	アドレス	データ
メモリ読み出しコマンド	1+n	ユーザマツ	write	X	H'00	read	RA	Dout
		ユーザブート マツ	write	X	H'05			
自動書き込みコマンド	129	ユーザマツ	write	X	H'40	write	WA	Din
		ユーザブート マツ	write	X	H'45			
自動消去コマンド	2	ユーザマツ	write	X	H'20	write	X	H'20
		ユーザブート マツ	write	X	H'25			H'25
ステータス読み出し コマンド	2	両マツ共通	write	X	H'71	write	X	H'71

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

18.9.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了時は、コマンド待ち状態に移っています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
 - (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
 - (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
 - (4) 電源投入後は、ユーザマツのメモリ読み出しモードに移移します。
- メモリ読み出しモード時の AC 特性については、「18.10.2 PROM モードの AC 特性、タイミング」を参照してください。

18.9.4 自動書き込みモード

- (1) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (2) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (3) 転送するアドレスの下位 7 ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移移しますが、書き込みエラーとなります。

- (4) メモリアドレスの転送は、第2サイクルで行います。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書きこまれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7のステータスポーリングは、自動書き込み終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。
自動書き込みモード時のAC特性については、「18.10.2 PROMモードのAC特性、タイミング」を参照してください。

18.9.5 自動消去モード

- (1) 自動消去モードでは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(I/O7のステータスポーリングは、自動消去終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

自動消去モード時のAC特性については、「18.10.2 PROMモードのAC特性、タイミング」を参照してください。

18.9.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込み/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

ステータス読み出しモードのリターンコードを表18.14に示します。

ステータス読み出しモード時のAC特性については、「18.10.2 PROMモードのAC特性、タイミング」を参照してください。

表 18.14 ステータス読み出しモードのリターンコード

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了: 0 異常終了: 1	コマンド エラー: 1 その他: 0	書き込み エラー: 1 その他: 0	消去 エラー: 1 その他: 0	-	-	回数オーバ 時: 1 その他: 0	有効アドレス エラー: 1 その他: 0

【注】 I/O2、3は未定義です。

18.9.7 ステータスポーリング

- (1) I/O7 のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6 のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 18.15 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0 ~ 5	0	0	0	0

18.9.8 PROM モードへの遷移時間

発振安定時間、PROM モードセットアップ時間は、コマンドを受け付けることができません。PROM モードセットアップ時間後、メモリ読み出しモードに遷移します。「18.10.2 PROM モードの AC 特性、タイミング」を参照してください。

18.9.9 PROM モード使用時の注意事項

- (1) すでに書きこまれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラミングモードにて書き込み / 消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。

- (3) 書き込み / 消去実行中に、マイコンチップを PROM ライタから取り外したり、リセットを入力することはやめてください。書き込み / 消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100 μ s の通常より長いリセット期間の後にリセットリリースしてください。
- (4) 日立出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
- (5) 本 LSI では、汎用 EPROM のような製品識別モードをサポートしていませんので、PROM ライタにデバイス名を自動設定することができません。
- (6) 本 LSI の PROM モードに適合する PROM ライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。

18.10 付録

18.10.1 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ステータス

ブートプログラムは 3 つのステータスをもちます。

(1) ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

(2) 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを RAM 上に転送し、ユーザマットとユーザブートマットを消去します。

(3) 書き込み消去ステータス

書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み、消去プログラムを RAM に転送し、書き込み / 消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 18.23 に示します。

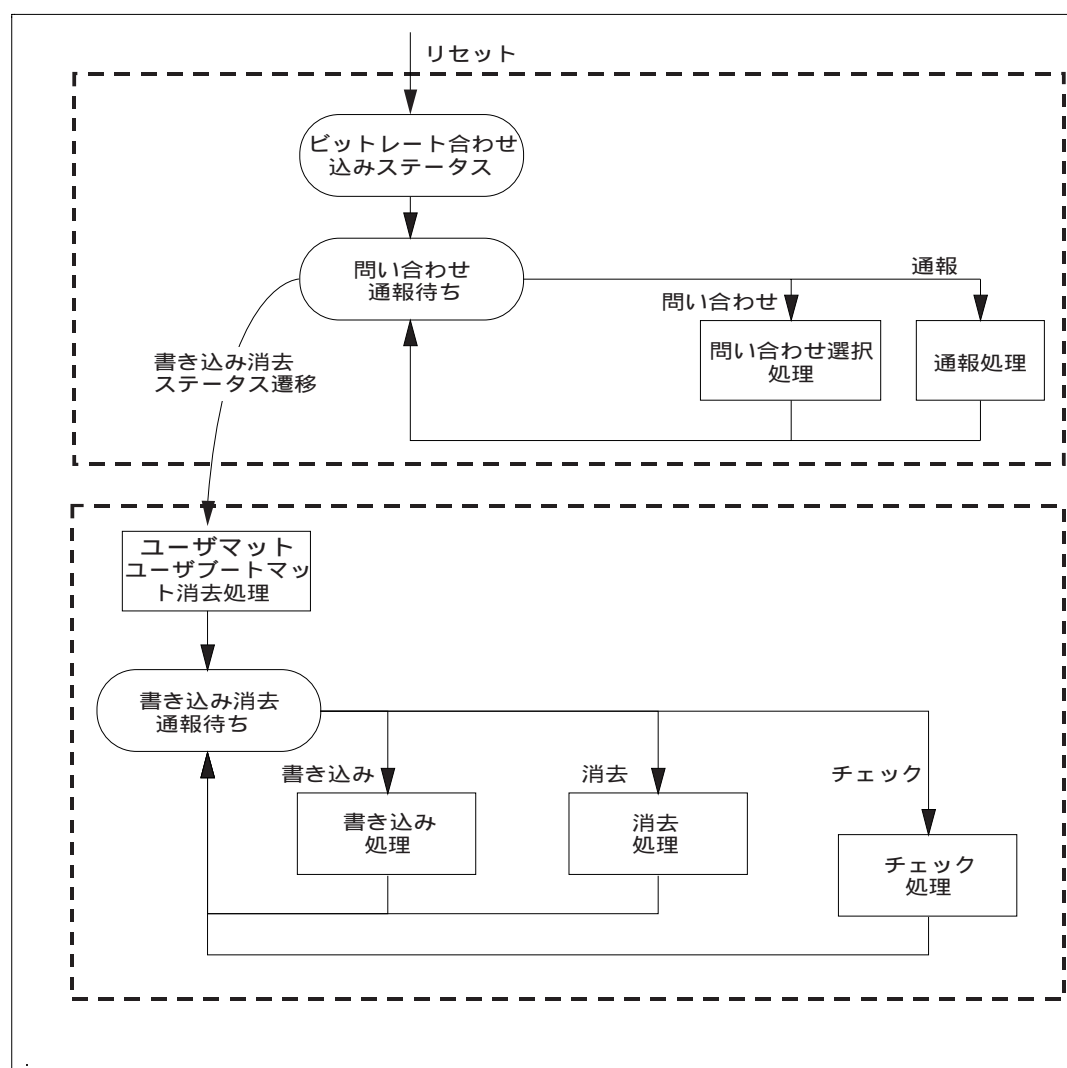


図 18.23 ブートプログラムのステータス

ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 18.24 に示します。

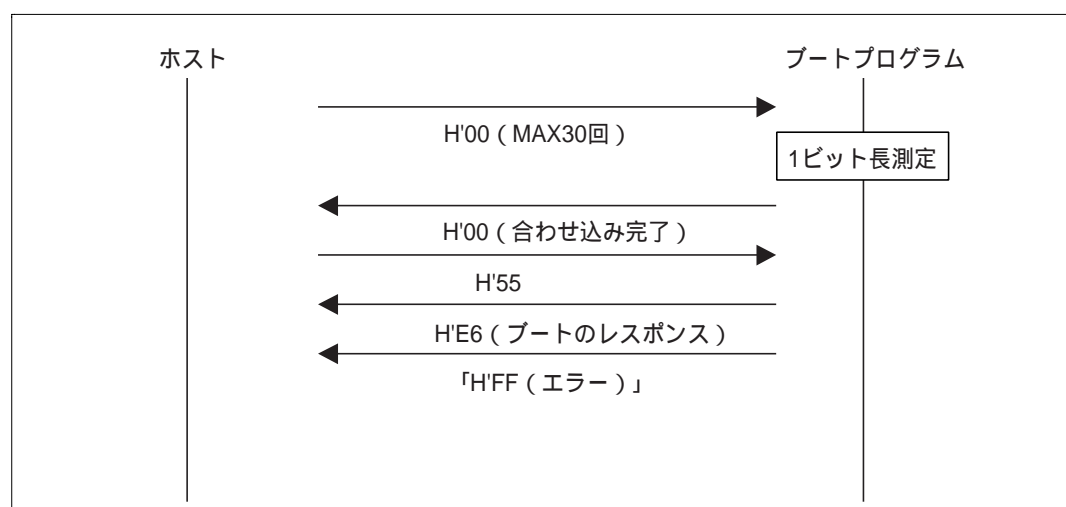


図 18.24 ビットレート合わせ込みのシーケンス

通信プロトコル

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

(1) 1文字コマンドまたは1文字レスポンス

コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

(2) n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

(3) エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

(4) 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

(5) メモリリードのレスポンス

サイズが4バイトのレスポンスです。

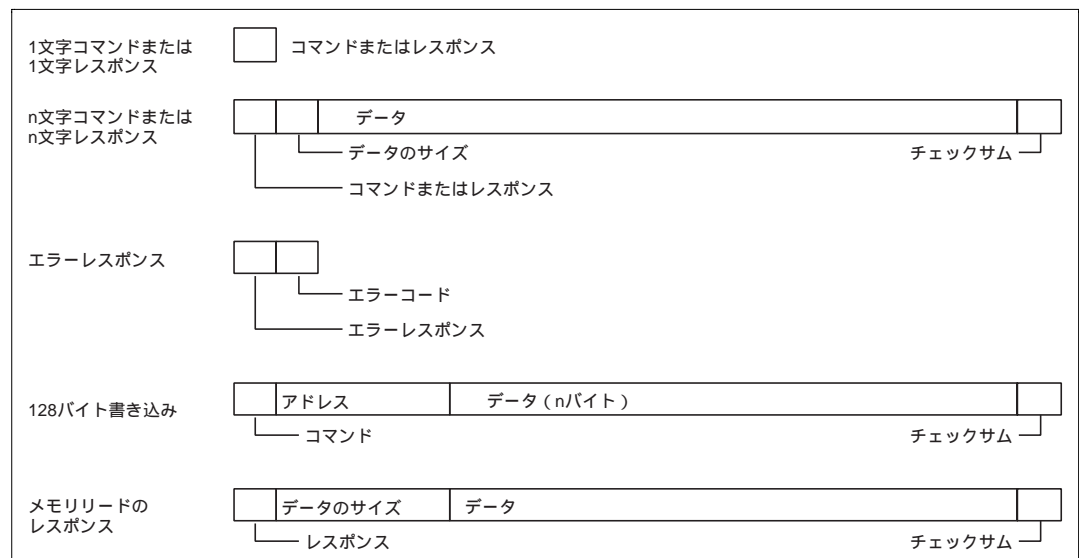


図 18.25 通信プロトコルフォーマット

- ・ コマンド (1 バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- ・ レスポンス (1 バイト) : 問い合わせに対する応答
- ・ サイズ (1 バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- ・ データ (n バイト) : コマンド、レスポンスの詳細データ
- ・ チェックサム (1 バイト) : コマンドから SUM まで加算し、H'00 となるように設定
- ・ エラーレスポンス (1 バイト) : コマンドに対するエラーレスポンス
- ・ エラーコード (1 バイト) : 発生したエラーの種類
- ・ アドレス (4 バイト) : 書き込みアドレス
- ・ データ (n バイト) : 書き込みデータ、n は書き込みサイズ問い合わせコマンドのレスポンスで知る
- ・ データのサイズ (4 バイト) : メモリリードのレスポンスで 4 バイト長

問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュ ROM の情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を下表に示します。

表 18.16 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択（H'10）、クロックモード選択（H'11）、新ビットレート選択（H'3F）の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ（H'4F）を除いて、書き込み消去ステータス遷移（H'40）を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ（H'4F）は書き込み消去ステータス遷移（H'40）を受け付け後も有効です。

(1) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- ・ コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- ・ レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- ・ サイズ(1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- ・ デバイス数(1バイト) : マイコン内のブートプログラムがサポートする品種数
- ・ 文字数(1バイト) : デバイスコードとブートプログラム品名の文字数
- ・ デバイスコード(4バイト) : サポートする品名の ASCII コード
- ・ 品名(nバイト) : ブートプログラム型名、ASCII コード
- ・ SUM(1バイト) : サムチェック、コマンドから SUM まで加算し、H'00 となるように設定

(2) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド	H'10	サイズ	デバイスコード	SUM
------	------	-----	---------	-----

- ・ コマンド「H'10」(1バイト) : デバイス選択
- ・ サイズ(1バイト) : デバイスコードの文字数(固定値で2)
- ・ デバイスコード(4バイト) : サポートデバイス問い合わせで応答したデバイスコード(ASCII コード)
- ・ SUM(1バイト) : サムチェック

レスポンス

H'06

- ・ レスポンス「H'06」（1 バイト）：デバイス選択に対する応答、デバイスコードが一致したとき ACK

エラー

レスポンス

H'90	ERROR
------	-------

- ・ エラーレスポンス「H'90」（1 バイト）：デバイス選択に対するエラー応答
- ・ ERROR：（1 バイト）：エラーコード

H'11：サムチェックエラー

H'21：デバイスコードエラー、デバイスコードが一致しない

（３）クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- ・ コマンド「H'21」（1 バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- ・ レスポンス「H'31」（1 バイト）：クロックモード問い合わせに対する応答
- ・ サイズ（1 バイト）：モード数、モードの合計サイズ
- ・ クロックモード数（1 バイト）：デバイスで選択可能なクロックモード数
H'00 の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- ・ モード（1 バイト）：選択可能なクロックモード（例：H'01 クロックモード 1）
- ・ SUM（1 バイト）：サムチェック

（４）クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- ・ コマンド「H'11」（1 バイト）：クロックモード選択
- ・ サイズ（1 バイト）：モードの文字数、固定値で 1
- ・ モード（1 バイト）：クロックモード問い合わせで応答されたクロックモード
- ・ SUM（1 バイト）：サムチェック

レスポンス

H'06

- ・ レスポンス「H'06」（1 バイト）：クロックモード選択に対する応答、クロックモードが一致したとき ACK

エラー

レスポンス

H'91	ERROR
------	-------

- ・ エラーレスポンス「H'91」（1 バイト）：クロックモード選択に対するエラー応答
- ・ ERROR：（1 バイト）：エラーコード

H'11：サムチェックエラー

H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問合せでクロックモード数が H'00、H'01 の場合もそれぞれその値で、クロックモード選択をしてください。

（5）逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド

H'22

- ・ コマンド「H'22」（1 バイト）：逡倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逡倍比数	逡倍比	...					
...							
SUM							

- ・ レスポンス「H'32」（1 バイト）：逡倍比問い合わせに対する応答
- ・ サイズ（1 バイト）：種別数、逡倍比数、逡倍比の合計サイズ
- ・ 種別数（1 バイト）：デバイスで選択可能な逡倍比の種別の数
（メイン動作周波数と周辺モジュール動作周波数の2種類なら H'02）
- ・ 逡倍比数（1 バイト）：各動作周波数で選択可能な逡倍比数
メインモジュール、周辺モジュールで選択可能な逡倍比数
- ・ 逡倍比（1 バイト）
 - ・ 逡倍比： 逡倍する数値（例 4 逡倍：H'04）
 - ・ 分周比： 分周する数値、負の数（例 2 分周：H'FE[-2]）

逡倍比を逡倍比数の数だけ繰り返し、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。

- ・ SUM（1 バイト）：サムチェック

(6) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- ・ コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- ・ レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- ・ サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- ・ 周波数の数（1バイト）：デバイスで必要な動作周波数の種類数、
例えば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- ・ 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値、
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値
（例えば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- ・ 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値、
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- ・ SUM（1バイト）：サムチェック

(7) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- ・ コマンド「H'24」（1バイト）：ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- ・ レスポンス「H'34」（1バイト）：ユーザブートマット情報問い合わせに対する応答
- ・ サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ

- ・ エリア数（1バイト）：連続したユーザブートマットのエリアの数、ユーザブートマットのエリアが連続の場合は H'01
- ・ エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- ・ エリア最終アドレス（4バイト）：エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- ・ SUM（1バイト）：サムチェック

（8）ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- ・ コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- ・ レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- ・ サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- ・ エリア数（1バイト）：連続したユーザマットのエリアの数、ユーザマットのマットエリアが連続の場合は H'01
- ・ エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- ・ エリア最終アドレス（4バイト）：エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- ・ SUM（1バイト）：サムチェック

（9）消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- ・ コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- ・ レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答

- ・ サイズ (1 バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ・ ブロック数 (1 バイト) : フラッシュメモリ消去ブロック数
- ・ ブロック先頭アドレス (4 バイト) : ブロックの先頭アドレス
- ・ ブロック最終アドレス (4 バイト) : ブロックの最終アドレス、
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- ・ SUM (1 バイト) : サムチェック

(10) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- ・ コマンド「H'27」(1 バイト) : 書き込みサイズ問い合わせ

レスポンス

H'37	サイズ	書き込みサイズ	SUM
------	-----	---------	-----

- ・ レスポンス「H'37」(1 バイト) : 書き込みサイズ問い合わせに対する応答
- ・ サイズ (1 バイト) : 書き込み単位のサイズの文字数、固定値で 2
- ・ 書き込みサイズ (2 バイト) : 書き込み単位のサイズ、
このサイズで書き込みデータを受け取る
- ・ SUM (1 バイト) : サムチェック

(11) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
逡倍比数	逡倍比 1	逡倍比 2	
SUM			

- ・ コマンド「H'3F」(1 バイト) : 新ビットレート選択
- ・ サイズ (1 バイト) : ビットレート、入力周波数、逡倍比数、逡倍比の合計サイズ
- ・ ビットレート (2 バイト) : 新ビットレート、
1/100 の値とする、(例えば、19200bps のときは 192 とし、H'00C0 とする)
- ・ 入力周波数 (2 バイト) : ブートプログラムに入力されるクロック周波数、
周波数 (MHz) の小数点 2 位までの値とする (例えば、20.00MHz のときは 100 倍して 2000 とし、H'07D0 とする)
- ・ 逡倍比数 (1 バイト) : デバイスで選択可能な逡倍比数、
通常はメイン動作周波数と周辺モジュール動作周波数で 2

- ・ 通倍比 1 (1 バイト) : メイン動作周波数の通倍比または分周比
 - ・ 通倍比 : 通倍する数値 (例 4 通倍 : H'04 本 LSI では H'01 を設定してください)
 - ・ 分周比 : 分周する数値、負の数値 (例 2 分周 : H'FE[- 2] 本 LSI では H'01 を設定してください)
- ・ 通倍比 2 (1 バイト) : 周辺動作周波数の通倍比または分周比
 - ・ 通倍比 : 通倍する数値 (例 4 通倍 : H'04 本 LSI では H'01 を設定してください)
 - ・ 分周比 : 分周する数値、負の数値 (例 2 分周 : H'FE[- 2] 本 LSI では H'01 を設定してください)
- ・ SUM (1 バイト) : サムチェック
レスポンス

H'06

- ・ レスポンス「H'06」(1 バイト) : 新ビットレート選択に対する応答、選択可能なとき ACK
エラー
レスポンス

H'BF	ERROR
------	-------

- ・ エラーレスポンス「H'BF」(1 バイト) : 新ビットレート選択に対するエラー応答
- ・ ERROR : (1 バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'24 : ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25 : 入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26 : 通倍比エラー、通倍比が一致しない*
 - H'27 : 動作周波数エラー、動作周波数が最小値と最大値の範囲にない*

【注】 * 本 LSI ではこのエラーは発生しません。

受信データのチェック

受信したデータのチェック方法を以下に示します。

(1) 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

(2) 逡倍比

受信した逡倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逡倍比または分周比と一致するかどうかをチェックします。一致しなければ逡倍比エラーです。

(3) 動作周波数

受信した入力周波数と逡倍比または分周比とから動作周波数を計算します。入力周波数は LSI に供給される周波数で、動作周波数は実際に LSI が動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 逡倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

(4) ビットレート

ペリフェラル動作周波数 () とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が 4% 未満であるかどうかをチェックします。誤差が 4% 以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{* 10^6}{(N + 1) * B * 64 * 2^{(2 * n - 1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- ・ 確認「H'06」(1 バイト) : 新ビットレートの確認

レスポンス

H'06

- ・ レスポンス「H'06」(1 バイト) : 新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 18.26 に示します。

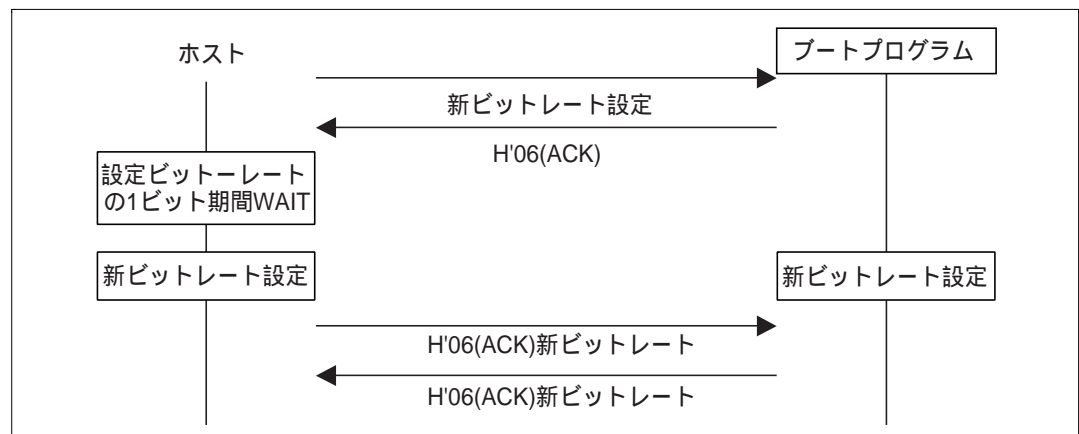


図 18.26 新ビットレート選択のシーケンス

書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACKを応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドでLSIのデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- ・ コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- ・ レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたとき ACK

エラー

レスポンス

H'C0	H'51
------	------

- ・ エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- ・ エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。例えば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- ・ エラーレスポンス「H'80」（1バイト）：コマンドエラー
- ・ コマンド「H'xx」（1バイト）：受信したコマンド

コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

- (1) サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
- (2) 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
- (3) クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
- (4) 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
- (5) デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
- (6) 逡倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
- (7) デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
- (8) 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を下表に示します。

表 18.17 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

・書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

(1) ユーザブートマット書き込み選択

(2) ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 18.27 に示します。

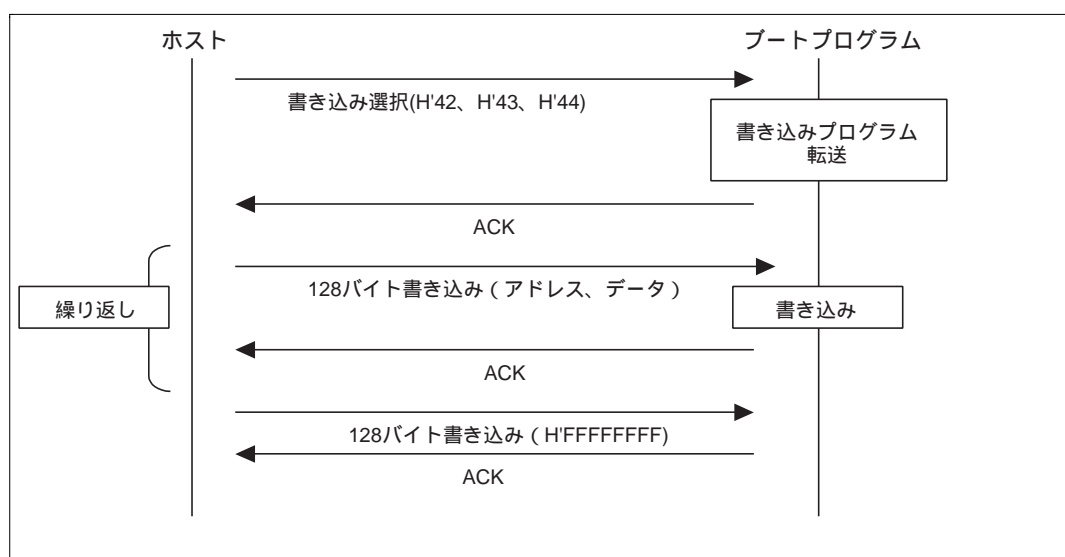


図 18.27 書き込みシーケンス

(1) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- ・ コマンド「H'42」（1バイト）：ユーザブートプログラム書き込み選択

レスポンス

H'06

- ・ レスポンス「H'06」（1バイト）：ユーザブートプログラム書き込み選択に対する応答、書き込みプログラムを転送したとき ACK

エラー

レスポンス

H'C2	ERROR
------	-------

- ・ エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ・ ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- ・ コマンド「H'43」（1バイト）：ユーザプログラム書き込み選択

レスポンス

H'06

- ・ レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したとき ACK

エラー

レスポンス	H'C3	ERROR
-------	------	-------

- ・ エラーレスポンス「H'C3」（1バイト）：ユーザプログラム書き込み選択に対するエラー応答
- ・ ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

（3）128 バイト書き込み

128 バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	...							
	SUM							

- ・ コマンド「H'50」（1バイト）：128 バイト書き込み
- ・ 書き込みアドレス（4 バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数
例）H'00,H'01,H'00,H'00：H'01000000
- ・ 書き込みデータ（128 バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- ・ SUM（1 バイト）：サムチェック

レスポンス	H'06
-------	------

- ・ レスポンス「H'06」（1バイト）：128 バイト書き込みに対する応答、書き込みが完了したとき ACK

エラー

レスポンス

H'D0	ERROR
------	-------

- ・ エラーレスポンス「H'D0」（1バイト）：128 バイト書き込みに対するエラー応答
- ・ ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'28：アドレスエラー、アドレスが指定のマットの範囲にない

H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。例えば、データ書

き込みサイズが 128 バイトのときは、アドレスの下位バイトを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータがない部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFFF の n バイト書き込みコマンドを送信してください。アドレス H'FFFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- ・ コマンド「H'50」（1 バイト）：128 バイト書き込み
- ・ 書き込みアドレス（4 バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- ・ SUM（1 バイト）：サムチェック

レスポンス	H'06
-------	------

- ・ レスポンス「H'06」（1 バイト）：128 バイト書き込みに対する応答、書き込み処理が完了したとき ACK

エラー

レスポンス

H'D0	ERROR
------	-------

- ・ エラーレスポンス「H'D0」（1 バイト）：128 バイト書き込みに対するエラー応答
- ・ ERROR：（1 バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 18.28 に示します。

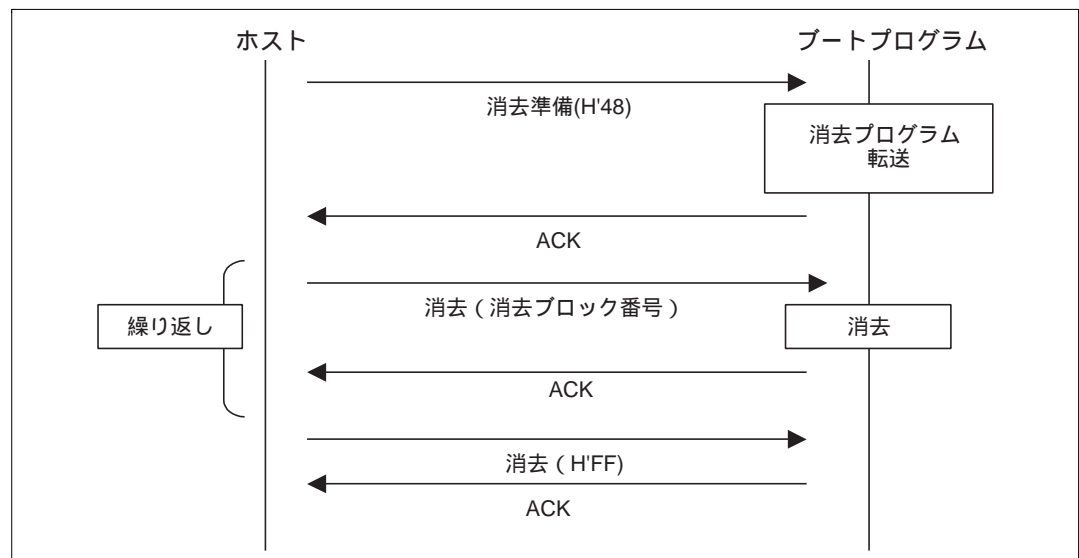


図 18.28 消去シーケンス

(1) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- ・ コマンド「H'48」(1 バイト) : 消去選択

レスポンス

H'06

- ・ レスポンス「H'06」(1 バイト) : 消去選択に対する応答、消去プログラムを転送したとき ACK

エラー

レスポンス

H'C8	ERROR
------	-------

- ・ エラーレスポンス「H'C8」(1 バイト) : 消去選択に対するエラー応答
- ・ ERROR : (1 バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(2) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- ・ コマンド「H'58」(1 バイト) : 消去
- ・ サイズ (1 バイト) : 消去ブロック No の文字数、固定値で 1
- ・ ブロック番号 (1 バイト) : データを消去する消去ブロック番号
- ・ SUM (1 バイト) : サムチェック

レスポンス

H'06

- ・ レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したとき ACK

エラー

レスポンス

H'D8	ERROR
------	-------

- ・ エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ・ ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- ・ コマンド「H'58」（1バイト）：消去
 - ・ サイズ（1バイト）：消去ブロック No の文字数、固定値で 1
 - ・ ブロック番号（1バイト）：H'FF、消去処理の終了コード
 - ・ SUM（1バイト）：サムチェック
- レスポンス
- | |
|------|
| H'06 |
|------|
- ・ レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス
		読み出しサイズ		SUM

- ・ コマンド「H'52」（1バイト）：メモリリード
- ・ サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で 9）
- ・ エリア（1バイト）
 - H'00：ユーザブートマット
 - H'01：ユーザマット
 - エリアの指定が正しくないときはアドレスエラー
- ・ 読み出しアドレス（4バイト）：読み出す先頭アドレス
- ・ 読み出しサイズ（4バイト）：読み出すデータのサイズ

- ・ SUM (1 バイト) : サムチェック

レスポンス	H'52	読み出しサイズ					
	データ	...					
	SUM						

- ・ レスポンス「H'52」(1 バイト) : メモリリードに対する応答
- ・ 読み出しサイズ(4 バイト) : 読み出すデータのサイズ
- ・ データ(n バイト) 読み出しアドレスからの読み出しサイズ分のデータ
- ・ SUM (1 バイト) : サムチェック

エラー

レスポンス	H'D2	ERROR
-------	------	-------

- ・ エラーレスポンス「H'D2」(1 バイト) : メモリリードに対するエラー応答
- ・ ERROR : (1 バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'2A : アドレスエラー
 - 読み出しアドレスがマットの範囲にない
 - H'2B : サイズエラー
 - 読み出しサイズがマットの範囲を超えている

ユーザブートプログラムのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド

H'4A

- ・ コマンド「H'4A」(1 バイト) : ユーザブートプログラムのサムチェック

レスポンス	H'5A	サイズ	マットのサムチェック	SUM
-------	------	-----	------------	-----

- ・ レスポンス「H'5A」(1 バイト) : ユーザブートプログラムのサムチェックに対する応答
- ・ サイズ(1 バイト) : サムチェックデータの文字数、固定値で4
- ・ マットのサムチェック(4 バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- ・ SUM (1 バイト) : サムチェック(送信データの)

ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- ・ コマンド「H'4B」(1 バイト) : ユーザプログラムのサムチェック

レスポンス	H'5B	サイズ	マットのサムチェック	SUM
-------	------	-----	------------	-----

- ・ レスポンス「H'5B」（1バイト）：ユーザプログラムのサムチェックに対する応答
- ・ サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- ・ サムチェック（4バイト）：ユーザマットのサムチェック値、バイト単位で加算
- ・ SUM（1バイト）：サムチェック（送信データの）

ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- ・ コマンド「H'4C」（1バイト）：ユーザブートマットのブランクチェック

レスポンス

H'06

- ・ レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のとき ACK

エラー

レスポンス

H'CC	H'52
------	------

- ・ エラーレスポンス「H'CC」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- ・ エラーコード「H'52」（1バイト）：未消去エラー

ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- ・ コマンド「H'4D」（1バイト）：ユーザマットのブランクチェック

レスポンス

H'06

- ・ レスポンス「H'06」（1バイト）：ユーザマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のとき ACK

エラー

レスポンス

H'CD	H'52
------	------

- ・ エラーレスポンス「H'CD」（1バイト）：ユーザマットのブランクチェックに対するエラー応答
- ・ エラーコード「H'52」（1バイト）：未消去エラー

ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- ・ コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- ・ レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- ・ サイズ（1バイト）：データの文字数、固定値で2
- ・ STATUS（1バイト）：標準ブートプログラムのステータス

「表 18.18 ステータスコード」をご覧ください。

- ・ ERROR（1バイト）：エラー状態

ERROR = 0 で正常

ERROR が 0 以外で異常

「表 18.19 エラーコード」をご覧ください。

- ・ SUM（1バイト）：サムチェック

表 18.18 ステータスコード

コード	内容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち (ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち (消去完了)
H'4F	書き込みデータ受信待ち (書き込み完了)
H'5F	消去ブロック指定待ち (消去完了)

表 18.19 エラーコード

コード	内容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

18.10.2 PROM モードの AC 特性、タイミング

表 18.20 メモリ読み出しモード時の AC 特性

条件: $V_{CC} = 5V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項 目	記 号	MIN	MAX	単 位	特 記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

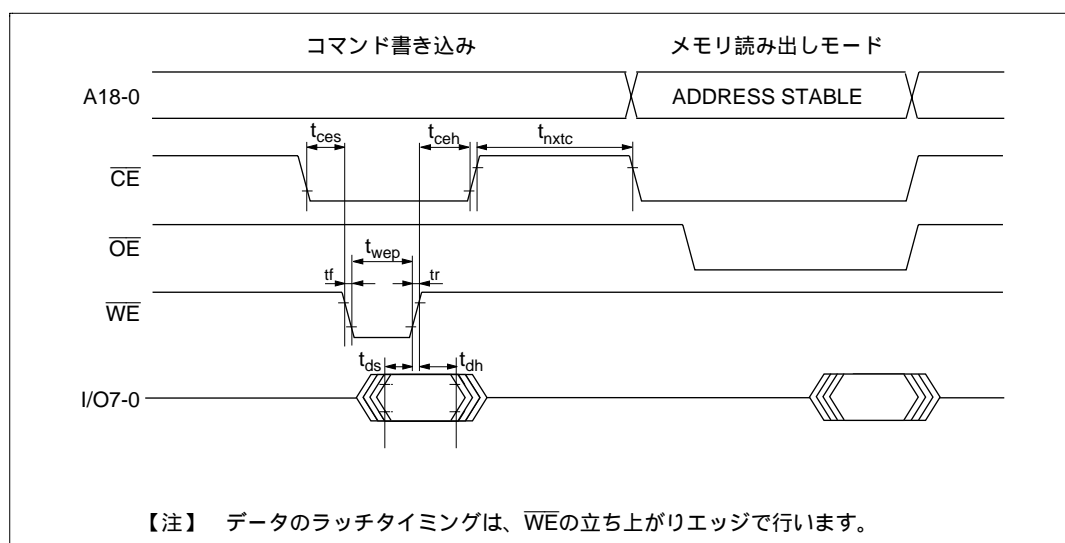


図 18.29 コマンド書き込み後メモリ読み出しタイミング図

表 18.21 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件: $V_{CC} = 5V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項 目	記 号	MIN	MAX	単 位	特 記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

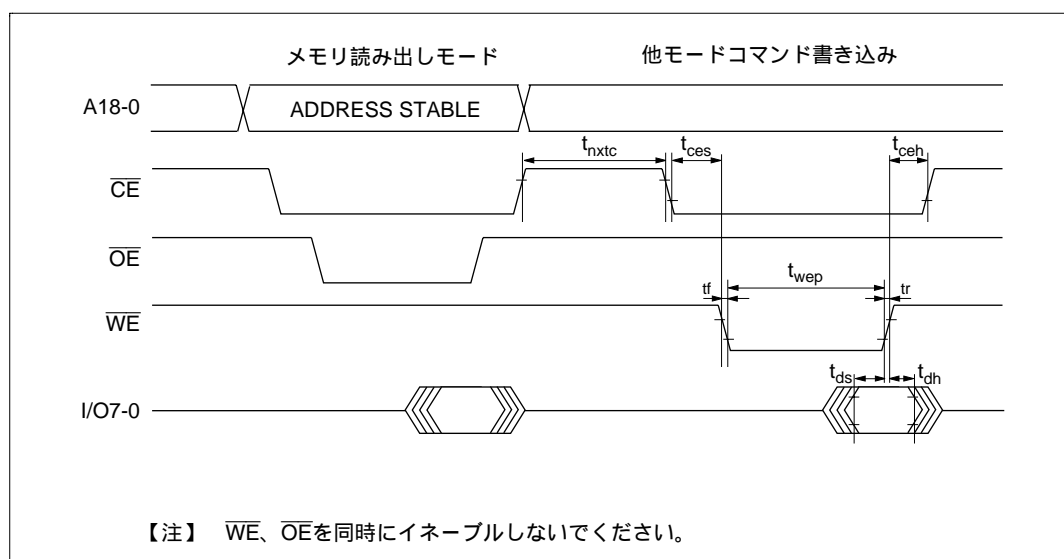


図 18.30 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 18.22 メモリ読み出しモード時の AC 特性

条件: $V_{CC} = 5V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項 目	記 号	MIN	MAX	単 位	特 記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

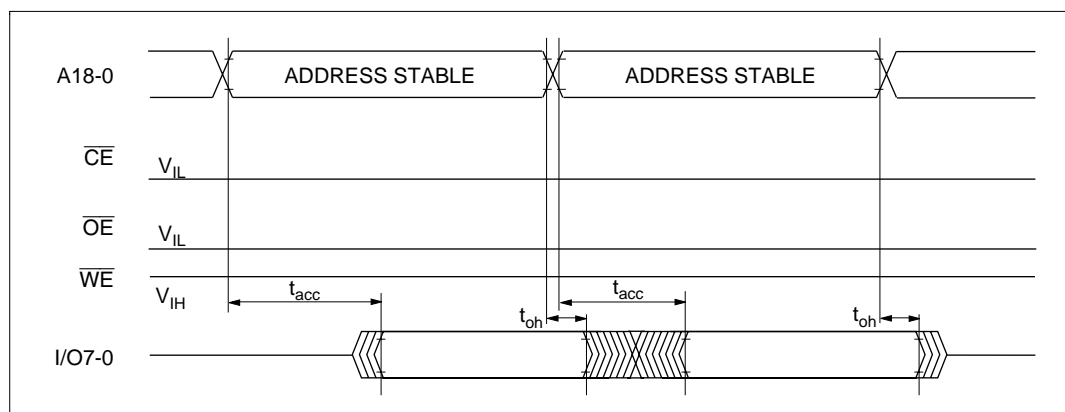
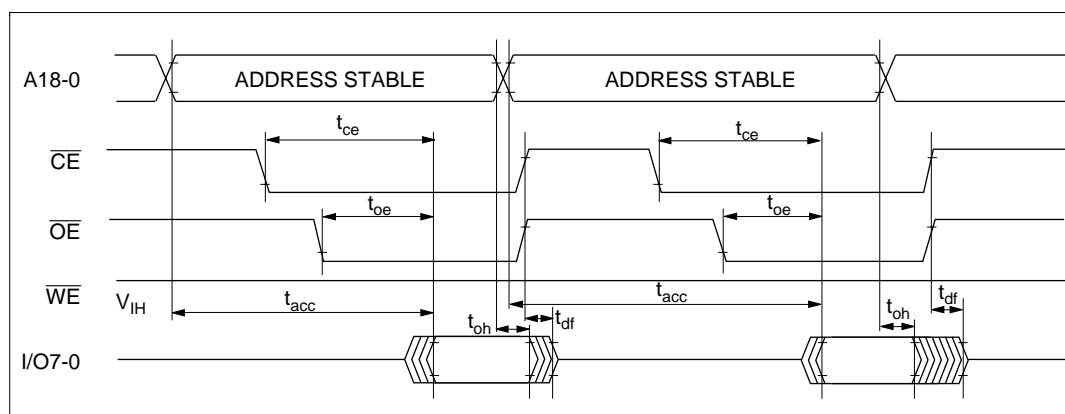
図 18.31 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ イネーブル状態リード時のタイミング波形図 18.32 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ クロック方式リード時のタイミング波形

表 18.23 自動書き込みモード時の AC 特性

条件: $V_{CC} = 5V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項 目	記 号	MIN	MAX	単 位	特 記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

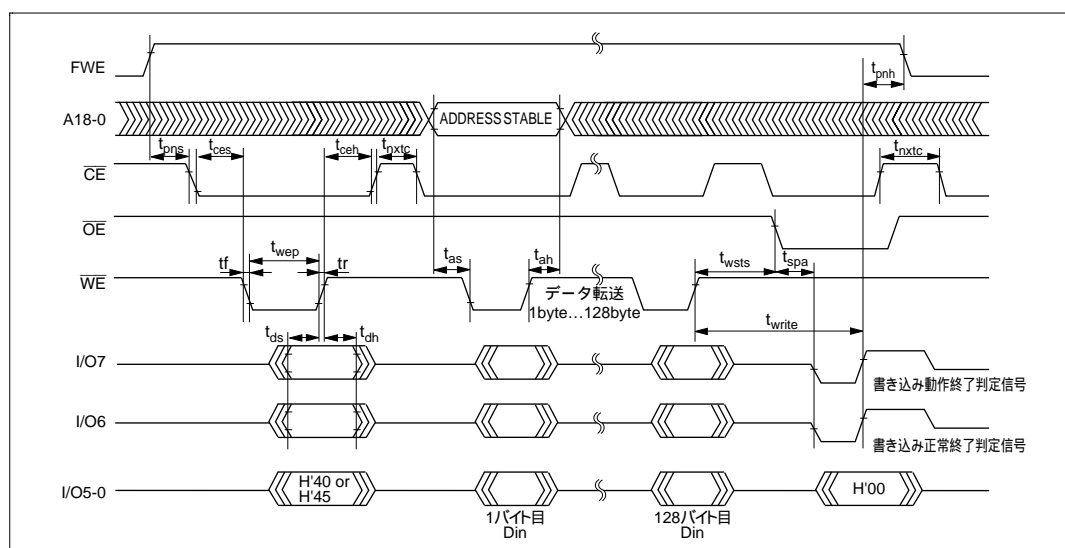


図 18.33 自動書き込みモードのタイミング波形

表 18.24 自動消去モード時の AC 特性

条件: $V_{CC} = 5V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項 目	記 号	MIN	MAX	単 位	特 記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

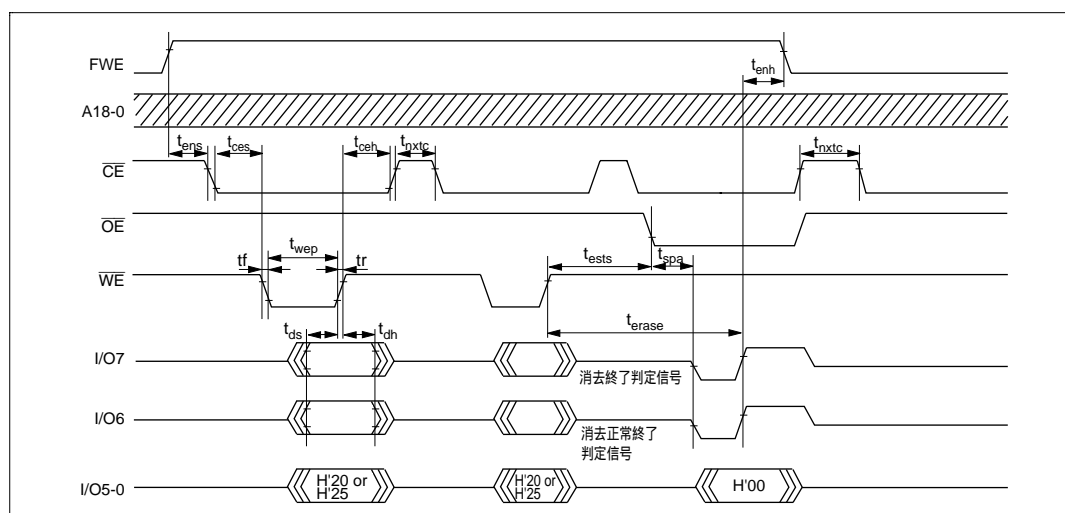


図 18.34 自動消去モードのタイミング波形

表 18.26 コマンド待ち状態までの遷移時間規定

項 目	記号	MIN	MAX	単 位	特 記
スタンバイ解除（発振安定時間）	t_{osc1}	30		ms	
ライトモードセットアップ時間	t_{bmV}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

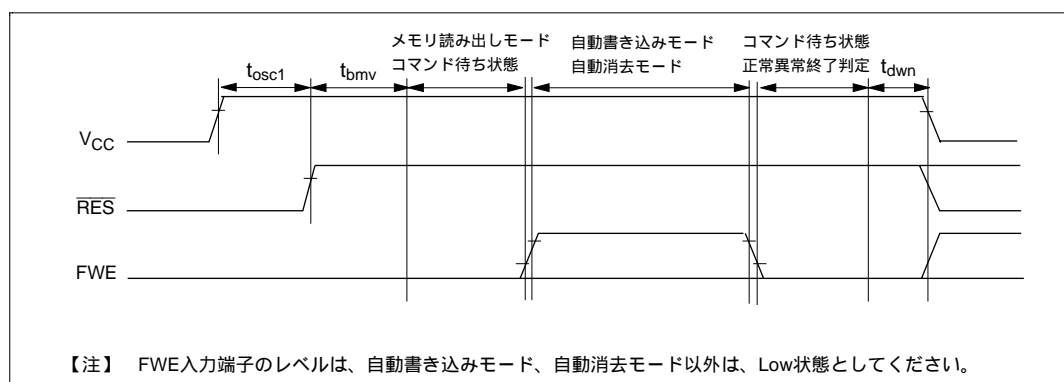


図 18.36 発振安定時間、ライトモードセットアップ時間、電源立ち下げシーケンス

18.10.3 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み / 消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件を守れば他の領域（書き込み / 消去対象外のフラッシュメモリ、外部空間領域など）で実行することができます。

書き込み / 消去の条件

- (1) 内蔵の書き込み / 消去実行プログラムは FTDAR レジスタで指定された内蔵 RAM のアドレスからダウンロードされ、実行されるのでここは使用不可能です。
- (2) 内蔵の書き込み / 消去実行プログラムでは、スタック領域を 128 バイト以上使用するので、確保してください。
- (3) SCO ビットを 1 にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵 RAM 上で実施してください。
- (4) 書き込み / 消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、NMI 処理ベクタと NMI 処理ルーチン、ユーザブランチプログラムなどを内蔵 RAM に転送してください。
- (5) 書き込み / 消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵 RAM 上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、書き込み / 消去中のユーザブランチ先のユーザプログラム、および NMI 割り込み

のベクタテーブルと NMI 割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵 RAM や、外部バス空間にある必要があります。

- (6) 書き込み / 消去完了後の FKEY レジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

書き込み / 消去完了直後に、LSI モードを変更してリセット動作をさせる場合には、100 μ s 以上のリセット期間 ($\overline{\text{RES}}=0$ とする期間) を設けてください。

なお、書き込み / 消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ s の通常より長いリセット期間の後に、リセットリリースしてください。

- (7) ユーザブートモードでのユーザマットへの書き込み / 消去処理では、FMATS によるマット切り替えが必要です。マット切り替えの実行は内蔵 RAM 上で実施してください(「18.8 ユーザマットとユーザブートマットの切り替え」を参照ください)。
マットの切り替えにおいては、現在どちらのマットが選択されているかにご注意ください。

- (8) 通常書き込みのデータがあっても、書き込み処理のパラメータ FMPDR が示す書き込みデータ格納領域がフラッシュメモリ上にあると、エラーと判断しますので、いったん内蔵 RAM に転送して FMPDR の示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード / 処理内容ごとの組み合わせでの、書き込みデータ格納エリアおよび実行が可能なエリアを下表に示します。

表 18.27 実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 18.28 (1)	表 18.28 (3)
消去	表 18.28 (2)	表 18.28 (4)

【注】 * ユーザマットに対しての書き込み / 消去が可能です。

表 18.28 (1) ユーザプログラムモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間 (拡張モード時)	ユーザマット	組み込みプログラム格納マット
書き込みデータの格納領域		×	*	-	-
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
キーレジスタへの H'5A 書き込み処理					
書き込みパラメータの設定処置		×			
書き込み実行		×	×		
書き込み結果の判定		×			
書き込みエラー処理		×			
キーレジスタクリア処理		×			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

表 18.28 (2) ユーザプログラムモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマツ	
	内蔵 RAM	ユーザマツ	外部空間 (拡張モード時)	ユーザマツ	組み込みプログラム格納マツ
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
キーレジスタへの H'5A 書き込み処理					
消去パラメータの設定処置		×			
消去実行		×	×		
消去結果の判定		×			
消去エラー処理		×			
キーレジスタクリア処理		×			

消去手順



表 18.28 (3) ユーザブートモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザ ブート マット	外部空間 (拡張モード時)	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
書き込みデータの 格納領域		× ^{*1}		-	-	-
ダウンロードする 内蔵プログラムの 選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×			
キーレジスタ クリア処理						
ダウンロード 結果の判定						
ダウンロード エラー処理						
初期化パラメータ の設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
NMI 処理ルーチン		×				
割り込み禁止処理						
FMATS による マット切り替え		×	×			
キーレジスタへの H'5A 書き込み処理		×				
書き込みパラメータ の設定処置		×				
書き込み実行		×	×			
書き込み結果の 判定		×				
書き込みエラー 処理		× ^{*2}				
キーレジスタ クリア処理		×				
FMATS による マット切り替え		×	×			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 18.28 (4) ユーザブートモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザ ブート マット	外部空間 (拡張モード時)	ユーザ マット	ユーザ ブート マット	組み込みプ ログラム格 納マット
ダウンロードする 内蔵プログラムの 選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×			
キーレジスタ クリア処理						
ダウンロード結果 の判定						
ダウンロード エラー処理						
初期化パラメータ の設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
NMI 処理ルーチン		×				
割り込み禁止処理						
FMATS による マット切り替え		×	×			
キーレジスタへの H'5A 書き込み処理		×				
消去パラメータの 設定処理		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×				
キーレジスタ クリア処理		×				
FMATS による マット切り替え		×	×			

消去手順

【注】* 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

19. クロック発振器

第 19 章 目次

19.1	概要.....	757
	19.1.1 ブロック図.....	757
19.2	発振器	758
	19.2.1 水晶発振子を接続する方法	758
	19.2.2 外部クロックを入力する方法	760
19.3	デューティ補正回路	763
19.4	プリスケアラ	763
19.5	分周器	763
	19.5.1 レジスタ構成	763
	19.5.2 分周比コントロールレジスタ (DIVCR)	763
	19.5.3 使用上の注意	764

19.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、クロック発振器はシステムクロック ()、および内部クロック (/2 ~ /4096) を生成します。

分周器は、デューティ補正されたクロックを分周してシステムクロック () を生成します。 は 端子に出力される*¹ と共に内部モジュールへクロックを供給するプリスケアラの基本クロックとなります。なお、分周器の分周比は分周比コントロールレジスタ (DIVCR) により 1/1、1/2、1/4、1/8 の中から選択できます*²。チップ内の消費電流は分周比にほぼ比例して低減します。

【注】 *¹ 端子の状態はチップの動作モードおよびモジュールスタンバイコントロールレジスタ (MSTCR) の PSTOP の設定により異なります。詳細は「20.7 クロック出力禁止機能」を参照してください。

*² 分周比の変更は動作中ダイナミックに変更することができます。 端子のクロック出力も分周比を変更することにより変化します。このとき 端子から出力される周波数は、以下のようになります。

$$= \text{EXTAL} \times n \quad \text{EXTAL : 水晶発振子または外部クロックの周波数}$$

$$n : \text{分周比 (} n = 1/1, 1/2, 1/4, 1/8 \text{)}$$

19.1.1 ブロック図

図 19.1 にクロック発振器のブロック図を示します。

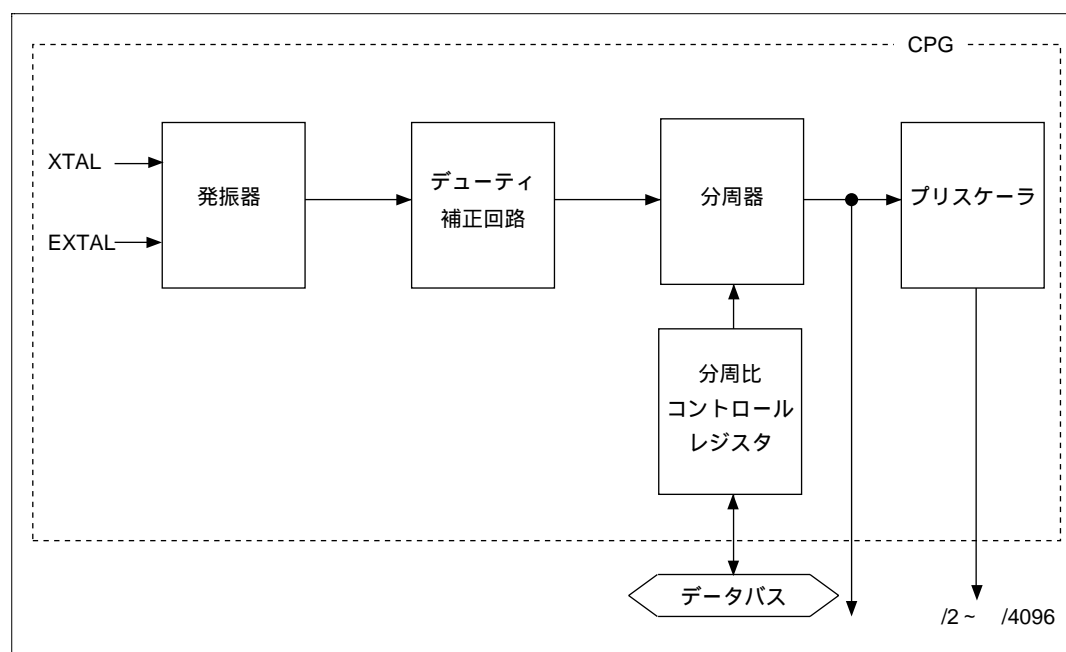


図 19.1 クロック発振器のブロック図

19.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

19.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 19.2 に示します。ダンピング抵抗 R_d は、表 19.1 (1)、外付け容量 CL_1 、 CL_2 は、表 19.1 (2) に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

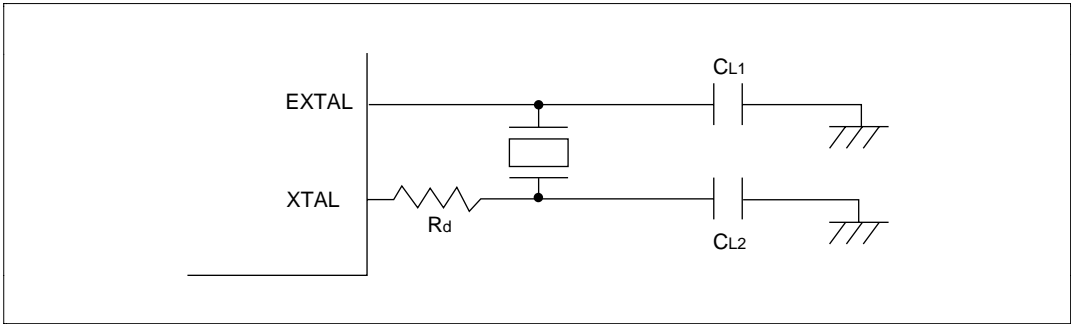


図 19.2 水晶発振子を接続する場合の接続例

20MHz より高周波の水晶発振子を接続する場合は、表 19.1 (2) のとおり外付け負荷容量値を 10pF 以下としてください。また実装状態での発振周波数精度の向上のため、回路定数の決定については、発振のマッチング評価などを十分にご検討くださいますようお願い申し上げます。

表 19.1 (1) ダンピング抵抗値

ダンピング抵抗値	周波数 f (MHz)			
	10 f 13	13 < f 16	16 < f 18	18 < f 25
R_d ()	0	0	0	0

【注】 水晶発振子は、10MHz ~ 25MHz が使用できます。

10MHz 未満で動作させる場合は、内蔵の分周器を使用してください (10MHz 未満の水晶発振子は使用できません)。

表 19.1 (2) 外付け容量値

外付け容量値	周波数 f (MHz)	
	$20 < f \leq 25$	$10 \leq f < 20$
$CL_1 = CL_2$ (pF)	10	10 ~ 22

(2) 水晶発振子

図 19.3 に水晶発振子の等価回路を示します。水晶発振子は表 19.2 に示す特性のものを使用してください。

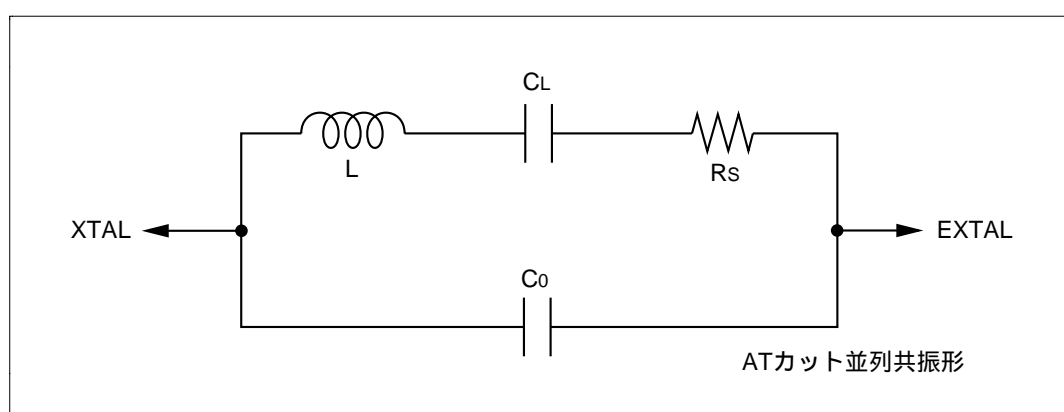


図 19.3 水晶発振子の等価回路

表 19.2 水晶発振子のパラメータ

周波数 (MHz)	10	12	16	18	20	25
R_s max ()	30	30	20	20	20	20
C_o (pF)	7pF max					

水晶発振子は、 と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 19.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

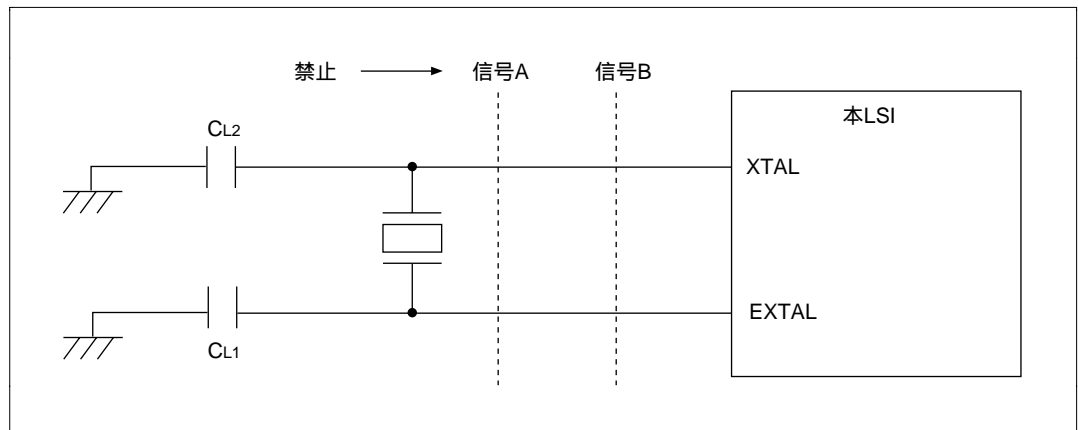


図 19.4 発振回路部のボード設計に関する注意事項

19.2.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 19.5 に示します。XTAL 端子をオープン状態にする場合は、XTAL 端子の寄生容量は 10pF 以下としてください。XTAL 端子の寄生容量が 10pF を超える場合は (b) のように接続し、スタンバイモード時には外部クロックが High レベルとなるようにしてください。

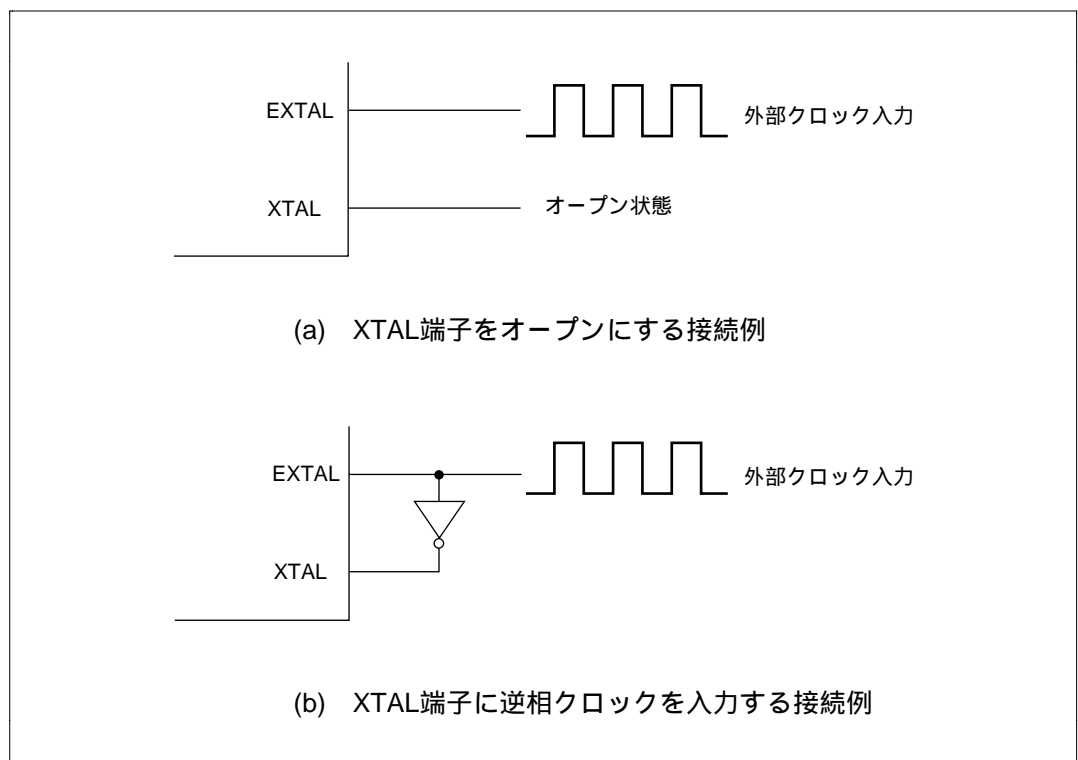


図 19.5 外部クロックを入力する場合の接続例

(2) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。

表 19.3 にクロックタイミング、図 19.6 に外部クロック入力タイミングを示します。

図 19.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部のクロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 19.3 クロックタイミング

項目	記号	$V_{\text{CC}} = 5.0\text{V} \pm 10\%$		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	t_{EXL}	15		ns	図 19.6
外部クロック入力パルス幅 High レベル	t_{EXH}	15		ns	
外部クロック立ち上がり時間	t_{EXr}		5	ns	
外部クロック立ち下がり時間	t_{EXf}		5	ns	
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	t_{cyc}	図 21.7
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	t_{cyc}	
外部クロック出力安定遅延時間	t_{DEXT}^*	500		μs	図 19.7

【注】 * t_{DEXT} は、 $\overline{\text{RES}}$ パルス幅 (t_{RESW}) を含みます。 $t_{\text{RESW}} = 20 t_{\text{cyc}}$ となります。

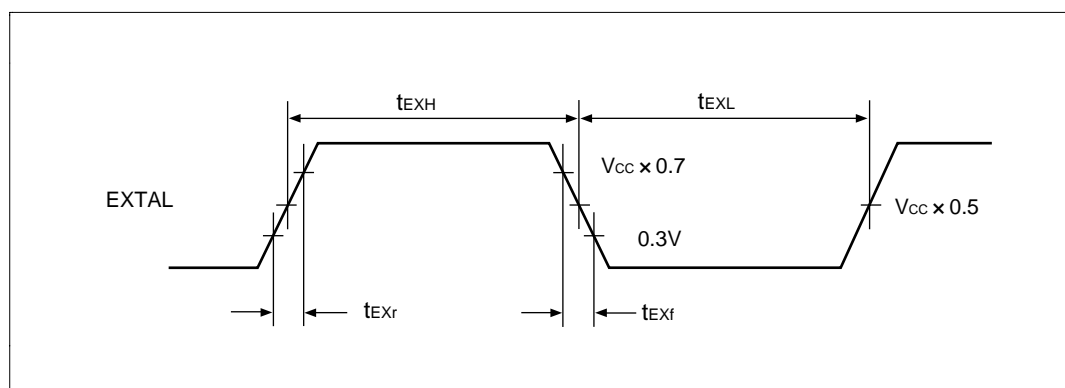


図 19.6 外部クロック入力タイミング

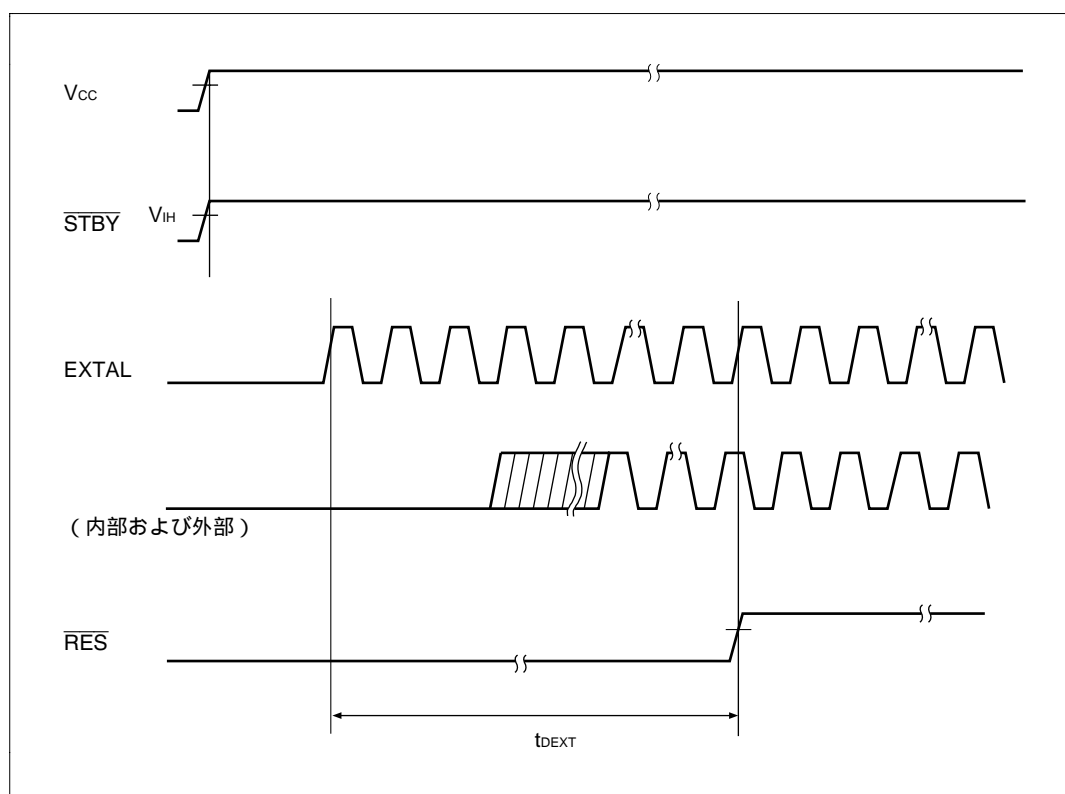


図 19.7 外部クロック出力安定遅延時間タイミング

19.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 を生成します。

19.4 プリスケアラ

プリスケアラは、 を分周し内部クロック (/2 ~ /4096) を生成します。

19.5 分周器

分周器はデューティ補正されたクロックを分周して を生成します。分周比は以下に説明する DIVCR の値を書き換えることにより動作中ダイナミックに変更できます。チップ内の消費電流は分周比にほぼ比例して低減します。また分周器で生成した は 端子より出力することができます。

19.5.1 レジスタ構成

表 19.4 に分周器のレジスタ構成を示します。

表 19.4 分周器のレジスタ構成

アドレス*	名称	略称	R/W	初期値
H'EE01B	分周比コントロールレジスタ	DIVCR	R/W	H'FC

【注】 * アドバンストモード時のアドレス下位 20 ビットを示しています。

19.5.2 分周比コントロールレジスタ (DIVCR)

DIVCR は 8 ビットのリード / ライト可能なレジスタで分周器の分周比を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DIV1	DIV0
初期値:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	R/W	R/W

リザーブビット

分周比ビット1、0
分周比を設定するビットです。

DIVCR はリセットまたはハードウェアスタンバイモード時に H'FC にイニシャライズされます。
ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7～2:リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0:分周比 (DIV1、0)

分周比を選択します。DIV1、0ビットと分周比の関係は以下のとおりです。

ビット1	ビット0	分周比
DIV1	DIV0	
0	0	1/1 (初期値)
0	1	1/2
1	0	1/4
1	1	1/8

19.5.3 使用上の注意

DIVCR の設定により の周波数が変わりますので、以下の点に注意してください。

- (1) 分周比は電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。すなわち t_{min} = 動作周波数範囲の下限とし、 t_{min} が下限より小さくならないように注意してください。
- (2) 内部モジュールは、すべて f_{clk} を基準に動作します。
このため、分周比変更の前後でタイマや SCI などの時間処理が変わりますので注意してください。
またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。詳細は「20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

20. 低消費電力状態

第 20 章 目次

20.1	概要.....	767
20.2	レジスタ構成	769
20.2.1	システムコントロールレジスタ (SYSCR)	769
20.2.2	モジュールスタンバイコントロールレジスタ H (MSTCRH)	772
20.2.3	モジュールスタンバイコントロールレジスタ L (MSTCRL)	774
20.3	スリープモード.....	776
20.3.1	スリープモードへの遷移.....	776
20.3.2	スリープモードの解除.....	776
20.4	ソフトウェアスタンバイモード.....	777
20.4.1	ソフトウェアスタンバイモードへの遷移	777
20.4.2	ソフトウェアスタンバイモードの解除.....	777
20.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定.....	778
20.4.4	ソフトウェアスタンバイモードの応用例	780
20.4.5	使用上の注意	780
20.5	ハードウェアスタンバイモード.....	781
20.5.1	ハードウェアスタンバイモードへの遷移	781
20.5.2	ハードウェアスタンバイモードの解除.....	781
20.5.3	ハードウェアスタンバイモードのタイミング.....	782
20.5.4	電源投入時のハードウェアスタンバイモードのタイミング.....	783
20.6	モジュールスタンバイ機能	784
20.6.1	モジュールスタンバイタイミング	784
20.6.2	モジュールスタンバイ中のリード / ライト	784
20.6.3	使用上の注意	784
20.7	クロック出力禁止機能.....	786

20.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態および、内蔵モジュールの機能を選択的に停止させることにより消費電力を低減させるモジュールスタンバイ機能があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

モジュールスタンバイ機能は低消費電力状態とは独立に内蔵モジュールのうち、16 ビットタイマ、8 ビットタイマ、SCI0、SCI1、SCI2、DMAC、DRAM インタフェース、A/D 変換器を停止させることができます。

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を表 20.1 に示します。

表 20.1 低消費電力状態とモジュールスタンバイ機能

モード／機能	遷移条件	状 態															解除方法
		クロック	CPU	レジスタ	DMAC	DRAM インタ フェース	16ビット タイマ	8ビット タイマ	SCI0	SCI1	SCI2	A/D	その他の 周辺 機能	RAM	クロック 出力 ^{*4}	I/O ポート	
スリープ モード	SYSCRのSSBY = 0 の状態ですLEEP 命令を実行	動作	停止	保持	動作	動作	動作	動作	動作	動作	動作	動作	動作	保持	出力	保持	・割り込み ・RES端子 ・STBY端子
ソフトウェア スタンバイモード	SYSCRのSSBY = 1 の状態ですLEEP 命令を実行	停止	停止	保持	停止 リセット	停止 保持 ^{*1}	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	保持	High 出力	保持	・NMI端子 ・IRQ ₀ ～ IRQ ₂ 端子 ・RES端子 ・STBY端子
ハードウェア スタンバイモード	STBY端子を Lowレベル	停止	停止	不定	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	^{*3} 保持	ハイン ピーダ ス	ハイン ピーダ ス	・STBY端子 ・RES端子
モジュール スタンバイ機能	MSTCRHおよび MSTCRLの該当ビット を1にセット	動作	動作	-	停止 ^{*2} リセット ^{*1}	停止 ^{*2} 保持 ^{*1}	停止 ^{*2} リセット	停止 ^{*2} リセット	停止 ^{*2} リセット	停止 ^{*2} リセット	停止 ^{*2} リセット	停止 ^{*2} リセット	動作	-	ハイン ピーダ ス ^{*2}	-	・STBY端子 ・RES端子 ・MSTCRの 該当ビットを 0にクリア ^{*5}

【注】 *1 RTCNT、RTMCSRのビット7、6はイニシャライズされ、その他保持となります。

*2 MSTCRの該当するビットを1にセットした状態です。詳細は「20.2.2 モジュールスタンバイコントロールレジスタH (MSTCRH)」および「20.2.3 モジュールスタンバイコントロールレジスタL (MSTCRL)」を参照してください。

*3 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを0にクリアする必要があります。

*4 P6₇を 出力端子として使用する場合

*5 MSTCRの各ビットを1にセットすると該当する周辺モジュールのレジスタは初期化されます。したがって周辺モジュールを再起動する場合はMSTCRの該当ビットを0にクリア後レジスタの再設定を行ってください。

【記号説明】

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

MSTCRH : モジュールスタンバイコントロールレジスタH

MSTCRL : モジュールスタンバイコントロールレジスタL

20.2 レジスタ構成

本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ (SYSCR) とモジュールスタンバイ機能の制御を行うモジュールスタンバイコントロールレジスタ H (MSTCRH) モジュールスタンバイコントロールレジスタ L (MSTCRL) があります。レジスタ構成を表 20.2 に示します。

表 20.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09
H'EE01C	モジュールスタンバイコントロールレジスタ H	MSTCRH	R/W	H'78
H'EE01D	モジュールスタンバイコントロールレジスタ L	MSTCRL	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

20.2.1 システムコントロールレジスタ (SYSCR)



SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6~4 の STS2~STS0 ビットとビット 1 の SSOE ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット7:ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

ビット6~4:スタンバイタイムセレクト 2~0 (STS2~0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表20.3を参照し動作周波数に応じて待機時間が7ms(発振安定時間)以上となるように選択してください。外部クロックの場合、待機時間が100 μ s以上となるように選択してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
1	0	1	待機時間 = 262144 ステート
1	1	0	待機時間 = 1024 ステート
1	1	1	使用禁止

ビット1:ソフトウェアスタンバイ出力ポートイネーブル (SSOE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS_0} \sim \overline{CS_7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{UCAS} 、 \overline{LCAS} 、 \overline{RFSH}) の出力を保持または High 固定するか、ハイインピーダンスにするかを指定します。

ビット1	説 明
SSOE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はすべてハイインピーダンス (初期値)
1	ソフトウェアスタンバイモード時、 アドレスバス: 出力状態を保持 バス制御信号: High 固定

20.2.2 モジュールスタンバイコントロールレジスタ H (MSTCRH)

MSTCRH は、8 ビットのリード/ライト可能なレジスタです。 クロック出力の制御を行い、また、内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、SCI0、SCI1、SCI2 です。

ビット :	7	6	5	4	3	2	1	0
	PSTOP	—	—	—	—	MSTPH2	MSTPH1	MSTPH0
モード 1~5: 初期値 :	0	1	1	1	1	0	0	0
モード 7: 初期値 :	1	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W

クロックストップ
クロックの出力を許可または禁止するビットです。

リザーブビット

モジュールスタンバイ H2~0
モジュールをスタンバイ状態にするための選択ビットです。

MSTCRH はリセット、またはハードウェアスタンバイモード時に、モード 1~5 の時は H'78 に、モード 7 の時は H'F8 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7: クロックストップ (PSTOP)

クロックの出力を許可または禁止します。

ビット 7	説 明
PSTOP	
0	クロックの出力を許可 (初期値: モード 1~5 選択時)
1	クロックの出力を禁止 (初期値: モード 7 選択時)

ビット 6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2: モジュールスタンバイ H2 (MSTPH2)

SCI2 をスタンバイ状態にするかを選択します。

ビット 2	説 明
MSTPH2	
0	SCI2 は通常動作 (初期値)
1	SCI2 はスタンバイ状態

ビット1: モジュールスタンバイ H1 (MSTPH1)

SCI1 をスタンバイ状態にするかを選択します。

ビット1	説 明
MSTPH1	
0	SCI1 は通常動作 (初期値)
1	SCI1 はスタンバイ状態

ビット0: モジュールスタンバイ H0 (MSTPH0)

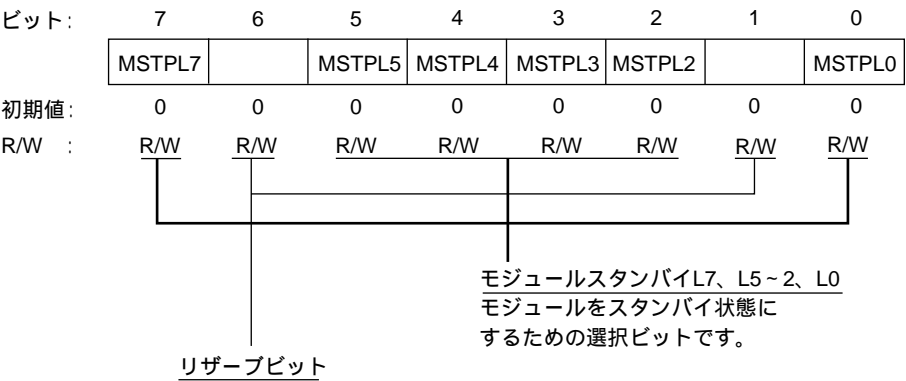
SCI0 をスタンバイ状態にするかを選択します。

ビット0	説 明
MSTPH0	
0	SCI0 は通常動作 (初期値)
1	SCI0 はスタンバイ状態

20.2.3 モジュールスタンバイコントロールレジスタ L (MSTCRL)

MSTCRL は、8 ビットのリード/ライト可能なレジスタです。

内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、DMAC、16 ビットタイマ、DRAM インタフェース、8 ビットタイマ、A/D 変換器です。



MSTCRL はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7: モジュールスタンバイ L7 (MSTPL7)

DMAC をスタンバイ状態にするかを選択します。

ビット 7	説 明	
MSTPL7		
0	DMAC は通常動作	(初期値)
1	DMAC はスタンバイ状態	

ビット 6: リザーブビット

リザーブビットです。リード/ライト可能です。

ビット 5: モジュールスタンバイ L5 (MSTPL5)

DRAM インタフェースをスタンバイ状態にするかを選択します。

ビット 5	説 明	
MSTPL5		
0	DRAM インタフェースは通常動作	(初期値)
1	DRAM インタフェースはスタンバイ状態	

ビット4:モジュールスタンバイ L4 (MSTPL4)

16ビットタイマをスタンバイ状態にするかを選択します。

ビット4	説明
MSTPL4	
0	16ビットタイマは通常動作 (初期値)
1	16ビットタイマはスタンバイ状態

ビット3:モジュールスタンバイ L3 (MSTPL3)

8ビットタイマチャンネル0、1をスタンバイ状態にするかを選択します。

ビット3	説明
MSTPL3	
0	8ビットタイマチャンネル0、1は通常動作 (初期値)
1	8ビットタイマチャンネル0、1はスタンバイ状態

ビット2:モジュールスタンバイ L2 (MSTPL2)

8ビットタイマチャンネル2、3をスタンバイ状態にするかを選択します。

ビット2	説明
MSTPL2	
0	8ビットタイマチャンネル2、3は通常動作 (初期値)
1	8ビットタイマチャンネル2、3はスタンバイ状態

ビット1:リザーブビット

リザーブビットです。リード/ライト可能です。

ビット0:モジュールスタンバイ L0 (MSTPL0)

A/D変換器をスタンバイ状態にするかを選択します。

ビット0	説明
MSTPL0	
0	A/D変換器は通常動作 (初期値)
1	A/D変換器はスタンバイ状態

20.3 スリープモード

20.3.1 スリープモードへの遷移

SYSCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは DMA コントローラ (DMAC)、DRAM インタフェース、および内蔵周辺モジュールの機能は停止しません。ただし、モジュールスタンバイ機能により、スタンバイ状態となっている内蔵モジュールの機能は動作しません。

20.3.2 スリープモードの解除

スリープモードの解除は、割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、割り込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合、また、NMI 以外の割り込みで CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.4 ソフトウェアスタンバイモード

20.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。DMAC、内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートおよび DRAM インタフェース* の状態も保持されています。WDT をウォッチドッグタイマとして使用している場合 ($WT/\overline{IT}=1$)、必ず TME ビットを 0 クリアしてから SSBY をセットしてください。また、TME を 1 にセットするときは、SSBY を 0 クリアしてください。

また、ソフトウェアスタンバイモードに遷移する前に、BRCR の BRLE ビットをクリア (バス解放禁止状態) にしてください。

【注】* RTCNT、RTMCSR のビット 7、6 はイニシャライズされ、その他は保持となります。

20.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{IRQ_2} \sim \overline{IRQ_0}$ 端子)、 \overline{RES} 端子、または \overline{STBY} 端子によって行われます。

(1) 割り込みによる解除

NMI、 $IRQ_2 \sim IRQ_0$ 割り込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、 $IRQ_2 \sim IRQ_0$ 割り込みは、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 \overline{RES} 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットおよび DIVCR の DIV1、0 ビットの設定は、以下のよう
にしてください。

(1) 水晶発振の場合

待機時間が 7ms (発振安定時間) 以上となるように STS2 ~ STS0、DIV1、0 を設定して
ください。

表 20.3 は動作周波数と STS2 ~ STS0、DIV1、0 ビットの設定値に対する待機時間を示
します。

(2) 外部クロックの場合

待機時間が 100 μ s 以上となるように STS2 ~ STS0、DIV1、0 を設定してください。

表 20.3 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	25MHz	20MHz	18MHz	16MHz	12MHz	10MHz	単位
0	0	0	0	0	8192ステート	0.3	0.4	0.46	0.51	0.65	0.8	ms
		0	0	1	16384ステート	0.7	0.8	0.91	1.0	1.3	1.6	
		0	1	0	32768ステート	1.3	1.6	1.8	2.0	2.7	3.3	
		0	1	1	65536ステート	2.6	3.3	3.6	4.1	5.5	6.6	
		1	0	0	131072ステート	5.2	6.6	7.3	8.2	10.9	13.1	
		1	0	1	262144ステート	10.5	13.1	14.6	16.4	21.8	26.2	
		1	1	0	1024ステート	0.04	0.05	0.057	0.064	0.085	0.10	
		1	1	1	使用禁止							
0	1	0	0	0	8192ステート	0.7	0.8	0.91	1.02	1.4	1.6	ms
		0	0	1	16384ステート	1.3	1.6	1.8	2.0	2.7	3.3	
		0	1	0	32768ステート	2.6	3.3	3.6	4.1	5.5	6.6	
		0	1	1	65536ステート	5.2	6.6	7.3	8.2	10.9	13.1	
		1	0	0	131072ステート	10.5	13.1	14.6	16.4	21.8	26.2	
		1	0	1	262144ステート	21.0	26.2	29.1	32.8	43.7	52.4	
		1	1	0	1024ステート	0.08	0.10	0.11	0.13	0.17	0.20	
		1	1	1	使用禁止							
1	0	0	0	0	8192ステート	1.3	1.6	1.8	2.0	2.7	3.3	ms
		0	0	1	16384ステート	2.6	3.3	3.6	4.1	5.5	6.6	
		0	1	0	32768ステート	5.2	6.6	7.3	8.2	10.9	13.1	
		0	1	1	65536ステート	10.5	13.1	14.6	16.4	21.8	26.2	
		1	0	0	131072ステート	21.0	26.2	29.1	32.8	43.7	52.4	
		1	0	1	262144ステート	41.9	52.4	58.3	65.5	87.4	104.9	
		1	1	0	1024ステート	0.16	0.20	0.23	0.26	0.34	0.41	
		1	1	1	使用禁止							
1	1	0	0	0	8192ステート	2.6	3.3	3.6	4.1	5.5	6.6	ms
		0	0	1	16384ステート	5.2	6.6	7.3	8.2	10.9	13.1	
		0	1	0	32768ステート	10.5	13.1	14.6	16.4	21.8	26.2	
		0	1	1	65536ステート	21.0	26.2	29.1	32.8	43.7	52.4	
		1	0	0	131072ステート	41.9	52.4	58.3	65.5	87.4	104.9	
		1	0	1	262144ステート	83.9	104.9	116.5	131.1	174.8	209.7	
		1	1	0	1024ステート	0.33	0.41	0.46	0.51	0.68	0.82	
		1	1	1	使用禁止							

 :推奨設定時間

20.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立ち下がりによってソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりで解除を行う例を、図 20.1 に示します。

SYSCR の NMI エッジ (NMIEG) ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセットします (立ち上がりエッジ指定)。SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。

その後、NMI 端子の立ち上がりエッジで、ソフトウェアスタンバイモードが解除されます。

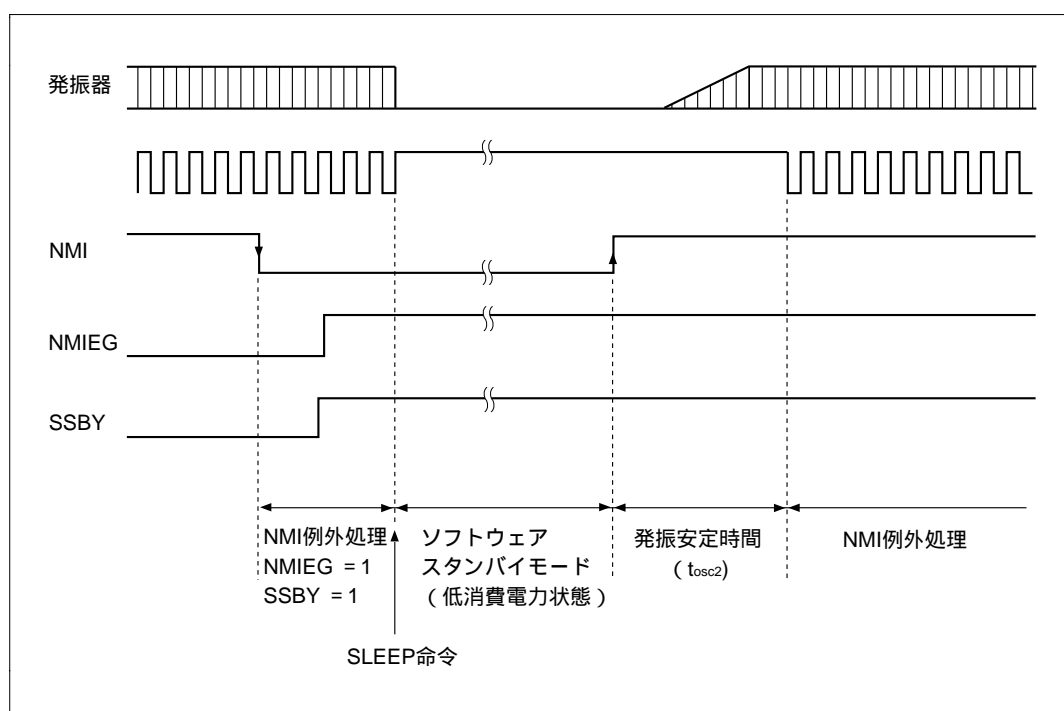


図 20.1 ソフトウェアスタンバイモード時の NMI タイミング (例)

20.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

20.5 ハードウェアスタンバイモード

20.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、DMAC、DRAM インタフェース、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

【注】 電源投入時のリセット期間中は、ハードウェアスタンバイモードの設定は行わないでください。

20.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

20.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 20.2 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

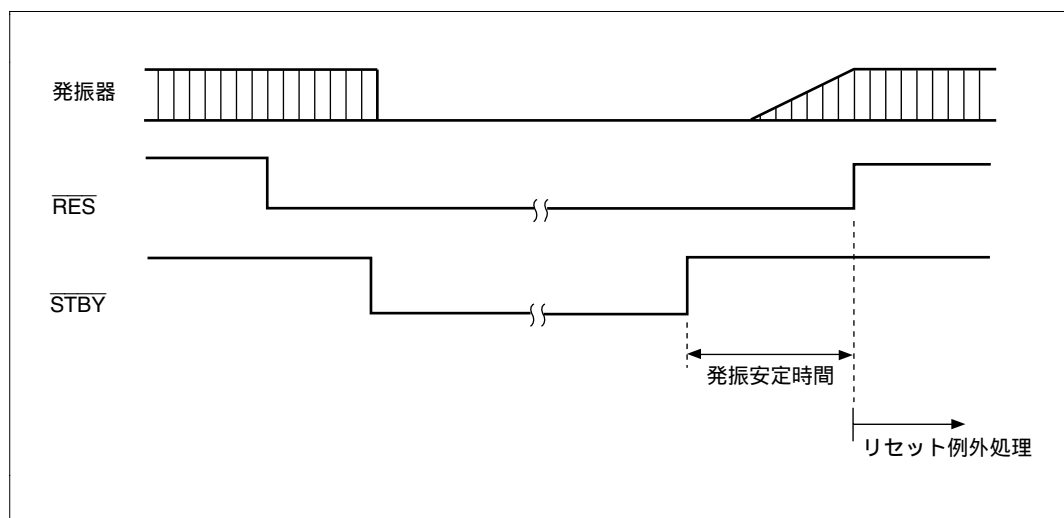


図 20.2 ハードウェアスタンバイモードのタイミング

20.5.4 電源投入時のハードウェアスタンバイモードのタイミング

電源投入時のハードウェアスタンバイモードの各端子のタイミングを図 20.3 に示します。

電源投入時よりハードウェアスタンバイモードに遷移する場合、必ず $\overline{\text{STBY}}$ 端子を High レベルにした状態で規定の時間 $\overline{\text{RES}}$ 端子を Low レベルにし、リセット解除以降に $\overline{\text{STBY}}$ 端子を Low レベルにするようにしてください。

なお、ハードウェアスタンバイモード解除については、「20.5.3 ハードウェアスタンバイモードのタイミング」を参照してください。

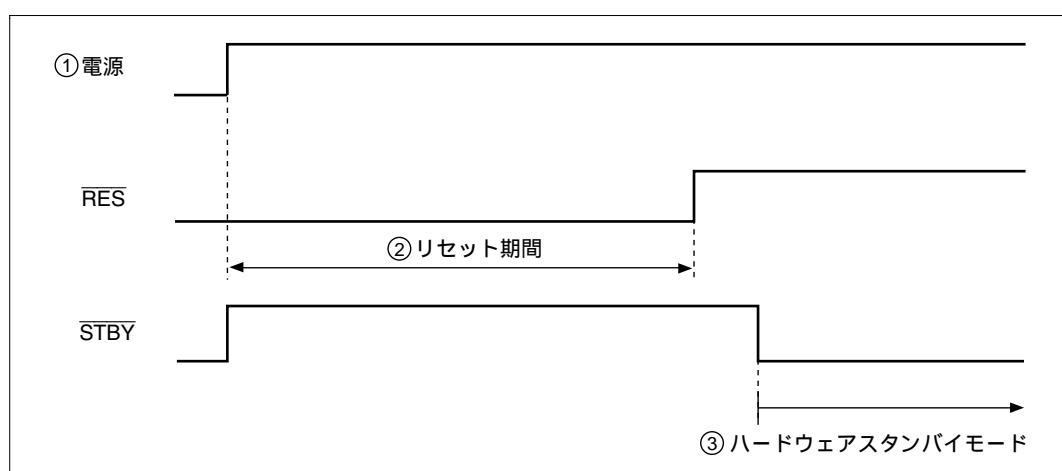


図 20.3 電源投入時のハードウェアスタンバイモードのタイミング

20.6 モジュールスタンバイ機能

20.6.1 モジュールスタンバイタイミング

モジュールスタンバイ機能は、MSTCRH の MSTPH2 ~ 0 ビットおよび、MSTCRL の MSTPL7 ~ 0 ビットにより、内蔵モジュールのうち SCI2、SCI1、SCI0、DMAC、16 ビットタイマ、8 ビットタイマ、DRAM インタフェース、A/D 変換器を低消費電力状態とは独立に停止させることができます。MSTCR のビットを 1 にセットすると、MSTCR のライトサイクルの次のバスサイクルの先頭で上記周辺モジュールはスタンバイ状態となり動作が停止します。

20.6.2 モジュールスタンバイ中のリード / ライト

モジュールスタンバイ中の周辺モジュールのレジスタに対するリード / ライトはできません。リードすると常に H'FF が読み出されます。ライトは無効です。

20.6.3 使用上の注意

モジュールスタンバイ機能を使用する上で以下のことに注意してください。

(1) DMAC の処置

モジュールスタンバイ機能を使用する場合、DMAC はバス権要求が発生しない状態で MSTCR のビットを 1 にセットしてください。バス権要求が発生した状態で MSTCR のビットが 1 にセットされると、バスアービタの動作が不確定となり誤動作の原因となります。

(2) DRAM インタフェースの処置

DRAM インタフェースに対し、モジュールスタンバイ機能を使用する場合、DRAM 空間は非選択の状態でも MSTCR のビットを 1 にセットしてください。

(3) 内蔵周辺モジュールの割り込み

モジュールスタンバイビットをセットする場合、事前に当該モジュールの割り込みを禁止してください。

モジュールスタンバイ機能によって、スタンバイ状態となった周辺モジュールは割り込みフラグを含めてレジスタがすべて初期化されます。

(4) 端子の状態

モジュールスタンバイ機能によって、停止したモジュールが使用していた端子は、モジュールの機能が失われます。その後の端子状態については端子ごとに異なりますので、詳細は「第8章 I/O ポート」を参照してください。端子の状態が入力から出力に変化する場合には、特に注意が必要です。例えば、SCI1 をモジュールスタンバイにした場合、受信端子はモジュールスタンバイと同時に受信端子としての機能がなくなりポートとなりますが、ポートの DDR が 1 にセットされていると、端子はデータ出力となり外部 SCI 送信データと衝突する可能性があります。この場合、ポートの DDR を 0 にクリアするなどの対策をとってください。

(5) レジスタの再設定

モジュールスタンバイ機能によって、停止した周辺モジュールのレジスタはすべて初期化されます。このため再動作させる際には、MSTCR のビットを 0 にクリアした後、レジスタの再設定が必要です。なお MSTCR のビットが 1 にセットされた状態ではレジスタへのライトはできません。

(6) DMAC による MSTCR のライト禁止

MSTCR は誤動作の防止のため CPU 以外のライトはできません。したがって DMAC によるリードはできますが、ライトはできません。

20.7 クロック出力禁止機能

MSTCRH の PSTOP ビットにより、 クロックの出力を制御することができます。
PSTOP ビットを 1 にセットすると、 クロックは停止し、 端子はハイインピーダンスになります。

図 20.4 に クロックの発振開始、発振停止のタイミングを示します。PSTOP ビットを 0 にクリアした状態では、 クロックの出力は許可されます。表 20.4 に各処理状態における 端子の状態を示します。

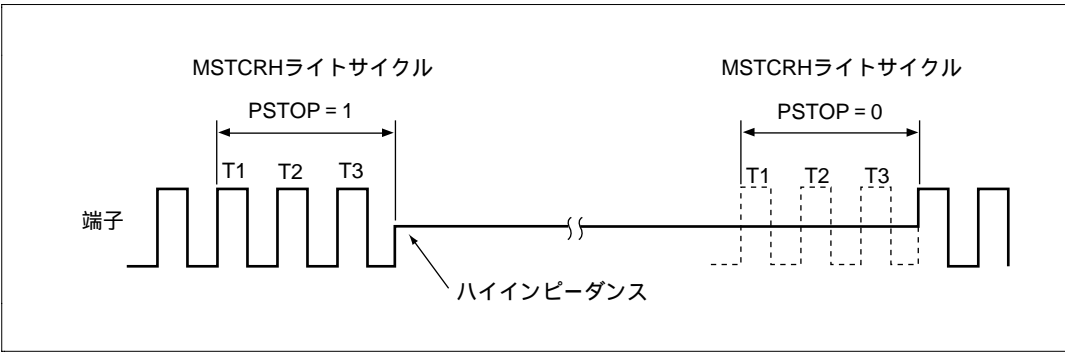


図 20.4 クロック発振開始、発振停止タイミング

表 20.4 各処理状態における 端子の状態

処理状態	PSTOP = 0	PSTOP = 1
ハードウェアスタンバイ	ハイインピーダンス	ハイインピーダンス
ソフトウェアスタンバイ	H固定	ハイインピーダンス
スリープモード	出力	ハイインピーダンス
通常動作状態	出力	ハイインピーダンス

21. 電気的特性

第 21 章 目次

21.1	H8/3069F の電気的特性.....	789
21.1.1	絶対最大定格.....	789
21.1.2	DC 特性.....	790
21.1.3	AC 特性.....	793
21.1.4	A/D 変換特性.....	796
21.1.5	D/A 変換特性.....	797
21.1.6	フラッシュメモリ特性.....	798
21.2	動作タイミング.....	799
21.2.1	クロックタイミング.....	799
21.2.2	制御信号タイミング.....	800
21.2.3	バスタイミング.....	801
21.2.4	DRAM インタフェースバスタイミング.....	806
21.2.5	TPC、I/O ポートタイミング.....	809
21.2.6	タイマ入出力タイミング.....	810
21.2.7	SCI 入出力タイミング.....	811
21.2.8	DMAC タイミング.....	812

21.1 H8/3069F の電気的特性

21.1.1 絶対最大定格

絶対最大定格を表 21.1 に示します。

表 21.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}^{*1}	- 0.3 ~ + 7.0	V
プログラム電圧 (FWE) ^{*2}	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7 以外) ^{*2}	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	V_{REF}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品: - 20 ~ + 75 ^{*3}	
		広温度範囲仕様品: - 40 ~ + 85 ^{*3}	
保存温度	T_{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 *1 V_{CL} 端子には電源電圧を印加しないでください。GND との間に外付けコンデンサを接続してください。

*2 いずれの端子にも絶対に 12V を印加しないでください。

12V を印加した場合、LSI の永久破壊となります。

*3 フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = 0 \sim + 75$ (一般仕様)、 $T_a = 0 \sim + 85$ (広温度範囲仕様) です。

21.1.2 DC 特性

DC 特性を表 21.2 に示します。また、出力許容電流値を表 21.3 に示します。

表 21.2 DC 特性

条件: $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}^{*1}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$

$T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

[書き込み / 消去時の条件: $T_a = 0 \sim +75$ (一般仕様)、 $T_a = 0 \sim +85$

(広温度範囲仕様)]

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	P8 ₀ ~ P8 ₂ 、 PortA	V_T^-	1.0	-	-	V
		V_T^+	-	-	$V_{CC} \times 0.7$	
		$V_T^+ - V_T^-$	0.4	-	-	
入力 High レベル電圧	STBY、RES、 NMI、MD ₀ ~ MD ₂ 、FWE	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	
	Port7		2.0	-	$AV_{CC} + 0.3$	
	Port1 ~ Port6、 P8 ₃ 、P8 ₄ 、P9 ₀ ~ P9 ₅ 、PortB		2.0	-	$V_{CC} + 0.3$	
入力 Low レベル電圧	STBY、RES、 FWE、MD ₀ ~ MD ₂	V_{IL}	- 0.3	-	0.5	V
	NMI、EXTAL、 Port1 ~ Port7、 P8 ₃ 、P8 ₄ 、P9 ₀ ~ P9 ₅ 、PortB		- 0.3	-	0.8	
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V
			3.5	-	-	
出力 Low レベル電圧	全出力端子	V_{OL}	-	-	0.4	V
	Port1、2、5		-	-	1.0	
入力リーク 電流	STBY、RES、 NMI、FWE、 MD ₀ ~ MD ₂	I_{in}	-	-	1.0	μA
	Port7		-	-	1.0	
スリーステ ートリーク 電流	Port1 ~ Port6、 Port8 ~ PortB	I_{TSI}	-	-	1.0	μA
入力 ブルアップ MOS 電流	Port2、4、5	$-I_p$	50	-	360	μA
入力容量	FWE	C_{in}	-	-	80	pF
	NMI		-	-	50	
	NMI、FWE 以外 の全入力端子		-	-	15	

項目		記号	min	typ	max	単位	測定条件
消費電流	通常動作時	I _{CC}	-	24 (5.0V)	36	mA	f = 25MHz
	スリープ時		-	20 (5.0V)	33		f = 25MHz
	モジュールスタンバイ時		-	15 (5.0V)	25		f = 25MHz
	スタンバイ時		-	25 (5.0V)	90	μ A	Ta 50
			-	-	120		50 < Ta
	フラッシュメモリ書き込み / 消去時*4		-	34 (5.0V)	46	mA	f = 25MHz
アナログ電源電流	A/D 変換中	AI _{CC}	-	0.9	1.5	mA	
	A/D、D/A 変換中		-	0.9	1.5		
	A/D、D/A 変換待機中		-	0.05 (5.0V)	5	μ A	Ta 50 DASTE = 0 時
			-	-	15		50 < Ta DASTE = 0 時
リファレンス電源電流	A/D 変換中	AI _{CC}	-	0.45	0.8	mA	
	A/D、D/A 変換中		-	1.8	3.0		
	A/D、D/A 変換待機中		-	0.05	5.0	μ A	DASTE = 0 時
RAM スタンバイ電圧		V _{RAM}	3.0	-	-	V	

【注】 *1 A/D 変換器未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵ブルアップ MOS をオフ状態にした場合の値です。

*3 $I_{CC} \max.$ (通常動作時) = $15 [mA] + 0.15 [mA / (MHz \times V)] \times V_{CC} \times f$
 $I_{CC} \max.$ (スリープ時) = $15 [mA] + 0.13 [mA / (MHz \times V)] \times V_{CC} \times f$
 $I_{CC} \max.$ (スリープ + モジュールスタンバイ時)
 $= 15 [mA] + 0.07 [mA / (MHz \times V)] \times V_{CC} \times f$

また、消費電流の typ 値は参考値です。

*4 通常動作 + 書き込み / 消去動作の消費電流の合計値です。

表 21.3 出力許容電流値

条件: $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	ポート 1、2、5	I_{OL}	-	-	10	mA
	上記以外の出力端子		-	-	2.0	
出力 Low レベル許容電流 (総和)	ポート 1、2、5、20 端子の総和	I_{OL}	-	-	80	mA
	上記を含む、全出力端子の総和		-	-	120	
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$ -I_{OH} $	-	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$ -I_{OH} $	-	-	40	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は、表 21.3 の値を超えないようにしてください。
2. ダーリントトランジスタや、LED を直接駆動する場合には、図 21.1、図 21.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

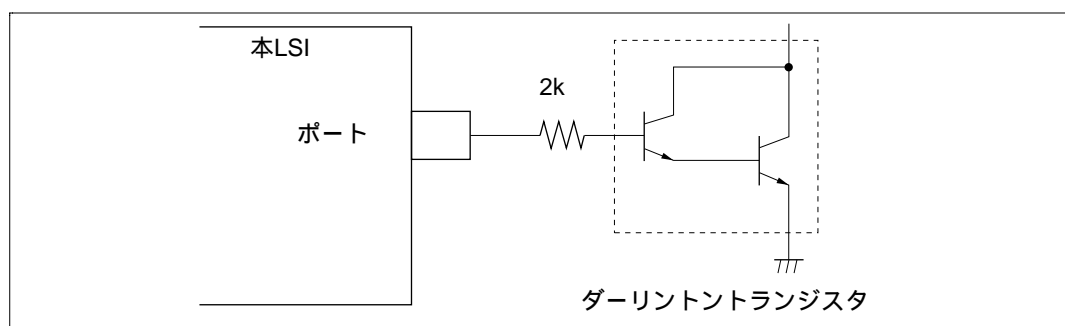


図 21.1 ダーリントトランジスタ駆動回路例

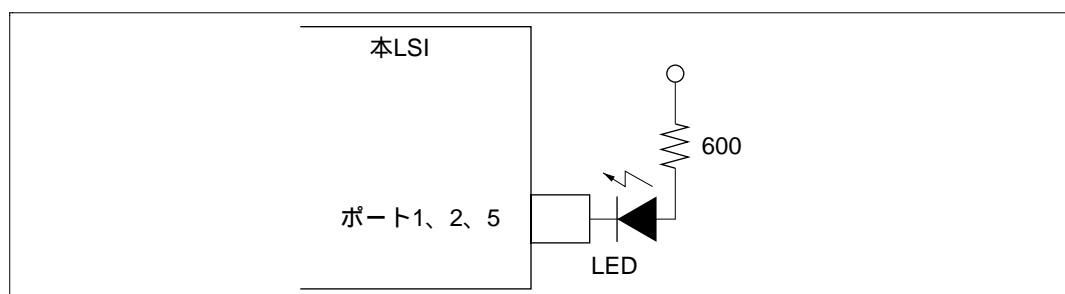


図 21.2 LED 回路例

21.1.3 AC 特性

表 21.4 にクロックタイミング、表 21.5 に制御信号タイミング、表 21.6 にバスタイミングを示します。

また、表 21.7 に内蔵周辺モジュールタイミングを示します。

表 21.4 クロックタイミング

条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

$V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$f_{max} = 25MHz$

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	40	100	ns	図 21.7
クロックパルス幅 (Low)	t_{CL}	10	-	ns	
クロックパルス幅 (High)	t_{CH}	10	-	ns	
クロック立ち上がり時間	t_{Cr}	-	10	ns	
クロック立ち下がり時間	t_{Cf}	-	10	ns	
リセット発振安定時間	t_{OSC1}	20	-	ms	図 21.4
ソフトウェアスタンバイ 発振安定時間	t_{OSC2}	7	-	ms	図 20.1

表 21.5 制御信号タイミング

条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

$V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$f_{max} = 25MHz$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	150	-	ns	図 21.5
RES パルス幅	t_{RESW}	20	-	t_{cyc}	
モードプログラミング セットアップ時間	t_{MDS}	200	-	ns	
NMI、IRQ セットアップ時間	t_{NMIS}	150	-	ns	図 21.6
NMI、IRQ ホールド時間	t_{NMIH}	10	-	ns	
NMI、IRQ パルス幅	t_{NMIW}	200	-	ns	

表 21.6 バスタイミング

条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	-	25	ns	図 21.7、 図 21.8、 図 21.10、 図 21.11、 図 21.13
アドレスホールド時間	t_{AH}	$0.5t_{cyc} - 20$	-	ns	
リードストローブ遅延時間	t_{RSD}	-	25	ns	
アドレスストローブ遅延時間	t_{ASD}	-	25	ns	
ライトストローブ遅延時間	t_{WSD}	-	25	ns	
ストローブ遅延時間	t_{SD}	-	25	ns	
ライトストローブパルス幅 1	t_{WSW1}	$1.0t_{cyc} - 25$	-	ns	
ライトストローブパルス幅 2	t_{WSW2}	$1.5t_{cyc} - 25$	-	ns	
アドレスセットアップ時間 1	t_{AS1}	$0.5t_{cyc} - 20$	-	ns	
アドレスセットアップ時間 2	t_{AS2}	$1.0t_{cyc} - 20$	-	ns	
リードデータセットアップ時間	t_{RDS}	25	-	ns	
リードデータホールド時間	t_{RDH}	0	-	ns	
ライトデータ遅延時間	t_{WDD}	-	35	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$1.0t_{cyc} - 30$	-	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$2.0t_{cyc} - 30$	-	ns	
ライトデータホールド時間	t_{WDH}	$0.5t_{cyc} - 15$	-	ns	
リードデータアクセス時間 1	t_{ACC1}	-	$2.0t_{cyc} - 45$	ns	
リードデータアクセス時間 2	t_{ACC2}	-	$3.0t_{cyc} - 45$	ns	
リードデータアクセス時間 3	t_{ACC3}	-	$1.5t_{cyc} - 45$	ns	
リードデータアクセス時間 4	t_{ACC4}	-	$2.5t_{cyc} - 45$	ns	
プリチャージ時間 1	t_{PCH1}	$1.0t_{cyc} - 20$	-	ns	図 21.9
プリチャージ時間 2	t_{PCH2}	$0.5t_{cyc} - 20$	-	ns	
ウェイトセットアップ時間	t_{WTS}	25	-	ns	
ウェイトホールド時間	t_{WTH}	5	-	ns	
バスリクエストセットアップ時間	t_{BRQS}	25	-	ns	図 21.12
バスアクノリッジ遅延時間 1	t_{BACD1}	-	30	ns	
バスアクノリッジ遅延時間 2	t_{BACD2}	-	30	ns	
バスフローティング時間	t_{BZD}	-	30	ns	
RAS プリチャージ時間	t_{RP}	$1.5t_{cyc} - 25$	-	ns	図 21.13 ~ 図 21.15
CAS プリチャージ時間	t_{CP}	$0.5t_{cyc} - 15$	-	ns	
ロウアドレスホールド時間	t_{RAH}	$0.5t_{cyc} - 15$	-	ns	
RAS 遅延時間 1	t_{RAD1}	-	25	ns	
RAS 遅延時間 2	t_{RAD2}	-	30	ns	
CAS 遅延時間 1	t_{CASD1}	-	25	ns	
CAS 遅延時間 2	t_{CASD2}	-	25	ns	
WE 遅延時間	t_{WCD}	-	25	ns	
CAS パルス幅 1	t_{CAS1}	$1.5t_{cyc} - 20$	-	ns	
CAS パルス幅 2	t_{CAS2}	$1.0t_{cyc} - 20$	-	ns	
CAS パルス幅 3	t_{CAS3}	$1.0t_{cyc} - 20$	-	ns	
RAS アクセス時間	t_{RAC}	-	$2.5t_{cyc} - 40$	ns	
アドレスアクセス時間	t_{AA}	-	$2.0t_{cyc} - 50$	ns	
CAS アクセス時間	t_{CAC}	-	$1.5t_{cyc} - 50$	ns	
WE セットアップ時間	t_{WCS}	$0.5t_{cyc} - 20$	-	ns	
WE ホールド時間	t_{WCH}	$0.5t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5t_{cyc} - 20$	-	ns	
WE ライトデータホールド時間	t_{WDH}	$0.5t_{cyc} - 15$	-	ns	
CAS セットアップ時間 1	t_{CSR1}	$0.5t_{cyc} - 20$	-	ns	
CAS セットアップ時間 2	t_{CSR2}	$0.5t_{cyc} - 15$	-	ns	
CAS ホールド時間	t_{CHR}	$0.5t_{cyc} - 15$	-	ns	
RAS パルス幅	t_{RAS}	$1.5t_{cyc} - 15$	-	ns	

[注] \overline{RD} ストローブの立ち上がりに対するアドレスのホールドを確保するためには、アドレス更新モード 2 を使用してください。詳細は「6.3.5 アドレス出力方式」を参照してください。

表 21.7 内蔵周辺モジュールタイミング

条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様) $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

Module	項目	記号	min	max	単位	測定条件
Port/TPC	出力データ遅延時間	t_{PWD}	-	50	ns	図 21.16
	入力データセットアップ時間	t_{PRS}	50	-	ns	
	入力データホールド時間	t_{PRH}	50	-	ns	
16ビット タイマ	タイマ出力遅延時間	t_{TOCD}	-	50	ns	図 21.17
	タイマ入力セットアップ時間	t_{TICS}	50	-	ns	
	タイマクロック入力セットアップ時間	t_{TCKS}	50	-	ns	図 21.18
	タイマクロック	単エッジ	t_{TCKWH}	1.5	-	
	パルス幅	両エッジ	t_{TCKWL}	2.5	-	
8ビット タイマ	タイマ出力遅延時間	t_{TOCD}	-	50	ns	図 21.17
	タイマ入力セットアップ時間	t_{TICS}	50	-	ns	
	タイマクロック入力セットアップ時間	t_{TCKS}	50	-	ns	図 21.18
	タイマクロック	単エッジ	t_{TCKWH}	1.5	-	
	パルス幅	両エッジ	t_{TCKWL}	2.5	-	
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4	-	t_{cyc} 図 21.19
		クロック同期	6	-		
	入力クロック立ち上がり時間		t_{SCKr}	-	1.5	t_{cyc}
	入力クロック立ち下がり時間		t_{SCKf}	-	1.5	t_{cyc}
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}
	送信データ遅延時間		t_{TXD}	-	100	ns 図 21.20
	受信データセットアップ時間(クロック同期)		t_{RXS}	100	-	ns
	受信データホールド 時間(クロック同期)	クロック入力	t_{RXH}	100	-	ns
		クロック出力	0	-		
	DREQ セットアップ時間		t_{DRQS}	25	-	ns 図 21.23
DMAC	DREQ ホールド時間		t_{DRQH}	10	-	ns
	TEND 遅延時間 1		t_{TED1}	-	50	ns 図 21.21、
	TEND 遅延時間 2		t_{TED2}	-	50	ns 図 21.22

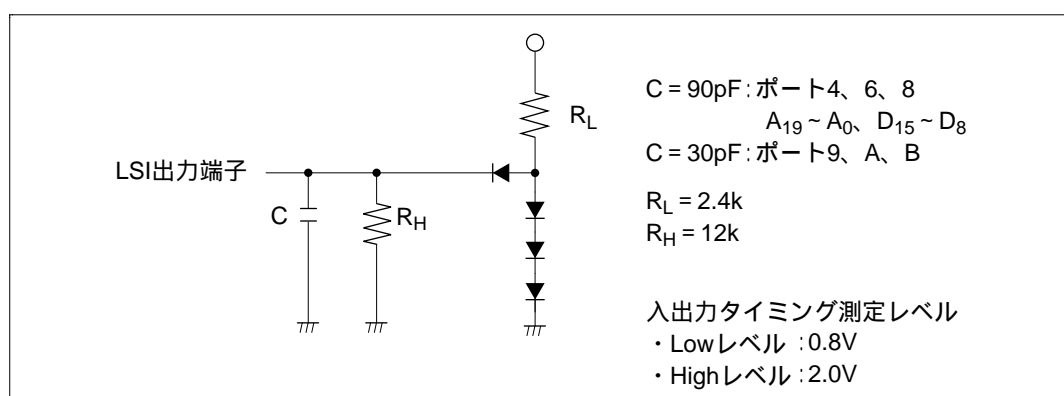


図 21.3 出力負荷回路

21.1.4 A/D 変換特性

A/D 変換特性を表 21.8 に示します。

表 21.8 A/D 変換特性

条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

$V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$f_{max} = 25MHz$

項目		min	typ	max	単位
変換時間: 134 ステート	分解能	10	10	10	bit
	変換時間 (単一モード)	-	-	134	t_{cyc}
	アナログ入力容量	-	-	20	pF
	許容信号源	13MHz	-	10	k
	インピーダンス	> 13MHz	-	5	
	非直線性誤差	-	-	± 3.5	LSB
	オフセット誤差	-	-	± 3.5	LSB
	フルスケール誤差	-	-	± 3.5	LSB
	量子化誤差	-	-	± 0.5	LSB
	絶対精度	-	-	± 4.0	LSB
変換時間: 70 ステート	分解能	10	10	10	bit
	変換時間 (単一モード)	-	-	70	t_{cyc}
	アナログ入力容量	-	-	20	pF
	許容信号源	13MHz	-	5	k
	インピーダンス	> 13MHz	-	3	
	非直線性誤差	-	-	± 7.5	LSB
	オフセット誤差	-	-	± 7.5	LSB
	フルスケール誤差	-	-	± 7.5	LSB
	量子化誤差	-	-	± 0.5	LSB
	絶対精度	-	-	± 8.0	LSB

21.1.5 D/A 変換特性

D/A 変換特性を表 21.9 に示します。

表 21.9 D/A 変換特性

条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

$V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$f_{max} = 25MHz$

項目	min	typ	max	単位	測定条件
分解能	8	8	8	bit	
変換時間 (センタリング時間)	-	-	10	μs	負荷容量 20pF
絶対精度	-	± 1.5	± 2.0	LSB	負荷抵抗 2M
	-	-	± 1.5		負荷抵抗 4M

21.1.6 フラッシュメモリ特性

表 21.10 にフラッシュメモリ特性を示します。

表 21.10 フラッシュメモリ特性 (1)

条件: $V_{CC} = AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$

$T_a = 0 \sim +75$ (書き込み / 消去時の動作温度範囲: 一般仕様)

$T_a = 0 \sim +85$ (書き込み / 消去時の動作温度範囲: 広温度範囲仕様)

項目	記号	min.	typ.	max.	単位	特記
書き込み時間*1、*2、*4	t_p	-	3	30	ms/128 バイト	
消去時間*1、*2、*4	t_E	-	80	800	ms/4k バイト ブロック	
		-	500	5000	ms/32k バイト ブロック	
		-	1000	10000	ms/64k バイト ブロック	
書き込み時間 (総和)*1、*2、*4	t_p	-	10	30	s/512k バイト	$T_a=25$ 、all"0"時
消去時間 (総和)*1、*2、*4	t_E	-	10	30	s/512k バイト	$T_a=25$
書き込み、消去時間 (総和)*1、*2、*4	t_{PE}	-	20	60	s/512k バイト	$T_a=25$
書き換え回数	N_{WEC}	100*3	-	-	回	
データ保持時間*4	t_{DRP}	10	-	-	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間にはデータ転送時間は含みません。

*3 書き換え後のすべての特性を保証する min. 回数です。(保証は 1 ~ min. 値の範囲です。)

*4 書き換えが min. 値を含む仕様範囲内で行われたときの特性です。

21.2 動作タイミング

動作タイミングを以下に示します。

21.2.1 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図 21.4 に発振安定時間タイミングを示します。

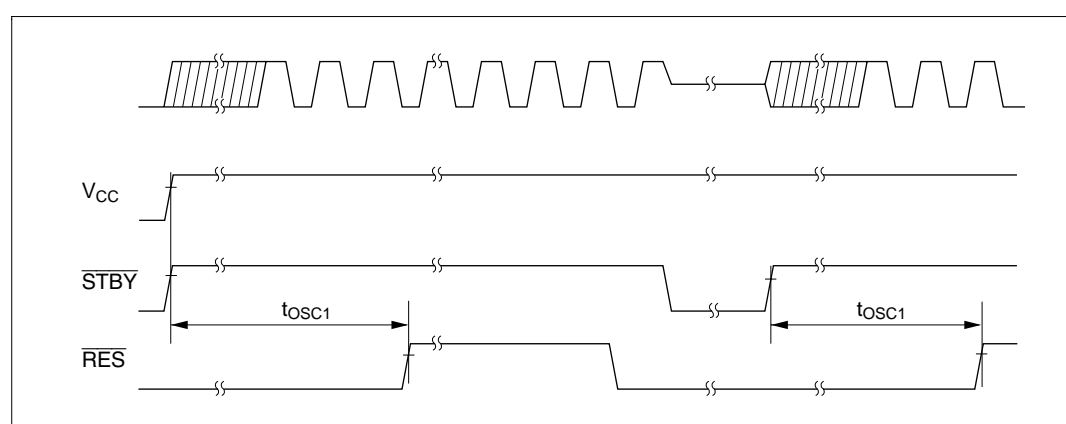


図 21.4 発振安定時間タイミング

21.2.2 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図 21.5 にリセット入力タイミングを示します。

(2) 割り込み入力タイミング

図 21.6 に NMI、 $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 割り込み入力タイミングを示します。

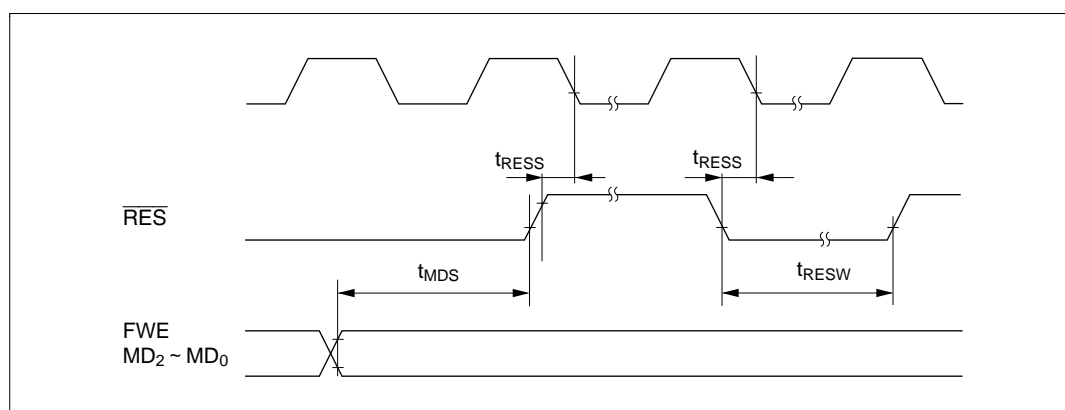


図 21.5 リセット入力タイミング

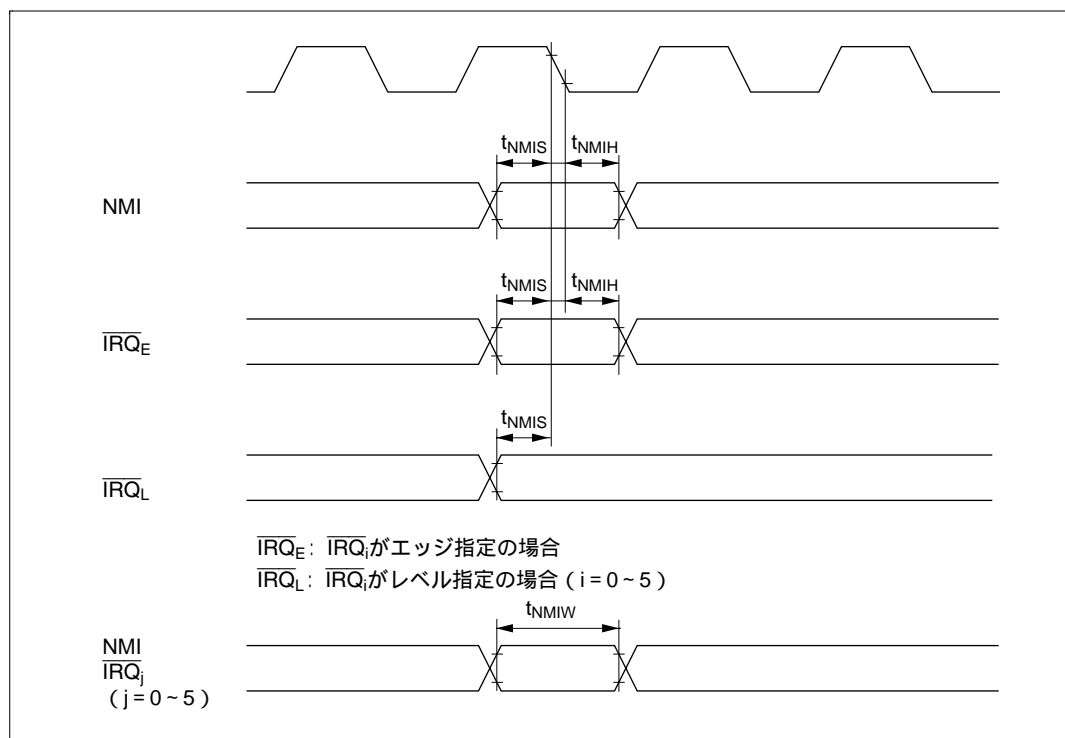


図 21.6 割り込み入力タイミング

21.2.3 バスタイミング

バスタイミングを以下に示します。

(1) 基本バスタイミング / 2 ステートアクセス

図 21.7 に外部 2 ステートアクセス時の動作タイミングを示します。

(2) 基本バスタイミング / 3 ステートアクセス

図 21.8 に外部 3 ステートアクセス時の動作タイミングを示します。

(3) 基本バスタイミング / 3 ステートアクセス 1 ウェイト

図 21.9 に外部 3 ステートアクセスで 1 ウェイトを挿入したときの動作タイミングを示します。

(4) バースト ROM アクセスタイミング / バーストサイクル 2 ステート

図 21.10 にバーストサイクル 2 ステート時の動作タイミングを示します。

(5) バースト ROM アクセスタイミング / バーストサイクル 3 ステート

図 21.11 にバーストサイクル 3 ステート時の動作タイミングを示します。

(6) バスリリースモードタイミング

図 21.12 にバスリリースモードタイミングを示します。

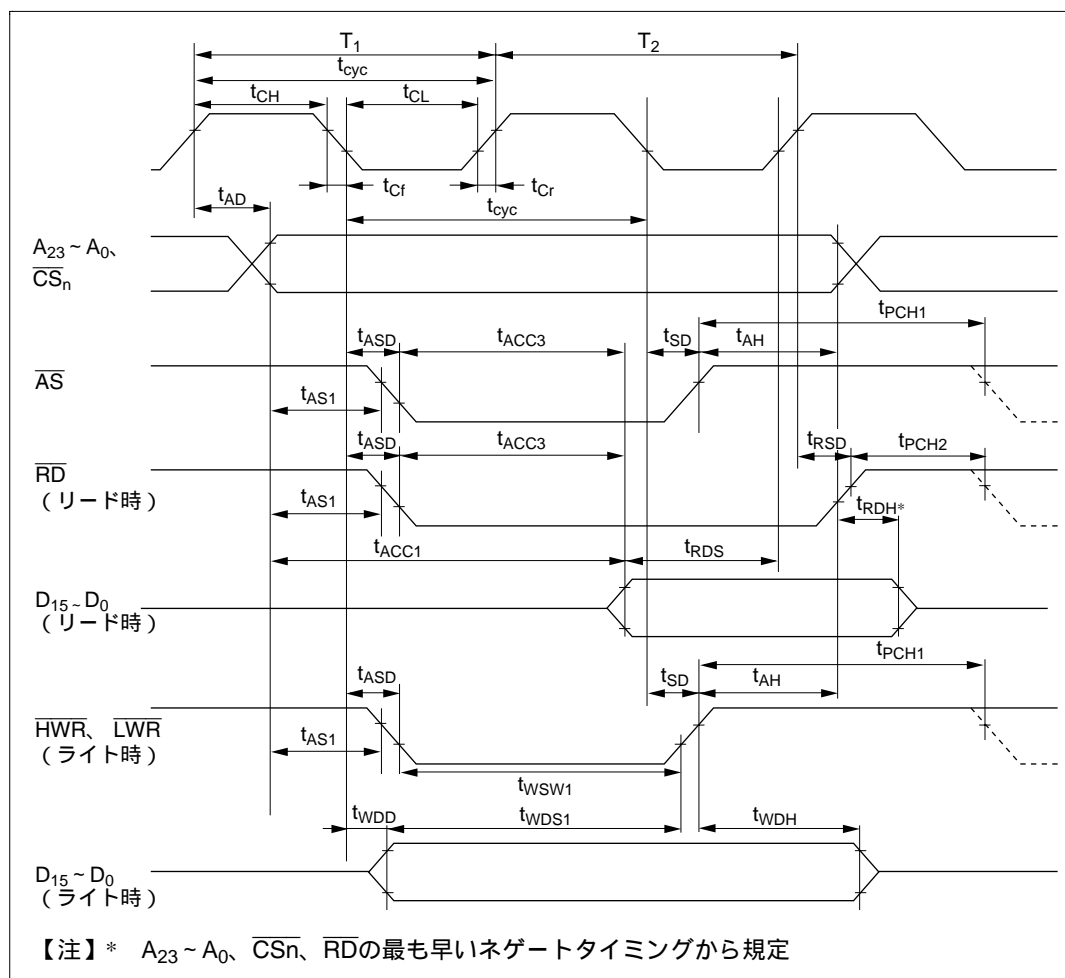


図 21.7 基本バスタイミング / 2 ステートアクセス

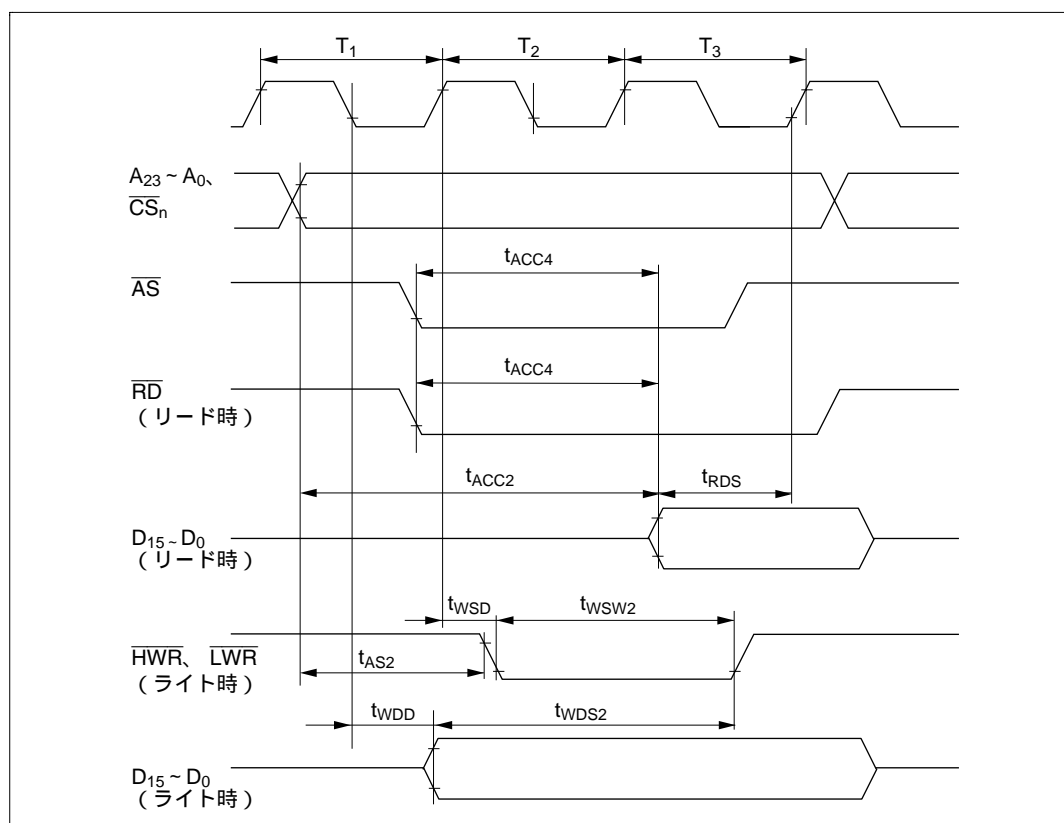


図 21.8 基本バスタイミング / 3 ステートアクセス

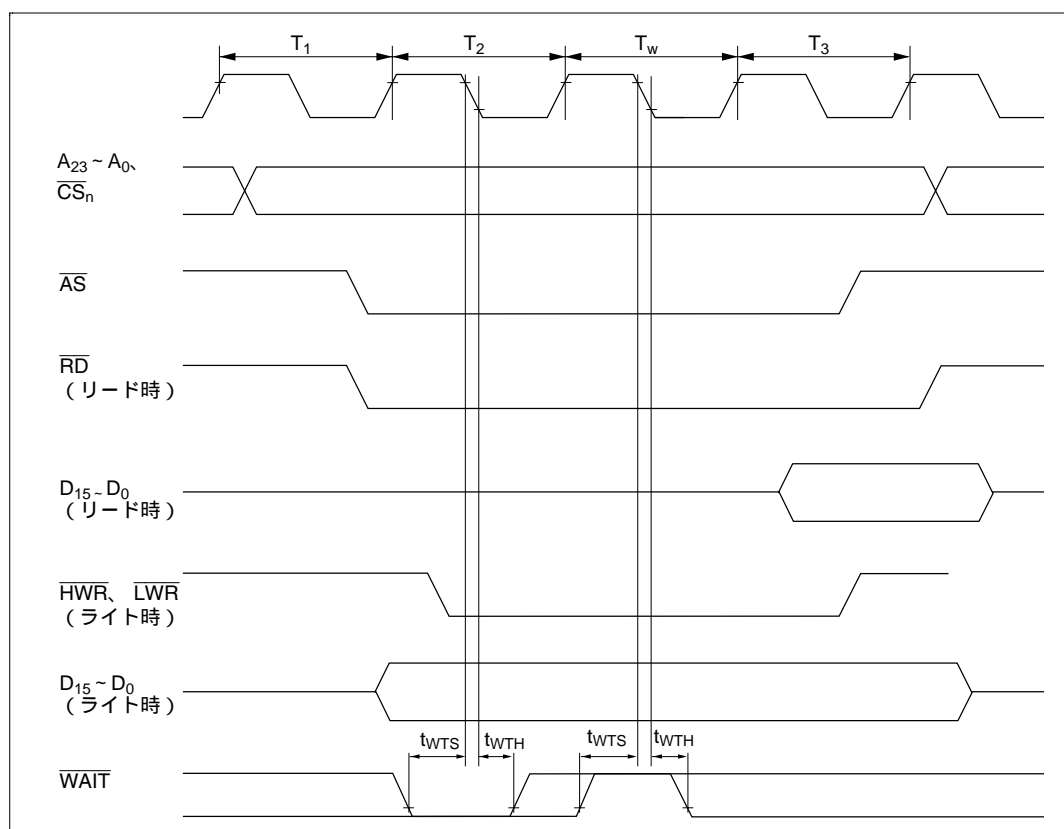


図 21.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

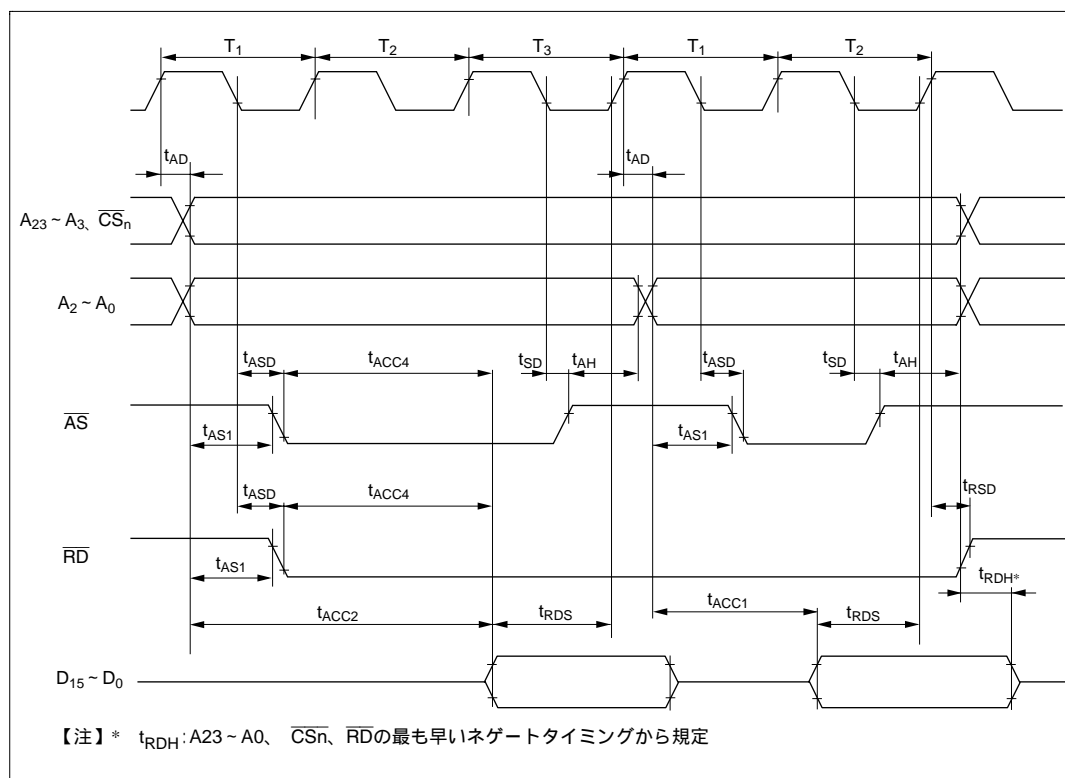


図 21.10 バースト ROM アクセスタイミング (バーストサイクル2 ステート)

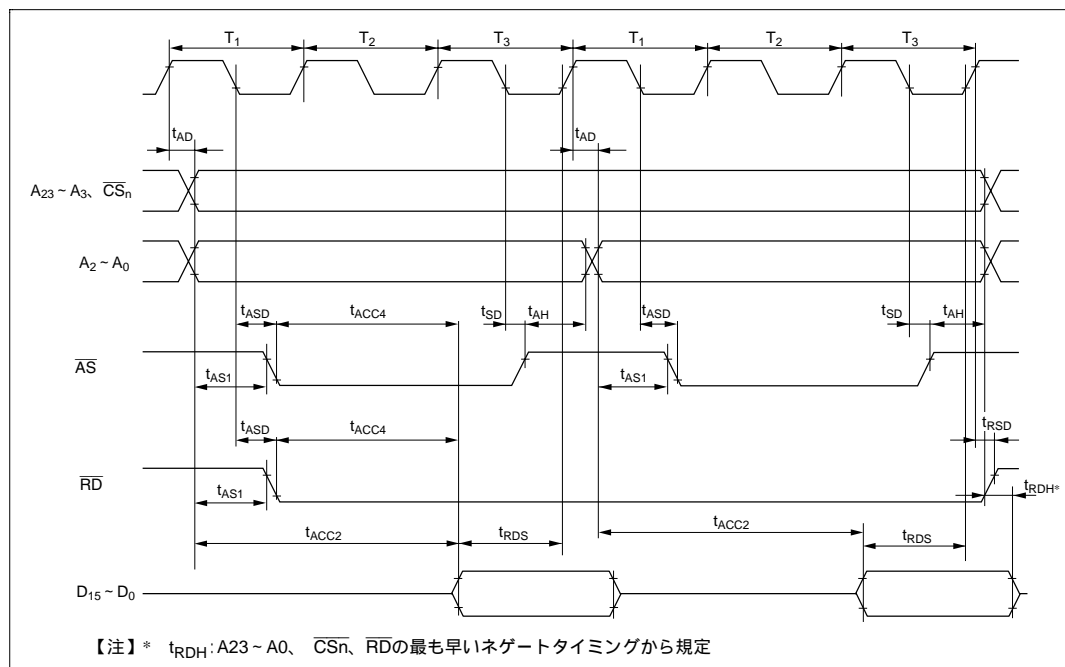


図 21.11 バースト ROM アクセスタイミング (バーストサイクル3 ステート)

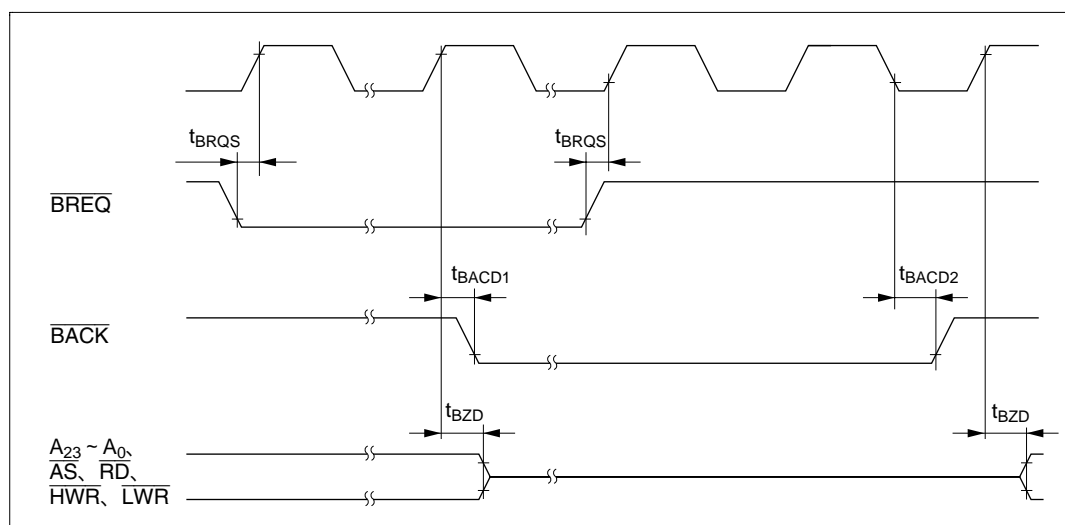


図 21.12 バスリリースモードタイミング

21.2.4 DRAM インタフェースバスタイミング

DRAM インタフェースバスタイミングを示します。

(1) DRAM バスタイミング / リード / ライト時

図 21.13 にリード / ライト時のタイミングを示します。

(2) DRAM バスタイミング / CAS ビフォア RAS リフレッシュ

図 21.14 に CAS ビフォア RAS リフレッシュ時のタイミングを示します。

(3) DRAM バスタイミング / セルフリフレッシュ

図 21.15 にセルフリフレッシュ時のタイミングを示します。

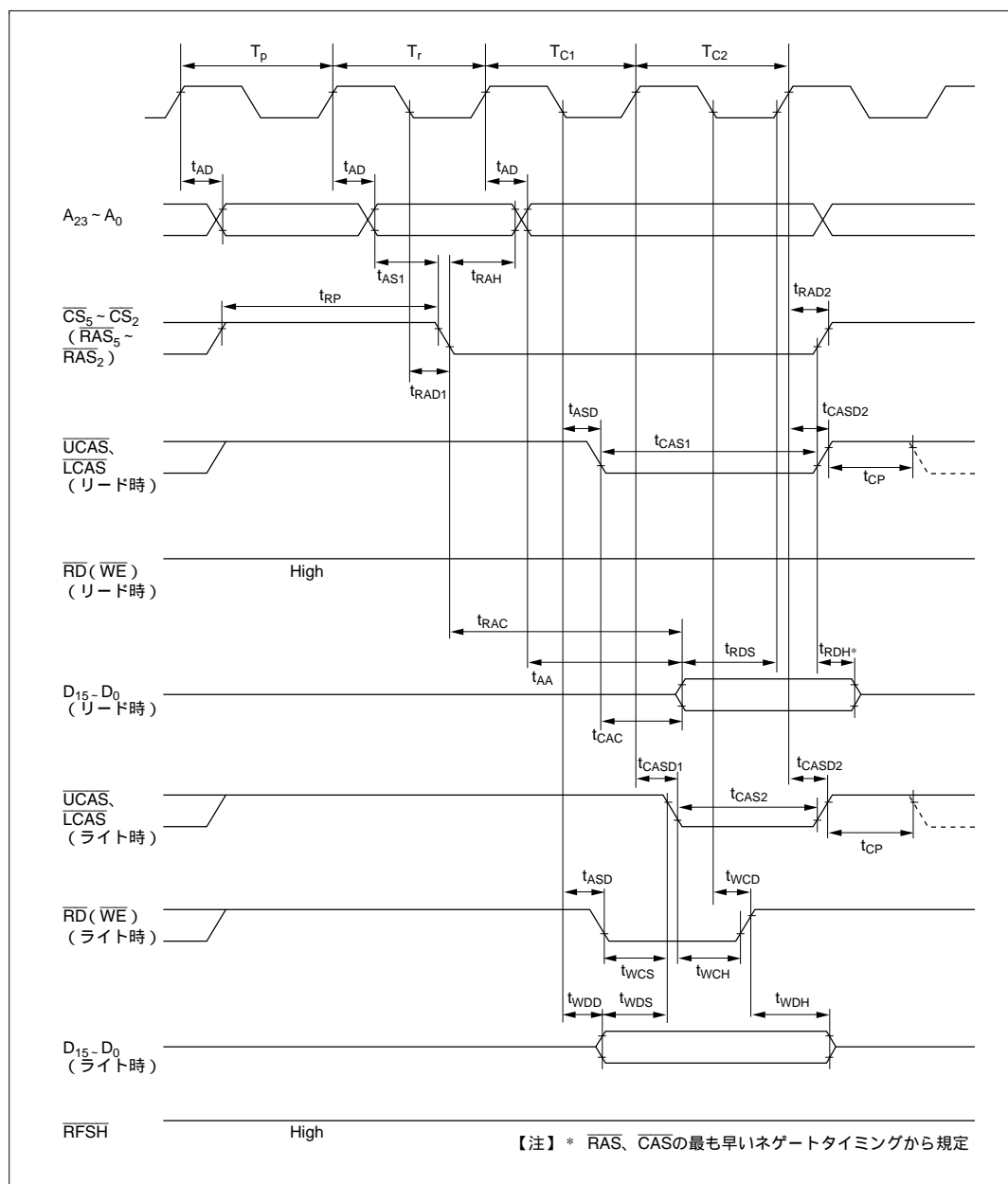


図 21.13 DRAMバスタイミング (リード/ライト時)

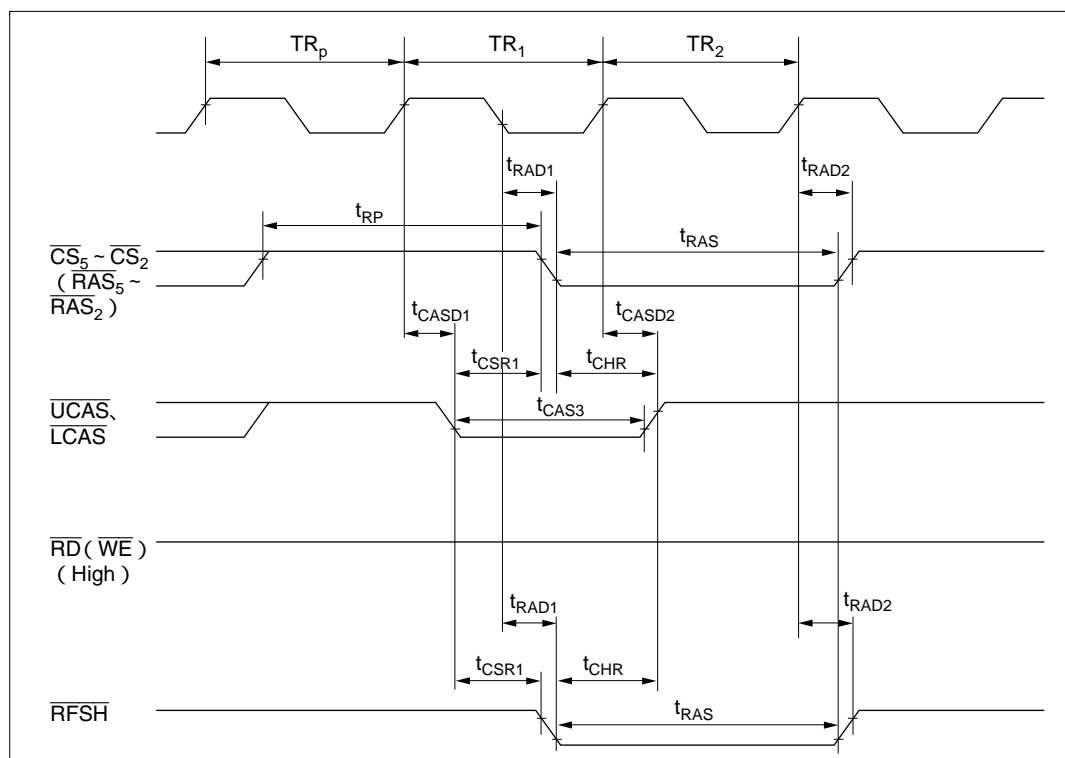


図 21.14 DRAMバスタイミング (CAS ビフォア RAS リフレッシュ)

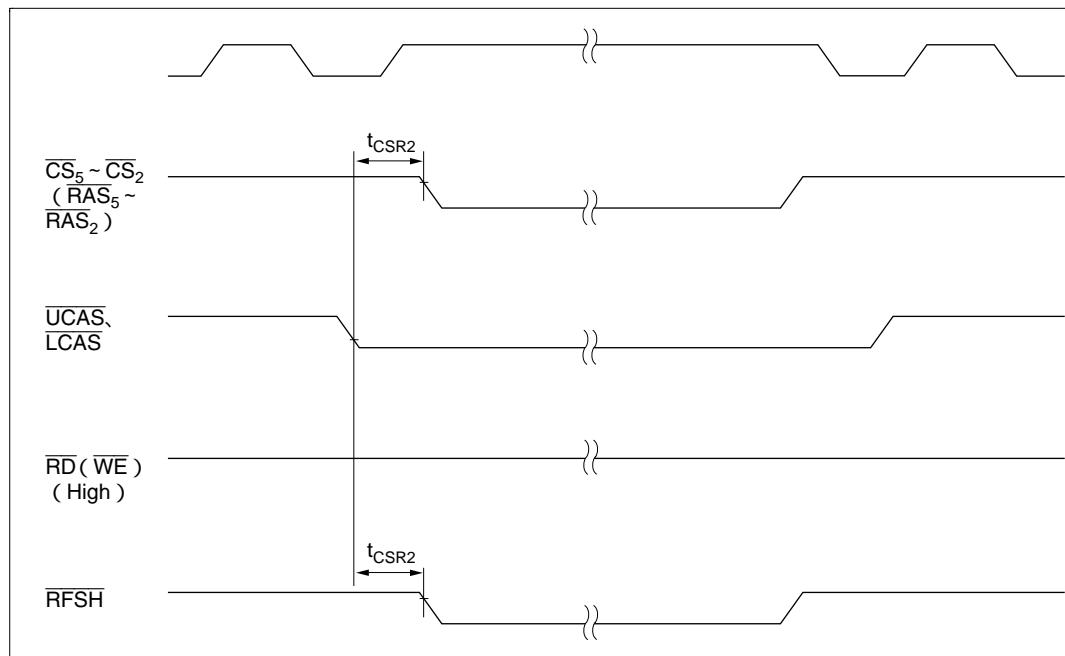


図 21.15 DRAMバスタイミング (セルフリフレッシュ)

21.2.5 TPC、I/O ポートタイミング

図 21.16 に TPC、I/O ポートの入出力タイミングを示します。

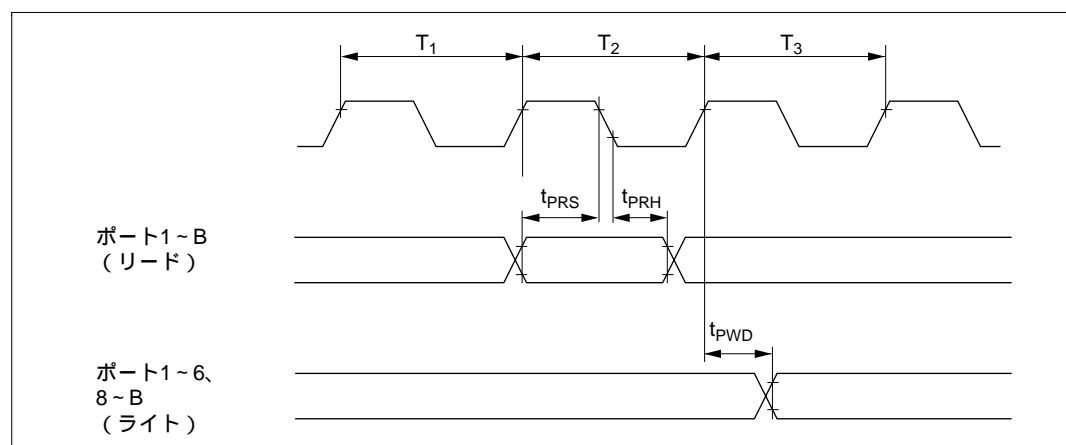


図 21.16 TPC、I/O ポート入出力タイミング

21.2.6 タイマ入出力タイミング

16ビットタイマ、8ビットタイマの各タイミングを以下に示します。

(1) タイマ入出力タイミング

図 21.17 にタイマ入出力タイミングを示します。

(2) タイマ外部クロック入力タイミング

図 21.18 にタイマ外部クロック入力タイミングを示します。

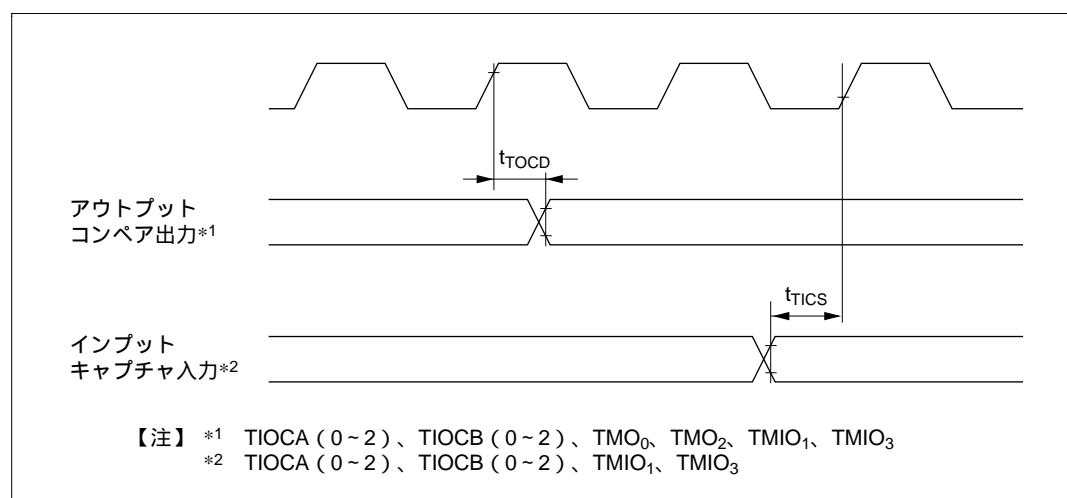


図 21.17 タイマ入出力タイミング

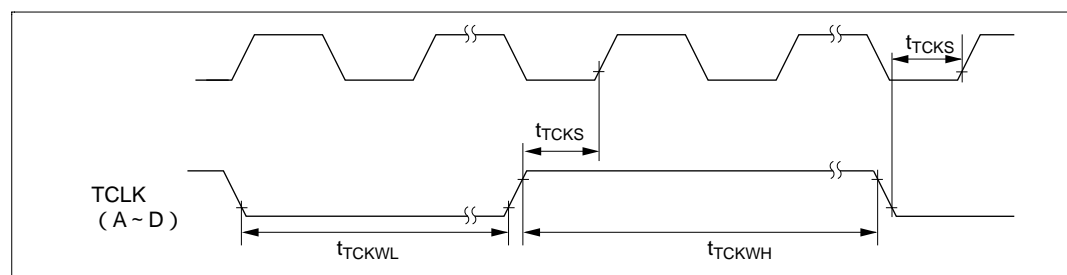


図 21.18 タイマ外部クロック入力タイミング

21.2.7 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図 21.19 に SCI 入力クロックタイミングを示します。

(2) SCI 入出力タイミング (クロック同期式モード)

図 21.20 にクロック同期式モード時の SCI 入出力タイミングを示します。

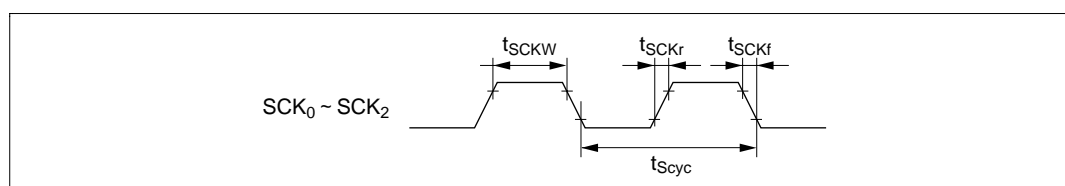


図 21.19 SCI 入力クロックタイミング

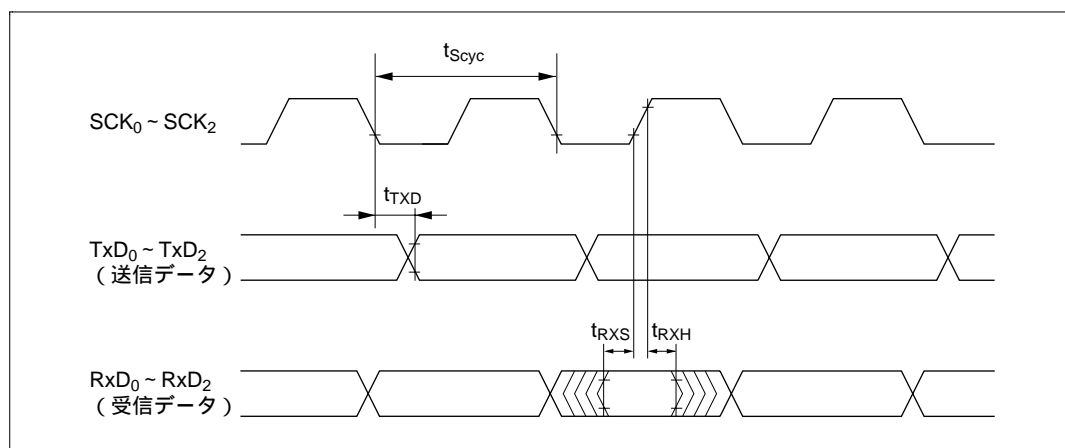


図 21.20 クロック同期式モード時の SCI 入出力タイミング

21.2.8 DMAC タイミング

DMAC の各タイミングを以下に示します。

(1) DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセスを図 21.21 に示します。

(2) DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセスを図 21.22 に示します。

(3) DMAC、 $\overline{\text{DREQ}}$ 入力タイミング

DMAC、 $\overline{\text{DREQ}}$ 入力タイミングを図 21.23 に示します。

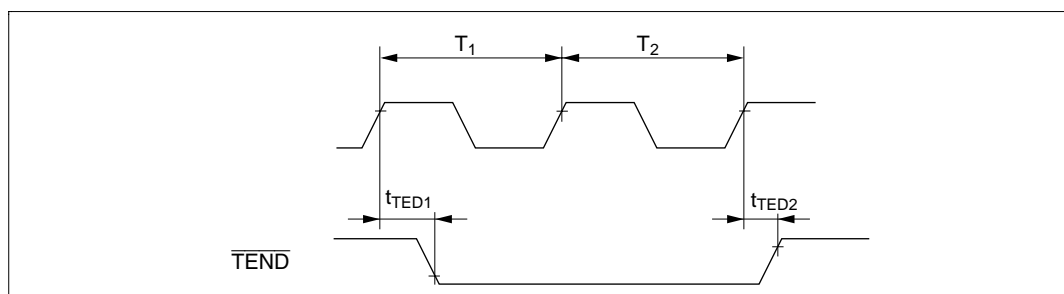


図 21.21 DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

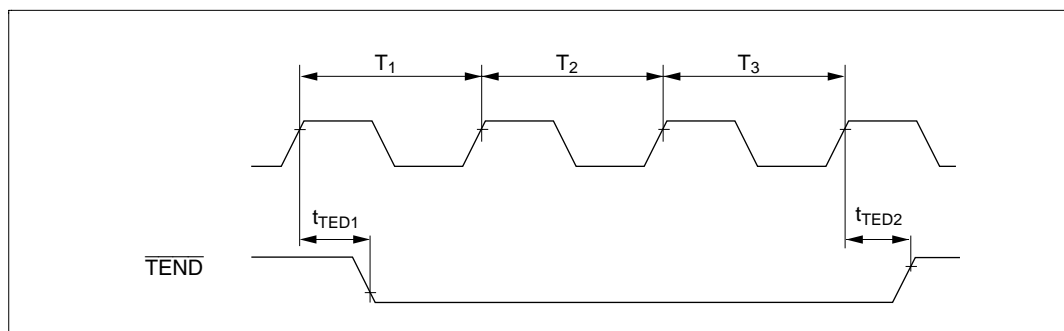


図 21.22 DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

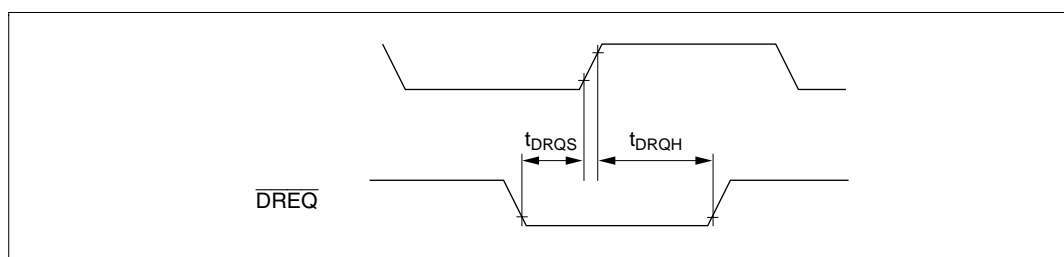


図 21.23 DMAC、 $\overline{\text{DREQ}}$ 入力タイミング

付録

付録 目次

A.	命令	815
	A.1	命令一覧 815
	A.2	オペレーションコードマップ 830
	A.3	命令実行ステート数 833
B.	内部 I/O レジスタ一覧	844
	B.1	アドレス一覧 (EMC ビット=1 のとき) 844
	B.2	アドレス一覧 (EMC ビット=0 のとき) 857
	B.3	機能一覧 868
C.	I/O ポートブロック図	963
	C.1	ポート 1 ブロック図 963
	C.2	ポート 2 ブロック図 964
	C.3	ポート 3 ブロック図 965
	C.4	ポート 4 ブロック図 966
	C.5	ポート 5 ブロック図 967
	C.6	ポート 6 ブロック図 968
	C.7	ポート 7 ブロック図 975
	C.8	ポート 8 ブロック図 976
	C.9	ポート 9 ブロック図 981
	C.10	ポート A ブロック図 987
	C.11	ポート B ブロック図 990
D.	端子状態	998
	D.1	各処理状態におけるポートの状態 998
	D.2	リセット時の端子状態 1005
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	1009
F.	型名一覧	1010
G.	外形寸法図	1011

H.	H8/300H シリーズ製品仕様比較	1012
H.1	H8/3069F、H8/3067、H8/3062 シリーズと H8/3048 シリーズ、H8/3007、 H8/3006 と H8/3002 の相違点	1012
H.2	100 ピンパッケージ品の端子機能比較（FP-100B、TFP-100B の場合）	1014

A. 命令

A.1 命令一覧

《オペレーションの記号》

記 号	内 容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERs	ソース側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
disp	ディスプレースメント
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
() < >	オペランドの内容

【注】 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）または 16 ビット（R0～R7、E0～E7）です。

《コンディションコードの記号》

記 号	内 容
↑	実行結果に従って変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディショニングコード							実行サイクル数 ^{*1}	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノール	アドバンス
MOV	MOV.B #xx:8, Rd	B	2									↑	↑	0		2	
	MOV.B Rs, Rd	B	2									↑	↑	0		2	
	MOV.B @ERs, Rd	B		2								↑	↑	0		4	
	MOV.B @(d:16, ERs), Rd	B			4							↑	↑	0		6	
	MOV.B @(d:24, ERs), Rd	B			8							↑	↑	0		10	
	MOV.B @ERs+, Rd	B				2						↑	↑	0		6	
	MOV.B @aa:8, Rd	B					2					↑	↑	0		4	
	MOV.B @aa:16, Rd	B					4					↑	↑	0		6	
	MOV.B @aa:24, Rd	B					6					↑	↑	0		8	
	MOV.B Rs, @ERd	B		2								↑	↑	0		4	
	MOV.B Rs, @(d:16, ERd)	B			4							↑	↑	0		6	
	MOV.B Rs, @(d:24, ERd)	B			8							↑	↑	0		10	
	MOV.B Rs, @-ERd	B				2						↑	↑	0		6	
	MOV.B Rs, @aa:8	B					2					↑	↑	0		4	
	MOV.B Rs, @aa:16	B					4					↑	↑	0		6	
	MOV.B Rs, @aa:24	B					6					↑	↑	0		8	
	MOV.W #xx:16, Rd	W	4									↑	↑	0		4	
	MOV.W Rs, Rd	W		2								↑	↑	0		2	
	MOV.W @ERs, Rd	W			2							↑	↑	0		4	
	MOV.W @(d:16, ERs), Rd	W			4							↑	↑	0		6	
	MOV.W @(d:24, ERs), Rd	W			8							↑	↑	0		10	
	MOV.W @ERs+, Rd	W				2						↑	↑	0		6	
	MOV.W @aa:16, Rd	W					4					↑	↑	0		6	
	MOV.W @aa:24, Rd	W					6					↑	↑	0		8	

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディショニングコード							実行バイト数 ^{*1}					
			アドレッシングモード / 命令長 (バイト)								コンディショニングコード												
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z	V	C		ノーマル	7ビット			
MOV	MOV.W Rs, @ERd	W		2											Rs16	@ERd		↑	↑	0			4
	MOV.W Rs, @(d:16, ERd)	W			4										Rs16	@(d:16, ERd)		↑	↑	0			6
	MOV.W Rs, @(d:24, ERd)	W			8										Rs16	@(d:24, ERd)		↑	↑	0			10
	MOV.W Rs, @-ERd	W				2									ERd32-2	ERd32, Rs16 @ERd		↑	↑	0			6
	MOV.W Rs, @aa:16	W					4								Rs16	@aa:16		↑	↑	0			6
	MOV.W Rs, @aa:24	W					6								Rs16	@aa:24		↑	↑	0			8
	MOV.L #xx:32, Rd	L	6												#xx:32	Rd32		↑	↑	0			6
	MOV.L ERs, ERd	L		2											ERs32	ERd32		↑	↑	0			2
	MOV.L @ERs, ERd	L			4										@ERs	ERd32		↑	↑	0			8
	MOV.L @(d:16, ERs), ERd	L				6									@(d:16, ERs)	ERd32		↑	↑	0			10
	MOV.L @(d:24, ERs), ERd	L				10									@(d:24, ERs)	ERd32		↑	↑	0			14
	MOV.L @ERs+, ERd	L				4									@ERs	ERd32, ERs32+4 ERs32		↑	↑	0			10
	MOV.L @aa:16, ERd	L					6								@aa:16	ERd32		↑	↑	0			10
	MOV.L @aa:24, ERd	L					8								@aa:24	ERd32		↑	↑	0			12
POP	MOV.L ERs, @ERd	L			4										ERs32	@ERd		↑	↑	0			8
	MOV.L ERs, @(d:16, ERd)	L				6									ERs32	@(d:16, ERd)		↑	↑	0			10
	MOV.L ERs, @(d:24, ERd)	L				10									ERs32	@(d:24, ERd)		↑	↑	0			14
	MOV.L ERs, @-ERd	L				4									ERd32-4	ERd32, ERs32 @ERd		↑	↑	0			10
PUSH	MOV.L ERs, @aa:16	L					6								ERs32	@aa:16		↑	↑	0			10
	MOV.L ERs, @aa:24	L					8								ERs32	@aa:24		↑	↑	0			12
	POP.W Rn	W								2	@SP	Rn16, SP+2	SP		↑	↑	↑	↑	↑	0			6
	POP.L ERn	L								4	@SP	ERn32, SP+4	SP		↑	↑	↑	↑	↑	0			10
MOVFPE	PUSH.W Rn	W								2	SP-2	SP, Rn16	@SP		↑	↑	↑	↑	↑	0			6
	PUSH.L ERn	L								4	SP-4	SP, ERn32	@SP		↑	↑	↑	↑	↑	0			10
MOVTPPE	MOVFPE @aa:16, Rd	B							4						本LSIでは使用できません								
MOVTPPE	MOVTPPE Rs, @aa:16	B							4						本LSIでは使用できません								

(2) 算術演算命令

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード										実行ガード数 [※]									
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa											I	H	N	Z	V	C	ノーマル	アドバント		
ADD	ADD.B #xx:8, Rd	B	2																			Rd8+#xx:8	Rd8	↑	↑	↑	↑	↑	↑	2
	ADD.B Rs, Rd	B		2																		Rd8+Rs8	Rd8	↑	↑	↑	↑	↑	↑	2
	ADD.W #xx:16, Rd	W	4																			Rd16+#xx:16	Rd16	(1)	↑	↑	↑	↑	↑	4
	ADD.W Rs, Rd	W		2																		Rd16+Rs16	Rd16	(1)	↑	↑	↑	↑	↑	2
	ADD.L #xx:32, ERd	L	6																			ERd32+#xx:32	ERd32	(2)	↑	↑	↑	↑	↑	6
	ADD.L ERs, ERd	L		2																		ERd32+ERs32	ERd32	(2)	↑	↑	↑	↑	↑	2
ADDX	ADDX.B #xx:8, Rd	B	2																			Rd8+#xx:8+C	Rd8	↑	↑	(3)	↑	↑	↑	2
	ADDX.B Rs, Rd	B		2																		Rd8+Rs8+C	Rd8	↑	↑	(3)	↑	↑	↑	2
ADDS	ADDS.L #1, ERd	L		2																		ERd32+1	ERd32							2
	ADDS.L #2, ERd	L		2																		ERd32+2	ERd32							2
	ADDS.L #4, ERd	L		2																		ERd32+4	ERd32							2
	INC.B Rd	B		2																		Rd8+1	Rd8		↑	↑	↑	↑	↑	2
INC	INC.W #1, Rd	W		2																		Rd16+1	Rd16		↑	↑	↑	↑	↑	2
	INC.W #2, Rd	W		2																		Rd16+2	Rd16		↑	↑	↑	↑	↑	2
	INC.L #1, ERd	L		2																		ERd32+1	ERd32		↑	↑	↑	↑	↑	2
	INC.L #2, ERd	L		2																		ERd32+2	ERd32		↑	↑	↑	↑	↑	2
	DAA Rd	B		2														*	↑	↑	↑	Rd8 10進補正	Rd8		↑	↑	↑	*		2
	SUB.B Rs, Rd	B		2															↑	↑	↑	↑	Rd8-Rs8	Rd8		↑	↑	↑	↑	↑
SUB	SUB.W #xx:16, Rd	W	4																			Rd16+#xx:16	Rd16	(1)	↑	↑	↑	↑	↑	4
	SUB.W Rs, Rd	W		2																		Rd16-Rs16	Rd16	(1)	↑	↑	↑	↑	↑	2
	SUB.L #xx:32, ERd	L	6																			ERd32+#xx:32	ERd32	(2)	↑	↑	↑	↑	↑	6
	SUB.L ERs, ERd	L		2																		ERd32-ERs32	ERd32	(2)	↑	↑	↑	↑	↑	2
	SUBX.B #xx:8,Rd	B	2																			Rd8+#xx:8-C	Rd8		↑	↑	(3)	↑	↑	2
	SUBX.B Rs, Rd	B		2																		Rd8-Rs8-C	Rd8		↑	↑	(3)	↑	↑	2

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)										オペレーション	コンディションコード							実行フラグ数 ^{※1}				
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@aa	I	H		N	Z	V	C	ノーマル	アドバンス						
SUBS	SUBS.L #1, ERd	L	2															ERd32-1	ERd32				2		
	SUBS.L #2, ERd	L	2															ERd32-2	ERd32				2		
	SUBS.L #4, ERd	L	2															ERd32-4	ERd32				2		
DEC	DEC.B Rd	B	2															Rd8-1	Rd8		↑	↑	↑	2	
	DEC.W #1, Rd	W	2															Rd16-1	Rd16		↑	↑	↑	2	
	DEC.W #2, Rd	W	2															Rd16-2	Rd16		↑	↑	↑	2	
	DEC.L #1, ERd	L	2															ERd32-1	ERd32		↑	↑	↑	2	
	DEC.L #2, ERd	L	2															ERd32-2	ERd32		↑	↑	↑	2	
DAS	DAS Rd	B	2															Rd8 10進補正	Rd8	*	↑	↑	*	2	
MULXU	MULXU.B Rs, Rd	B	2															Rd8 x Rs8	Rd16 (符号なし乗算)					14	
	MULXU.W Rs, ERd	W	2															Rd16 x Rs16	ERd32 (符号なし乗算)					22	
MULXS	MULXS.B Rs, Rd	B	4															Rd8 x Rs8	Rd16 (符号付乗算)		↑	↑		16	
	MULXS.W Rs, ERd	W	4															Rd16 x Rs16	ERd32 (符号付乗算)		↑	↑		24	
DIVXU	DIVXU.B Rs, Rd	B	2															Rd16 ÷ Rs8	Rd16 (RdH:余り, RdL:商) (符号なし除算)		(6)↑	(7)		14	
	DIVXU.W Rs, ERd	W	2															ERd32 ÷ Rs16	ERd32 (Ed:余り, Rd:商) (符号なし除算)		(6)↑	(7)		22	
DIVXS	DIVXS.B Rs, Rd	B	4															Rd16 ÷ Rs8	Rd16 (RdH:余り, RdL:商) (符号付除算)		(8)↑	(7)		16	
	DIVXS.W Rs, ERd	W	4															ERd32 ÷ Rs16	ERd32 (Ed:余り, Rd:商) (符号付除算)		(8)↑	(7)		24	
CMP	CMP.B #xx:8, Rd	B	2															Rd8-#xx:8			↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2															Rd8-Rs8			↑	↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4															Rd16-#xx:16		(1)	↑	↑	↑	↑	4
	CMP.W Rs, Rd	W	2															Rd16-Rs16		(1)	↑	↑	↑	↑	2

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション		コンディショニングコード							実行回数 ^{*1}	
CMP	CMP.L #xx:32, ERd	L	#xx	Rn	@ERn	@ (d, ERn)	@-ERn/@ERn+	@aa	@ (d, PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンス
NEG	NEG.B Rd	B	2	2							ERd32-#xx:32	(2)	↑	↑	↑	↑	↑	6	
	NEG.W Rd	W	2	2							ERd32-ERs32	(2)	↑	↑	↑	↑	↑	2	
	NEG.L ERd	L	2	2							0-Rd8 Rd8	↑	↑	↑	↑	↑	↑	2	
	EXTU.W Rd	W	2	2							0-Rd16 Rd16	↑	↑	↑	↑	↑	↑	2	
EXTU	EXTU.L ERd	L	2	2							0-ERd32 ERd32	↑	↑	↑	↑	↑	↑	2	
	EXTU.W Rd	W	2	2							0 ((L' ヴt15 ~ 8) of Rd16)			0	↑	0		2	
EXTS	EXTS.L ERd	L	2	2							0 ((L' ヴt31 ~ 16) of ERd32)			0	↑	0		2	
	EXTS.W Rd	W	2	2							((L' ヴt7) of Rd16) ((L' ヴt15 ~ 8) of Rd16)			↑	↑	0		2	
	EXTS.L ERd	L	2	2							((L' ヴt15) of ERd32)			↑	↑	0		2	
											((L' ヴt31 ~ 16) of ERd32)								

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード							実行回数 ^{*1}
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERN+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	
AND	AND.B #xx:8, Rd	B	2									↑	↑	0		2
	AND.B Rs, Rd	B	2									↑	↑	0		2
	AND.W #xx:16, Rd	W	4									↑	↑	0		4
	AND.W Rs, Rd	W	2									↑	↑	0		2
	AND.L #xx:32, ERd	L	6									↑	↑	0		6
	AND.L ERs, ERd	L	4									↑	↑	0		4
OR	OR.B #xx:8, Rd	B	2									↑	↑	0		2
	OR.B Rs, Rd	B	2									↑	↑	0		2
	OR.W #xx:16, Rd	W	4									↑	↑	0		4
	OR.W Rs, Rd	W	2									↑	↑	0		2
	OR.L #xx:32, ERd	L	6									↑	↑	0		6
	OR.L ERs, ERd	L	4									↑	↑	0		4
XOR	XOR.B #xx:8, Rd	B	2									↑	↑	0		2
	XOR.B Rs, Rd	B	2									↑	↑	0		2
	XOR.W #xx:16, Rd	W	4									↑	↑	0		4
	XOR.W Rs, Rd	W	2									↑	↑	0		2
	XOR.L #xx:32, ERd	L	6									↑	↑	0		6
	XOR.L ERs, ERd	L	4									↑	↑	0		4
NOT	NOT.B Rd	B	2									↑	↑	0		2
	NOT.W Rd	W	2									↑	↑	0		2
	NOT.L ERd	L	2									↑	↑	0		2

(4) シフト命令

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード								実行スタート数 ^{※1}	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@@aa	I	H	N	Z	V	C	ノール	アドバンス
SHAL	SHAL.B Rd	B	2															2	
	SHAL.W Rd	W	2															2	
	SHAL.L ERd	L	2															2	
SHAR	SHAR.B Rd	B	2															2	
	SHAR.W Rd	W	2															2	
	SHAR.L ERd	L	2															2	
SHLL	SHLL.B Rd	B	2															2	
	SHLL.W Rd	W	2															2	
	SHLL.L ERd	L	2															2	
SHLR	SHLR.B Rd	B	2															2	
	SHLR.W Rd	W	2															2	
	SHLR.L ERd	L	2															2	
ROTXL	ROTXL.B Rd	B	2															2	
	ROTXL.W Rd	W	2															2	
	ROTXL.L ERd	L	2															2	
ROTXR	ROTXR.B Rd	B	2															2	
	ROTXR.W Rd	W	2															2	
	ROTXR.L ERd	L	2															2	
ROTL	ROTL.B Rd	B	2															2	
	ROTL.W Rd	W	2															2	
	ROTL.L ERd	L	2															2	
ROTR	ROTR.B Rd	B	2															2	
	ROTR.W Rd	W	2															2	
	ROTR.L ERd	L	2															2	

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード								実行回数 1/7ビット
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C		
BSET	BSET #xx:3, Rd	B	2														2
	BSET #xx:3, @ERd	B		4													8
	BSET #xx:3, @aa:8	B					4										8
	BSET Rn, Rd	B	2														2
	BSET Rn, @ERd	B		4													8
	BSET Rn, @aa:8	B					4										8
BCLR	BCLR #xx:3, Rd	B	2														2
	BCLR #xx:3, @ERd	B		4													8
	BCLR #xx:3, @aa:8	B					4										8
	BCLR Rn, Rd	B	2														2
	BCLR Rn, @ERd	B		4													8
	BCLR Rn, @aa:8	B					4										8
BNOT	BNOT #xx:3, Rd	B	2														2
	BNOT #xx:3, @ERd	B		4													8
	BNOT #xx:3, @aa:8	B					4										8
	BNOT Rn, Rd	B	2														2
	BNOT Rn, @ERd	B		4													8
	BNOT Rn, @aa:8	B					4										8
BTST	BTST #xx:3, Rd	B	2										↑				2
	BTST #xx:3, @ERd	B		4									↑				6
	BTST #xx:3, @aa:8	B					4						↑				6
	BTST Rn, Rd	B	2										↑				2
	BTST Rn, @ERd	B		4									↑				6
	BTST Rn, @aa:8	B					4						↑				6
BLD	BLD #xx:3, Rd	B	2													↑	2
	BLD #xx:3, @ERd	B		4												↑	6
	BLD #xx:3, @aa:8	B					4									↑	6
	BILD #xx:3, Rd	B	2													↑	2
	BILD #xx:3, @ERd	B		4												↑	6
	BILD #xx:3, @aa:8	B					4									↑	6

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード							実行バイト数 ^{*1}								
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@ @aa	I	H	N	Z	V	C	7-ビット	アドバンス							
BST	BST #xx:3, Rd	B	2															C (#xx:3 of Rd8)							2	
	BST #xx:3, @ERd	B		4														C (#xx:3 of @ERd24)							8	
	BST #xx:3, @aa:8	B						4										C (#xx:3 of @aa:8)							8	
BIST	BIST #xx:3, Rd	B	2															~ C (#xx:3 of Rd8)							2	
	BIST #xx:3, @ERd	B		4														~ C (#xx:3 of @ERd24)							8	
	BIST #xx:3, @aa:8	B						4										~ C (#xx:3 of @aa:8)							8	
BAND	BAND #xx:3, Rd	B	2															C (#xx:3 of Rd8) C							2	
	BAND #xx:3, @ERd	B		4														C (#xx:3 of @ERd24) C							6	
	BAND #xx:3, @aa:8	B						4										C (#xx:3 of @aa:8) C							6	
BIAND	BIAND #xx:3, Rd	B	2															C ~ (#xx:3 of Rd8) C							2	
	BIAND #xx:3, @ERd	B		4														C ~ (#xx:3 of @ERd24) C							6	
	BIAND #xx:3, @aa:8	B						4										C ~ (#xx:3 of @aa:8) C							6	
BOR	BOR #xx:3, Rd	B	2															C (#xx:3 of Rd8) C							2	
	BOR #xx:3, @ERd	B		4														C (#xx:3 of @ERd24) C							6	
	BOR #xx:3, @aa:8	B						4										C (#xx:3 of @aa:8) C							6	
BIOR	BIOR #xx:3, Rd	B	2															C ~ (#xx:3 of Rd8) C							2	
	BIOR #xx:3, @ERd	B		4														C (#xx:3 of @ERd24) C							6	
	BIOR #xx:3, @aa:8	B						4										C ~ (#xx:3 of @aa:8) C							6	
BXOR	BXOR #xx:3, Rd	B	2															C@(#xx:3 of Rd8) C							2	
	BXOR #xx:3, @ERd	B		4														C@(#xx:3 of @ERd24) C							6	
	BXOR #xx:3, @aa:8	B						4										C@(#xx:3 of @aa:8) C							6	
BIXOR	BIXOR #xx:3, Rd	B	2															C@ ~ (#xx:3 of Rd8) C							2	
	BIXOR #xx:3, @ERd	B		4														C@ ~ (#xx:3 of @ERd24) C							6	
	BIXOR #xx:3, @aa:8	B						4										C@ ~ (#xx:3 of @aa:8) C							6	

(6) 分岐命令

ニーモニック		サイズ		アドレッシングモード / 命令長 (バイト)							オペレーション	分岐条件		コンディションコード										実行ステップ数 ^{*)}																		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERN+	@aa	@(d, PC)	@@@aa				I	H	N	Z	V	C	ノーブル	アドバンス																						
Bcc	BRA d:8(BT d:8)							2			if condition is true then PC PC+d else next;	Always								4																						
	BRA d:16(BT d:16)							4												6																						
	BRN d:8(BF d:8)							2					Never	C Z=0								4																				
	BRN d:16(BF d:16)							4														6																				
	BHI d:8							2							C Z=1	C=0								4																		
	BHI d:16							4																6																		
	BLS d:8							2									C=1	Z=0								4																
	BLS d:16							4																		6																
	BCC d:8(BHS d:8)							2											Z=1	V=0								4														
	BCC d:16(BHS d:16)							4																				6														
	BCS d:8(BLO d:8)							2													V=1	N=0								4												
	BCS d:16(BLO d:16)							4																						6												
	BNE d:8							2															N=1									4										
	BNE d:16							4																								6										
	BEQ d:8							2																										4								
	BEQ d:16							4																										6								
	BVC d:8							2																												4						
	BVC d:16							4																												6						
	BVS d:8							2																														4				
	BVS d:16							4																														6				
	BPL d:8							2																																4		
	BPL d:16							4																																6		
	BMI d:8							2																																		4
	BMI d:16							4																																		6

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	分岐条件	コンディションコード							実行バイト数 ^{*1}	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@aa			I	H	N	Z	V	C	ノール	アドバンス	
Bcc	BGE d:8							2										4		
	BGE d:16							4										6		
	BLT d:8							2										4		
	BLT d:16							4										6		
	BGT d:8							2										4		
	BGT d:16							4										6		
	BLE d:8							2										4		
	BLE d:16							4										6		
JMP	JMP @ERn		2															4		
	JMP @aa:24						4											6		
	JMP @ @aa:8								2								8	10		
BSR	BSR d:8							2										8		
	BSR d:16							4										10		
JSR	JSR @ERn		2															8		
	JSR @aa:24						4											10		
	JSR @ @aa:8								2									12		
RTS	RTS								2									10		

(7) システム制御命令

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション		コンディションコード								実行回数 ^{*)}	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERN+	@aa	@(d, PC)	@@aa		I	H	N	Z	V	C	ノール	アドバースト		
TRAPA	TRAPA #x:2										2	1						14	16		
RTE	RTE											↑	↑	↑	↑	↑	↑		10		
SLEEP	SLEEP																				
LDC	LDC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	↑		2		
	LDC Rs, CCR	B		2								↑	↑	↑	↑	↑	↑		2		
	LDC @ERs, CCR	W			4							↑	↑	↑	↑	↑	↑		6		
	LDC @(d:16, ERs), CCR	W				6						↑	↑	↑	↑	↑	↑		8		
	LDC @(d:24, ERs), CCR	W				10						↑	↑	↑	↑	↑	↑		12		
	LDC @ERst, CCR	W					4					↑	↑	↑	↑	↑	↑		8		
	LDC @aa:16, CCR	W						6				↑	↑	↑	↑	↑	↑		8		
	LDC @aa:24, CCR	W						8				↑	↑	↑	↑	↑	↑		10		
	STC CCR, Rd	B		2															2		
	STC CCR, @ERd	W			4														6		
STC	STC CCR, @(d:16, ERd)	W				6													8		
	STC CCR, @(d:24, ERd)	W				10													12		
	STC CCR, @-ERd	W					4												8		
	STC CCR, @aa:16	W						6											8		
	STC CCR, @aa:24	W						8											10		
	ANDC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	↑		2		
	ORC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	↑		2		
XORC	XORC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	↑		2		
NOP	NOP										2								2		

(8) データ転送命令

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード							実行サイクル数 ^{*1}
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/ERN+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	
EEMOV	EEMOV.B									4	if R4L 0	Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;				8+4n ^{*2}
	EEMOV.W									4	if R4 0	Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4-1 R4 Until R4L=0 else next;				8+4n ^{*2}

- 【注】^{*1} 実行サイクル数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行サイクル数」を参照してください。
- ^{*2} nはR4LまたはR4の設定値です。
- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 - (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 - (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
 - (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
 - (5) Eクロック同期転送命令の実行サイクル数は一定ではありません。
 - (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
 - (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
 - (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表A.2(1) オペレーションコードマップ

命令コード:

第1バイト	第2バイト
AH	AL
BH	BL

AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AH	0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)		
	1	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)		
	2	MOV. B															
	3																
	4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BNQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
	6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST				MOV				
	7					BOR	BXOR	BAND	BLD	BILD	MOV	表A.2(2)	EEMOV	表A.2(3)			
	8	ADD															
	9	ADDX															
	A	CMP															
	B	SUBX															
	C	OR															
	D	XOR															
	E	AND															
	F	MOV															

表A.2 (2) オペレーションコードマップ

命令コード：

第1バイト		第2バイト	
AH	AL	BH	BL

BH AH\AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F			
01	MOV				LDC/STC				SLEEP				表A.2 (3)	表A.2 (3)		表A.2 (3)			
0A	INC	ADD																	
0B	ADDS					INC		INC		ADDS				INC		INC			
0F	DAA	MOV																	
10	SHLL				SHLL				SHAL			SHAL							
11	SHLR				SHLR				SHAR			SHAR							
12	ROTXL				ROTXL				ROTL			ROTL							
13	ROTXR				ROTXR				ROTR			ROTR							
17	NOT				NOT			EXTU	NEG			NEG		EXTS		EXTS			
1A	DEC	SUB																	
1B	SUBS					DEC		DEC		SUBS				DEC		DEC			
1F	DAS	CMP																	
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE			
79	MOV	ADD	CMP	SUB	OR	XOR	AND												
7A	MOV	ADD	CMP	SUB	OR	XOR	AND												

表A.2(3) オペレーションコードマップ

命令コード:

第1バイト		第2バイト		第3バイト		第4バイト	
AH	AL	BH	BL	CH	CL	DH	DL

DHの最上位ビットが0の場合を示します。
DHの最上位ビットが1の場合を示します。

CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AH\BL\CH																	
01406																	
01C05	MULXS		MULXS							LDC	STC	LDC	STC	LDC	STC	LDC	STC
01D05		DIVXS		DIVXS													
01F06					OR	XOR	AND										
7Cr06 ^{*1}																	
7Cr07 ^{*1}																	
7Dr06 ^{*1}	BSET	BNOT	BCLR		BOR	BOR	BAND	BLD	BOR	BOR	BAND	BLD	BOR	BOR	BAND	BLD	BOR
7Dr07 ^{*1}	BSET	BNOT	BCLR					BST	BST	BIST							
7Eaa6 ^{*2}																	
7Eaa7 ^{*2}																	
7Faa6 ^{*2}	BSET	BNOT	BCLR		BOR	BOR	BAND	BLD	BOR	BOR	BAND	BLD	BOR	BOR	BAND	BLD	BOR
7Faa7 ^{*2}	BSET	BNOT	BCLR					BST	BST	BIST							

【注】^{*1} rはレジスタ指定部

^{*2} aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 に各々のサイズに必要なステート数を示します。
命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) アドバンストモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合

1. BSET #0, @FFFC7:8

表 A.4 より

$$I = L = 2, J = K = M = N = 0$$

表 A.3 より

$$S_I = 4, S_L = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表 A.4 より

$$I = J = K = 2, L = M = N = 0$$

表 A.3 より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.3 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	ア ク セ ス 対 象						
	内 蔵 メモリ	内蔵周辺モジュール		外部デバイス			
		8 ビットバス	16 ビットバス	8 ビットバス		16 ビットバス	
				2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_i	2	6	3	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_L		3		2	3+m		
ワードデータアクセス S_M		6		4	6+2m		
内部動作 S_N	1						

【記号説明】

m: 外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態（サイクル数）

命令	ニーモニック	命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					

命令	ニーモニック	命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
	BLE d:16	2					2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

命令	ニーモニック		命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
			I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd		1					
	BIXOR #xx:3, @ERd		2			1		
	BIXOR #xx:3, @aa:8		2			1		
BLD	BLD #xx:3, Rd		1					
	BLD #xx:3, @ERd		2			1		
	BLD #xx:3, @aa:8		2			1		
BNOT	BNOT #xx:3, Rd		1					
	BNOT #xx:3, @ERd		2			2		
	BNOT #xx:3, @aa:8		2			2		
	BNOT Rn, Rd		1					
	BNOT Rn, @ERd		2			2		
	BNOT Rn, @aa:8		2			2		
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル	2		1			2
		アドバンスト	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		

命令	ニーモニック	命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
	アドバンスト	2	2				2

命令	ニーモニック		命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
			I	J	K	L	M	N
JSR	JSR @ERn	ノーマル	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル	2		1			2
		アドバンスト	2		2			2
	JSR @@aa:8	ノーマル	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @(d:16, ERs), CCR		3				1	
	LDC @(d:24, ERs), CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	

命令	ニーモニック	命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
		I	J	K	L	M	N
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16, ERs), ERd	3				2	
	MOV.L @(d:24, ERs), ERd	5				2	

命令	ニーモニック	命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
		I	J	K	L	M	N
MOV	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16, ERd)	3				2	
	MOV.L ERs, @(d:24, ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFP	MOVFP @aa:16, Rd* ²	2			1		
MOVTPE	MOVTPE Rs, @aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2

命令	ニーモニック		命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
			I	J	K	L	M	N
ROTL	ROTL.B Rd		1					
	ROTL.W Rd		1					
	ROTL.L ERd		1					
ROTR	ROTR.B Rd		1					
	ROTR.W Rd		1					
	ROTR.L ERd		1					
ROTXL	ROTXL.B Rd		1					
	ROTXL.W Rd		1					
	ROTXL.L ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.W Rd		1					
	ROTXR.L ERd		1					
RTE	RTE		2		2			2
RTS	RTS	ノーマル	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					
	SHLL.L ERd		1					
SHLR	SHLR.B Rd		1					
	SHLR.W Rd		1					
	SHLR.L ERd		1					
SLEEP	SLEEP		1					

命令	ニーモニック		命令フェ ッチ	分岐アドレ スリード	スタック 操作	バイトデ ータアク セス	ワードデ ータアク セス	内部動作
			I	J	K	L	M	N
STC	STC CCR, Rd		1					2
	STC CCR, @ERd		2				1	
	STC CCR, @(d:16, ERd)		3				1	
	STC CCR, @(d:24, ERd)		5				1	
	STC CCR, @-ERd		2				1	
	STC CCR, @aa:16		3				1	
	STC CCR, @aa:24		4				1	
SUB	SUB.B Rs, Rd		1					
	SUB.W #xx:16, Rd		2					
	SUB.W Rs, Rd		1					
	SUB.L #xx:32, ERd		3					
	SUB.L ERs, ERd		1					
SUBS	SUBS #1/2/4, ERd		1					
SUBX	SUBX #xx:8, Rd		1					
	SUBX Rs, Rd		1					
TRAPA	TRAPA #x:2	ノーマル	2	1	2			4
		アドバンスト	2	2	2			4
XOR	XOR.B #xx:8, Rd		1					
	XOR.B Rs, Rd		1					
	XOR.W #xx:16, Rd		2					
	XOR.W Rs, Rd		1					
	XOR.L #xx:32, ERd		3					
	XOR.L ERs, ERd		2					
XORC	XORC #xx:8, CCR		1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n + 1) 回行われます。

*2 本 LSI では使用できません。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧 (EMC ビット=1 のとき)

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE000	P1DDR	8	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート 1
H'EE001	P2DDR	8	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	ポート 2
H'EE002	P3DDR	8	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	ポート 3
H'EE003	P4DDR	8	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	ポート 4
H'EE004	P5DDR	8					P53DDR	P52DDR	P51DDR	P50DDR	ポート 5
H'EE005	P6DDR	8		P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	ポート 6
H'EE006											
H'EE007	P8DDR	8				P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	ポート 8
H'EE008	P9DDR	8			P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	ポート 9
H'EE009	PADDR	8	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	ポート A
H'EE00A	PBDDR	8	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	ポート B
H'EE00B											
H'EE00C											
H'EE00D											
H'EE00E											
H'EE00F											
H'EE010											
H'EE011	MDCR	8						MDS2	MDS1	MDS0	システム 制御
H'EE012	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME	
H'EE013	BRCR	8	A23E	A22E	A21E	A20E				BRLE	バスコントローラ
H'EE014	ISCR	8			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割り込み コント ローラ
H'EE015	IER	8			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'EE016	ISR	8			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'EE017											
H'EE018	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'EE019	IPRB	8	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1		
H'EE01A	DASTCR	8								DASTE	
H'EE01B	DIVCR	8							DIV1	DIV0	システム 制御
H'EE01C	MSTCRH	8	PSTOP					MSTPH2	MSTPH1	MSTPH0	
H'EE01D	MSTCRL	8	MSTPL7		MSTPL5	MSTPL4	MSTPL3	MSTPL2		MSTPL0	
H'EE01E	ADRCR	8								ADRCTL	バスコント ローラ
H'EE01F	CSCR	8	CS7E	CS6E	CS5E	CS4E					

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名	
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
H'EE020	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コント ローラ	
H'EE021	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'EE022	WCRH	8	W71	W70	W61	W60	W51	W50	W41	W40		
H'EE023	WCRL	8	W31	W30	W21	W20	W11	W10	W01	W00		
H'EE024	BCR	8	ICIS1	ICIS0	BROME	BRSTS1	BRSTS0		RDEA	WAITE		
H'EE025												
H'EE026	DRCRA	8	DRAS2	DRAS1	DRAS0		BE	RDM	SRFMD	RFSHE	DRAM インタ フェース	
H'EE027	DRCRB	8	MXC1	MXC0	CSEL	RCYCE		TPC	RCW	RLW		
H'EE028	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0					
H'EE029	RTCNT	8										
H'EE02A	RTCOR	8										
H'EE02B												
H'EE02C												
H'EE02D												
H'EE02E												
H'EE02F												
H'EE030												
H'EE031												
H'EE032												
H'EE033												
H'EE034												
H'EE035												
H'EE036												
H'EE037												
H'EE038	リザーブ領域（アクセス禁止）											
H'EE039												
H'EE03A												
H'EE03B												
H'EE03C	P2PCR	8	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR		ポート 2
H'EE03D												
H'EE03E	P4PCR	8	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR		ポート 4
H'EE03F	P5PCR	8					P53PCR	P52PCR	P51PCR	P50PCR		

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE 040											
H'EE 041											
H'EE 042											
H'EE 043											
H'EE 044											
H'EE 045											
H'EE 046											
H'EE 047											
H'EE 048											
H'EE 049											
H'EE 04A											
H'EE 04B											
H'EE 04C											
H'EE 04D											
H'EE 04E											
H'EE 04F											
H'EE 050											
H'EE 051											
H'EE 052											
H'EE 053											
H'EE 054											
H'EE 055											
H'EE 056											
H'EE 057											
H'EE 058											
H'EE 059											
H'EE 05A											
H'EE 05B											
H'EE 05C											
H'EE 05D											
H'EE 05E											
H'EE 05F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE060											
H'EE061											
H'EE062											
H'EE063											
H'EE064											
H'EE065											
H'EE066											
H'EE067											
H'EE068											
H'EE069											
H'EE06A											
H'EE06B											
H'EE06C											
H'EE06D											
H'EE06E											
H'EE06F											
H'EE070											
H'EE071											
H'EE072											
H'EE073											
H'EE074	リザーブ領域（アクセス禁止）										
H'EE075											
H'EE076											
H'EE077	RAMCR	8					RAMS	RAM2	RAM1	RAM0	フラッシュ メモリ*
H'EE078											
H'EE079											
H'EE07A											
H'EE07B											
H'EE07C											
H'EE07D											
H'EE07E											
H'EE07F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE080											
H'EE081											
H'EE082											
H'EE083											
H'EE084											
H'EE085											
H'EE086											
H'EE087											
H'EE088											
H'EE089											
H'EE08A											
H'EE08B											
H'EE08C											
H'EE08D											
H'EE08E											
H'EE08F											
H'EE090											
H'EE091											
H'EE092											
H'EE093											
H'EE094											
H'EE095											
H'EE096											
H'EE097											
H'EE098											
H'EE099											
H'EE09A											
H'EE09B											
H'EE09C											
H'EE09D											
H'EE09E											
H'EE09F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE0A0											
H'EE0A1											
H'EE0A2											
H'EE0A3											
H'EE0A4											
H'EE0A5											
H'EE0A6											
H'EE0A7											
H'EE0A8											
H'EE0A9											
H'EE0AA											
H'EE0AB											
H'EE0AC											
H'EE0AD											
H'EE0AE											
H'EE0AF											
H'EE0B0	FCCS	8	FWE			FLER				SCO	フラッシュ
H'EE0B1	FPCS	8								PPVS	メモリ*
H'EE0B2	FECS	8								EPVB	
H'EE0B3	リザーブ領域（アクセス禁止）										
H'EE0B4	FKEY	8	K7	K6	K5	K4	K3	K2	K1	K0	
H'EE0B5	FMATS	8	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
H'EE0B6	リザーブ領域（アクセス禁止）										
H'EE0B7	FVACR	8	FVCHGE				FVSEL3	FVSEL2	FVSEL1	FVSEL0	
H'EE0B8	FVADRR	8									
H'EE0B9	FVADRE	8									
H'EE0BA	FVADRH	8									
H'EE0BB	FVADRL	8									
H'EE0BC	リザーブ領域（アクセス禁止）										
H'EE0BD											
H'EE0BE											
H'EE0BF											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FF F20	MAR0AR	8									DMAC チャンネル 0A
H'FF F21	MAR0AE	8									
H'FF F22	MAR0AH	8									
H'FF F23	MAR0AL	8									
H'FF F24	ETCR0AH	8									
H'FF F25	ETCR0AL	8									
H'FF F26	IOAR0A	8									
H'FF F27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレス モード
H'FF F28	MAR0BR	8									DMAC チャンネル 0B
H'FF F29	MAR0BE	8									
H'FF F2A	MAR0BH	8									
H'FF F2B	MAR0BL	8									
H'FF F2C	ETCR0BH	8									
H'FF F2D	ETCR0BL	8									
H'FF F2E	IOAR0B	8									
H'FF F2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレス モード
H'FF F30	MAR1AR	8									DMAC チャンネル 1A
H'FF F31	MAR1AE	8									
H'FF F32	MAR1AH	8									
H'FF F33	MAR1AL	8									
H'FF F34	ETCR1AH	8									
H'FF F35	ETCR1AL	8									
H'FF F36	IOAR1A	8									
H'FF F37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレス モード
H'FF F38	MAR1BR	8									DMAC チャンネル 1B
H'FF F39	MAR1BE	8									
H'FF F3A	MAR1BH	8									
H'FF F3B	MAR1BL	8									
H'FF F3C	ETCR1BH	8									
H'FF F3D	ETCR1BL	8									

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFF3E	IOAR1B	8									DMAC チャネル 1B
H'FFF3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレス モード
H'FFF40	リザーブ領域（アクセス禁止）										
H'FFF41											
H'FFF42											
H'FFF43											
H'FFF44											
H'FFF45											
H'FFF46											
H'FFF47											
H'FFF48											
H'FFF49											
H'FFF4A											
H'FFF4B											
H'FFF4C											
H'FFF4D											
H'FFF4E											
H'FFF4F											
H'FFF50	リザーブ領域（アクセス禁止）										
H'FFF51											
H'FFF52											
H'FFF53											
H'FFF54											
H'FFF55											
H'FFF56											
H'FFF57											
H'FFF58											
H'FFF59											
H'FFF5A											
H'FFF5B											
H'FFF5C											
H'FFF5D											
H'FFF5E											
H'FFF5F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FF F60	TSTR	8						STR2	STR1	STR0	16 ビットタイマ 共通
H'FF F61	TSNC	8						SYNC2	SYNC1	SYNC0	
H'FF F62	TMDR	8		MDF	FDIR			PWM2	PWM1	PWM0	
H'FF F63	TOLR	8			TOB2	TOA2	TOB1	TOA1	TOB0	TOA0	
H'FF F64	TISRA	8		IMIEA2	IMIEA1	IMIEA0		IMFA2	IMFA1	IMFA0	
H'FF F65	TISRB	8		IMIEB2	IMIEB1	IMIEB0		IMFB2	IMFB1	IMFB0	
H'FF F66	TISRC	8		OVIE2	OVIE1	OVIE0		OVF2	OVF1	OVF0	
H'FF F67											
H'FF F68	16TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16 ビットタイマ チャンネル 0
H'FF F69	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'FF F6A	16TCNT0H	16									
H'FF F6B	16TCNT0L										
H'FF F6C	GRA0H	16									
H'FF F6D	GRA0L										
H'FF F6E	GRB0H	16									
H'FF F6F	GRB0L										
H'FF F70	16TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16 ビットタイマ チャンネル 1
H'FF F71	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'FF F72	16TCNT1H	16									
H'FF F73	16TCNT1L										
H'FF F74	GRA1H	16									
H'FF F75	GRA1L										
H'FF F76	GRB1H	16									
H'FF F77	GRB1L										
H'FF F78	16TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16 ビットタイマ チャンネル 2
H'FF F79	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'FF F7A	16TCNT2H	16									
H'FF F7B	16TCNT2L										
H'FF F7C	GRA2H	16									
H'FF F7D	GRA2L										
H'FF F7E	GRB2H	16									
H'FF F7F	GRB2L										

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFF80	8TCR0	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャンネル 0/1
H'FFF81	8TCR1	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	
H'FFF82	8TCSR0	8	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0	
H'FFF83	8TCSR1	8	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0	
H'FFF84	TCORA0	8									
H'FFF85	TCORA1	8									
H'FFF86	TCORB0	8									
H'FFF87	TCORB1	8									
H'FFF88	8TCNT0	8									
H'FFF89	8TCNT1	8									
H'FFF8A											
H'FFF8B											
H'FFF8C	TCSR*	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT
H'FFF8D	TCNT*	8									
H'FFF8E											
H'FFF8F	RSTCSR*	8	WRST								
H'FFF90	8TCR2	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャンネル 2/3
H'FFF91	8TCR3	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	
H'FFF92	8TCSR2	8	CMFB	CMFA	OVF		OIS3	OIS2	OS1	OS0	
H'FFF93	8TCSR3	8	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0	
H'FFF94	TCORA2	8									
H'FFF95	TCORA3	8									
H'FFF96	TCORB2	8									
H'FFF97	TCORB3	8									
H'FFF98	8TCNT2	8									
H'FFF99	8TCNT3	8									
H'FFF9A											
H'FFF9B											
H'FFF9C	DADR0	8									D/A 変換器
H'FFF9D	DADR1	8									
H'FFF9E	DACR	8	DAOE1	DAOE0	DAE						
H'FFF9F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFA0	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'FFFA1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'FFFA2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'FFFA3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'FFFA4	NDRB*	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
			NDR15	NDR14	NDR13	NDR12					
H'FFFA5	NDRA*	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
			NDR7	NDR6	NDR5	NDR4					
H'FFFA6	NDRB*	8									
							NDR11	NDR10	NDR9	NDR8	
H'FFFA7	NDRA*	8									
							NDR3	NDR2	NDR1	NDR0	
H'FFFA8											
H'FFFA9											
H'FFFAA											
H'FFFAB											
H'FFFAC											
H'FFFAD											
H'FFFAE											
H'FFFAF											
H'FFFB0	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI チャンネル0
H'FFFB1	BRR	8									
H'FFFB2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFB3	TDR	8									
H'FFFB4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFFB5	RDR	8									
H'FFFB6	SCMR	8					SDIR	SINV		SMIF	
H'FFFB7	リザーブ領域（アクセス禁止）										SCI チャンネル1
H'FFFB8	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
H'FFFB9	BRR	8									
H'FFBBA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFBBB	TDR	8									
H'FFBBC	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFBBD	RDR	8									
H'FFBBE	SCMR	8					SDIR	SINV		SMIF	
H'FFBBF	リザーブ領域（アクセス禁止）										

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFFC0	SMR	8	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI チャンネル 2
H'FFFC1	BRR	8									
H'FFFC2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFC3	TDR	8									
H'FFFC4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFFC5	RDR	8									
H'FFFC6	SCMR	8					SDIR	SINV		SMIF	
H'FFFC7	リザーブ領域 (アクセス禁止)										
H'FFFC8											
H'FFFC9											
H'FFFCA											
H'FFFCB											
H'FFGCC											
H'FFGCD											
H'FFGCE											
H'FFGCF											
H'FFFD0	P1DR	8	P17	P16	P15	P14	P13	P12	P11	P10	ポート 1
H'FFFD1	P2DR	8	P27	P26	P25	P24	P23	P22	P21	P20	ポート 2
H'FFFD2	P3DR	8	P37	P36	P35	P34	P33	P32	P31	P30	ポート 3
H'FFFD3	P4DR	8	P47	P46	P45	P44	P43	P42	P41	P40	ポート 4
H'FFFD4	P5DR	8					P53	P52	P51	P50	ポート 5
H'FFFD5	P6DR	8	P67	P66	P65	P64	P63	P62	P61	P60	ポート 6
H'FFFD6	P7DR	8	P77	P76	P75	P74	P73	P72	P71	P70	ポート 7
H'FFFD7	P8DR	8				P84	P83	P82	P81	P80	ポート 8
H'FFFD8	P9DR	8			P95	P94	P93	P92	P91	P90	ポート 9
H'FFFDA	PADR	8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	ポート A
H'FFFDA	PBDR	8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	ポート B
H'FFFDB											
H'FFFDC											
H'FFFDD											
H'FFFDE											
H'FFFDF											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFE0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'FFFE1	ADDRAL	8	AD1	AD0							
H'FFFE2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE3	ADDRBL	8	AD1	AD0							
H'FFFE4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE5	ADDRCL	8	AD1	AD0							
H'FFFE6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE7	ADDRDL	8	AD1	AD0							
H'FFFE8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'FFFE9	ADCR	8	TRGE								

【注】 * TCSR, TCNT, RSTCSR のライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。
出力トリガの設定によりアドレスが変化します。

【記号説明】

WDT: ウォッチドッグタイマ

TPC: プログラマブルタイミングパターンコントローラ

SCI: シリアルコミュニケーションインタフェース

B.2 アドレス一覧 (EMC ビット=0 のとき)

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE000	P1DDR	8	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート 1
H'EE001	P2DDR	8	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	ポート 2
H'EE002	P3DDR	8	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	ポート 3
H'EE003	P4DDR	8	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	ポート 4
H'EE004	P5DDR	8					P53DDR	P52DDR	P51DDR	P50DDR	ポート 5
H'EE005	P6DDR	8		P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	ポート 6
H'EE006											
H'EE007	P8DDR	8				P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	ポート 8
H'EE008	P9DDR	8			P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	ポート 9
H'EE009	PADDR	8	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	ポート A
H'EE00A	PBDDR	8	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	ポート B
H'EE00B											
H'EE00C											
H'EE00D											
H'EE00E											
H'EE00F											
H'EE010											
H'EE011	MDCR	8						MDS2	MDS1	MDS0	システム 制御
H'EE012	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME	
H'EE013	BRCR	8	A23E	A22E	A21E	A20E				BRLE	バスコントローラ
H'EE014	ISCR	8			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割り込み コント ローラ
H'EE015	IER	8			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'EE016	ISR	8			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'EE017											
H'EE018	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'EE019	IPRB	8	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1		
H'EE01A	DASTCR	8								DASTE	
H'EE01B	DIVCR	8							DIV1	DIV0	システム 制御
H'EE01C	MSTCRH	8	PSTOP					MSTPH2	MSTPH1	MSTPH0	
H'EE01D	MSTCRL	8	MSTPL7		MSTPL5	MSTPL4	MSTPL3	MSTPL2		MSTPL0	
H'EE01E	ADRCR*	8								ADRCTL	バスコント ローラ
H'EE01F	CSCR	8	CS7E	CS6E	CS5E	CS4E					

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE020	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コント ローラ
H'EE021	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE022	WCRH	8	W71	W70	W61	W60	W51	W50	W41	W40	
H'EE023	WCRL	8	W31	W30	W21	W20	W11	W10	W01	W00	
H'EE024	BCR	8	ICIS1	ICIS0	BROME	BRSTS1	BRSTS0		RDEA	WAITE	
H'EE025											
H'EE026	DRCRA	8	DRAS2	DRAS1	DRAS0		BE	RDM	SRFMD	RFSHE	DRAM インタ フェース
H'EE027	DRCRB	8	MXC1	MXC0	CSEL	RCYCE		TPC	RCW	RLW	
H'EE028	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0				
H'EE029	RTCNT	8									
H'EE02A	RTCOR	8									
H'EE02B											
H'EE02C											
H'EE02D											
H'EE02E											
H'EE02F											
H'EE030											
H'EE031											
H'EE032											
H'EE033											
H'EE034											
H'EE035											
H'EE036											
H'EE037											
H'EE038	リザーブ領域（アクセス禁止）										
H'EE039											
H'EE03A											
H'EE03B											
H'EE03C	P2PCR	8	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
H'EE03D											
H'EE03E	P4PCR	8	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR	
H'EE03F	P5PCR	8					P53PCR	P52PCR	P51PCR	P50PCR	

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE 040											
H'EE 041											
H'EE 042											
H'EE 043											
H'EE 044											
H'EE 045											
H'EE 046											
H'EE 047											
H'EE 048											
H'EE 049											
H'EE 04A											
H'EE 04B											
H'EE 04C											
H'EE 04D											
H'EE 04E											
H'EE 04F											
H'EE 050											
H'EE 051											
H'EE 052											
H'EE 053											
H'EE 054											
H'EE 055											
H'EE 056											
H'EE 057											
H'EE 058											
H'EE 059											
H'EE 05A											
H'EE 05B											
H'EE 05C											
H'EE 05D											
H'EE 05E											
H'EE 05F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE060											
H'EE061											
H'EE062											
H'EE063											
H'EE064											
H'EE065											
H'EE066											
H'EE067											
H'EE068											
H'EE069											
H'EE06A											
H'EE06B											
H'EE06C											
H'EE06D											
H'EE06E											
H'EE06F											
H'EE070											
H'EE071											
H'EE072											
H'EE073											
H'EE074	リザーブ領域（アクセス禁止）										
H'EE075											
H'EE076											
H'EE077	RAMCR	8					RAMS	RAM2	RAM1	RAM0	フラッシュ メモリ*
H'EE078											
H'EE079											
H'EE07A											
H'EE07B											
H'EE07C											
H'EE07D											
H'EE07E											
H'EE07F											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE080											
H'EE081											
H'EE082											
H'EE083											
H'EE084											
H'EE085											
H'EE086											
H'EE087											
H'EE088											
H'EE089											
H'EE08A											
H'EE08B											
H'EE08C											
H'EE08D											
H'EE08E											
H'EE08F											
H'EE090	TCSR*	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT
H'EE091	TCNT*	8									
H'EE092											
H'EE093	RSTCSR*	8	WRST								
H'EE094											
H'EE095											
H'EE096											
H'EE097											
H'EE098											
H'EE099											
H'EE09A											
H'EE09B											
H'EE09C											
H'EE09D											
H'EE09E											
H'EE09F											
H'EE0A0											
H'EE0A1											
H'EE0A2											
H'EE0A3											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'EE0A4											
H'EE0A5											
H'EE0A6											
H'EE0A7											
H'EE0A8											
H'EE0A9											
H'EE0AA											
H'EE0AB											
H'EE0AC											
H'EE0AD											
H'EE0AE											
H'EE0AF											
H'EE0B0	FCCS	8	FWE			FLER				SCO	フラッシュ
H'EE0B1	FPCS	8								PPVS	メモリ*
H'EE0B2	FECS	8								EPVB	
H'EE0B3	リザーブ領域（アクセス禁止）										
H'EE0B4	FKEY	8	K7	K6	K5	K4	K3	K2	K1	K0	
H'EE0B5	FMATS	8	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
H'EE0B6	リザーブ領域（アクセス禁止）										
H'EE0B7	FVACR	8	FVCHGE				FVSEL3	FVSEL2	FVSEL1	FVSEL0	
H'EE0B8	FVADRR	8									
H'EE0B9	FVADRE	8									
H'EE0BA	FVADRH	8									
H'EE0BB	FVADRL	8									
H'EE0BC	リザーブ領域（アクセス禁止）										
H'EE0BD											
H'EE0BE											
H'EE0BF											
H'FFE80	MAR0AR	8									DMAC
H'FFE81	MAR0AE	8									チャンネル
H'FFE82	MAR0AH	8									0A
H'FFE83	MAR0AL	8									
H'FFE84	ETCR0AH	8									
H'FFE85	ETCR0AL	8									
H'FFE86	IOAR0A	8									

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFE87	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレス モード
H'FFE88	MAR0BR	8									DMAC チャンネル 0B
H'FFE89	MAR0BE	8									
H'FFE8A	MAR0BH	8									
H'FFE8B	MAR0BL	8									
H'FFE8C	ETCR0BH	8									
H'FFE8D	ETCR0BL	8									
H'FFE8E	IOAR0B	8									DMAC チャンネル 1A
H'FFE8F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレス モード
H'FFE90	MAR1AR	8									DMAC チャンネル 1A
H'FFE91	MAR1AE	8									
H'FFE92	MAR1AH	8									
H'FFE93	MAR1AL	8									
H'FFE94	ETCR1AH	8									
H'FFE95	ETCR1AL	8									
H'FFE96	IOAR1A	8									DMAC チャンネル 1B
H'FFE97	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレス モード
H'FFE98	MAR1BR	8									DMAC チャンネル 1B
H'FFE99	MAR1BE	8									
H'FFE9A	MAR1BH	8									
H'FFE9B	MAR1BL	8									
H'FFE9C	ETCR1BH	8									
H'FFE9D	ETCR1BL	8									
H'FFE9E	IOAR1B	8									DMAC チャ ネル 1B
H'FFE9F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアド レスモード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレス モード
H'FFE A0	TSTR	8						STR2	STR1	STR0	16ビット
H'FFE A1	TSNC	8						SYNC2	SYNC1	SYNC0	タイマ
H'FFE A2	TMDR	8		MDF	FDIR			PWM2	PWM1	PWM0	共通

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット7	ビット7	ビット7	ビット7	ビット7	ビット7	ビット7	
H'FFE A3	TOLR	8			TOB2	TOA2	TOB1	TOA1	TOB0	TOA0	16ビット
H'FFE A4	TISRA	8		IMIEA2	IMIEA1	IMIEA0		IMFA2	IMFA1	IMFA0	タイマ
H'FFE A5	TISRB	8		IMIEB2	IMIEB1	IMIEB0		IMFB2	IMFB1	IMFB0	共通
H'FFE A6	TISRC	8		OVIE2	OVIE1	OVIE0		OVF2	OVF1	OVF0	
H'FFE A7											
H'FFE A8	TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16ビット
H'FFE A9	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	タイマ
H'FFE AA	TCNT0H	16									チャンネル 0
H'FFE AB	TCNT0L										
H'FFE AC	GRA0H	16									
H'FFE AD	GRA0L										
H'FFE AE	GRB0H	16									
H'FFE AF	GRB0L										
H'FFE B0	TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16ビット
H'FFE B1	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	タイマ
H'FFE B2	TCNT1H	16									チャンネル 1
H'FFE B3	TCNT1L										
H'FFE B4	GRA1H	16									
H'FFE B5	GRA1L										
H'FFE B6	GRB1H	16									
H'FFE B7	GRB1L										
H'FFE B8	TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16ビット
H'FFE B9	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	タイマ
H'FFE BA	TCNT2H	16									チャンネル 2
H'FFE BB	TCNT2L										
H'FFE BC	GRA2H	16									
H'FFE BD	GRA2L										
H'FFE BE	GRB2H	16									
H'FFE BF	GRB2L										
H'FF EC0	TCR0	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット
H'FF EC1	TCR1	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマ
H'FF EC2	TCSR0	8	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0	チャンネル 0/1
H'FF EC3	TCSR1	8	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0	
H'FF EC4	TCORA0	8									
H'FF EC5	TCORA1	8									

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット7	ビット7	ビット7	ビット7	ビット7	ビット7	ビット7		
H'FF EC6	TCORB0	8										
H'FF EC7	TCORB1	8										
H'FF EC8	TCNT0	8										
H'FF EC9	TCNT1	8										
H'FF ECA												
H'FF ECB												
H'FF ECC												
H'FF ECD												
H'FF ECE												
H'FF ECF												
H'FF ED0	TCR2	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット	
H'FF ED1	TCR3	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマ	
H'FF ED2	TCSR2	8	CMFB	CMFA	OVF		OIS3	OIS2	OS1	OS0	チャンネル	
H'FF ED3	TCSR3	8	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0	2/3	
H'FF ED4	TCORA2	8										
H'FF ED5	TCORA3	8										
H'FF ED6	TCORB2	8										
H'FF ED7	TCORB3	8										
H'FF ED8	TCNT2	8										
H'FF ED9	TCNT3	8										
H'FF EDA												
H'FF EDB												
H'FF EDC												
H'FF EDD												
H'FF EDE												
H'FF EDF												
H'FF EE0	SMR	8	C/ \overline{A}	CHR	PE	O/ \overline{E}	STOP	MP	CKS1	CKS0		SCI
H'FF EE1	BRR	8										チャンネル0
H'FF EE2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF EE3	TDR	8										
H'FF EE4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT		
H'FF EE5	RDR	8										
H'FF EE6	SCMR	8					SDIR	SINV		SMIF		
H'FF EE7	リザーブ領域 (アクセス禁止)											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFEE8	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI チャンネル 1
H'FFEE9	BRR	8									
H'FFEEA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFEEB	TDR	8									
H'FFEEC	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFEED	RDR	8									
H'FFEEE	SCMR	8					SDIR	SINV		SMIF	
H'FFEEF	リザーブ領域 (アクセス禁止)										SCI チャンネル 2
H'FFEF0	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
H'FFEF1	BRR	8									
H'FFEF2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFEF3	TDR	8									
H'FFEF4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFEF5	RDR	8									
H'FFEF6	SCMR	8					SDIR	SINV		SMIF	
H'FFEF7	リザーブ領域 (アクセス禁止)										TPC
H'FFEF8	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV	
H'FFEF9	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'FFEFA	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'FFEFB	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'FFEFC	NDRB*	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
			NDR15	NDR14	NDR13	NDR12					
H'FFefd	NDRA*	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
			NDR7	NDR6	NDR5	NDR4					
H'FFEFE	NDRB*	8									
							NDR11	NDR10	NDR9	NDR8	
H'FFEFF	NDRA*	8									
							NDR3	NDR2	NDR1	NDR0	
H'FFFE0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'FFFE1	ADDRAL	8	AD1	AD0							
H'FFFE2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE3	ADDRBL	8	AD1	AD0							
H'FFFE4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE5	ADDRCL	8	AD1	AD0							
H'FFFE6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE7	ADDRDL	8	AD1	AD0							

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFFE8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	A/D 変換器
H'FFFE9	ADCR	8	TRGE								
H'FFFEA											
H'FFFEB											
H'FFFEC	DADR0	8									D/A 変換器
H'FF FED	DADR1	8									
H'FF FEE	DACR	8	DAOE1	DAOE0	DAE						
H'FF FEF											
H'FFFF0	P1DR	8	P17	P16	P15	P14	P13	P12	P11	P10	ポート 1
H'FFFF1	P2DR	8	P27	P26	P25	P24	P23	P22	P21	P20	ポート 2
H'FFFF2	P3DR	8	P37	P36	P35	P34	P33	P32	P31	P30	ポート 3
H'FFFF3	P4DR	8	P47	P46	P45	P44	P43	P42	P41	P40	ポート 4
H'FFFF4	P5DR	8					P53	P52	P51	P50	ポート 5
H'FFFF5	P6DR	8	P67	P66	P65	P64	P63	P62	P61	P60	ポート 6
H'FFFF6	P7DR	8	P77	P76	P75	P74	P73	P72	P71	P70	ポート 7
H'FFFF7	P8DR	8				P84	P83	P82	P81	P80	ポート 8
H'FFFF8	P9DR	8			P95	P94	P93	P92	P91	P90	ポート 9
H'FFFF9	PADR	8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	ポート A
H'FFFFA	PBDR	8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	ポート B
H'FFFFB											
H'FFFFC											
H'FFFFD											
H'FFFFE											
H'FFFFF											

【注】 * TCSR, TCNT, RSTCSR のライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。

出力トリガの設定によりアドレスが変化します。

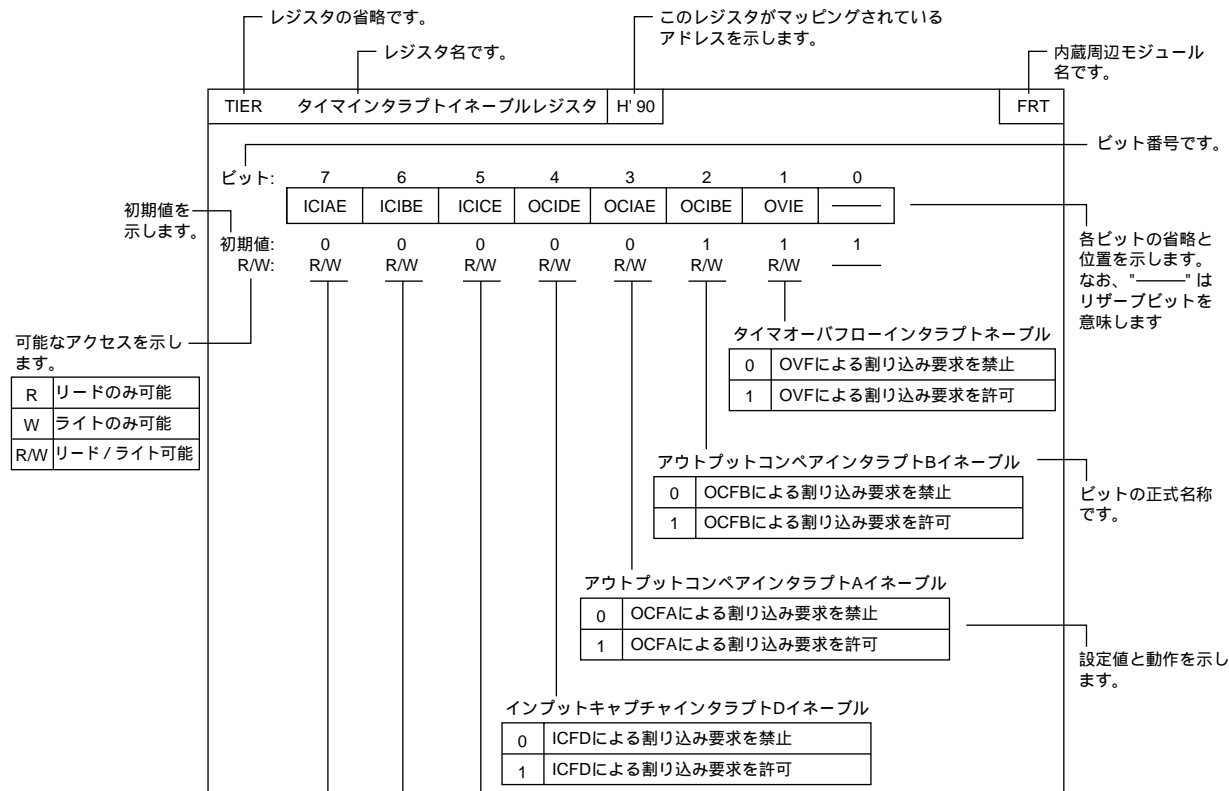
【記号説明】

WDT: ウォッチドッグタイマ

TPC: プログラマブルタイミングパターンコントローラ

SCI: シリアルコミュニケーションインタフェース

B.3 機能一覧



*BCR の EMC ビットを 0 にするとアドレスが変化するレジスタがあります。

P1DDR ポート1 データディレクションレジスタ					H'EE000			ポート1		
ビット:		7	6	5	4	3	2	1	0	
		P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
モード1~4	初期値:	1	1	1	1	1	1	1	1	
	R/W:	—	—	—	—	—	—	—	—	
モード5、7	初期値:	0	0	0	0	0	0	0	0	
	R/W:	W	W	W	W	W	W	W	W	
ポート1入出力選択										
		0	入力ポート							
		1	出力ポート							

P2DDR ポート2 データディレクションレジスタ					H'EE001			ポート2		
ビット:		7	6	5	4	3	2	1	0	
		P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
モード1~4	初期値:	1	1	1	1	1	1	1	1	
	R/W:	—	—	—	—	—	—	—	—	
モード5、7	初期値:	0	0	0	0	0	0	0	0	
	R/W:	W	W	W	W	W	W	W	W	
ポート2入出力選択										
		0	入力ポート							
		1	出力ポート							

ポート1入出力選択

0

入力ポート

1

出力ポート

P3DDR	ポート 3 データディレクションレジスタ	H'EE002	ポート 3												
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P37DDR</td><td>P36DDR</td><td>P35DDR</td><td>P34DDR</td><td>P33DDR</td><td>P32DDR</td><td>P31DDR</td><td>P30DDR</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: W W W W W W W W</div> <div>ポート3入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>				P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	0	入力ポート	1	出力ポート
P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR								
0	入力ポート														
1	出力ポート														
P4DDR	ポート 4 データディレクションレジスタ	H'EE003	ポート 4												
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P47DDR</td><td>P46DDR</td><td>P45DDR</td><td>P44DDR</td><td>P43DDR</td><td>P42DDR</td><td>P41DDR</td><td>P40DDR</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: W W W W W W W W</div> <div>ポート4入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>				P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	0	入力ポート	1	出力ポート
P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR								
0	入力ポート														
1	出力ポート														

P5DDR	ポート5 データディレクションレジスタ	H'EE004	ポート5													
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>—</td><td>—</td><td>—</td><td>—</td><td>P53DDR</td><td>P52DDR</td><td>P51DDR</td><td>P50DDR</td></tr></table> <div>モード1~4 { 初期値: 1 1 1 1 1 1 1 1 R/W: — — — — — — — —</div> <div>モード5、7 { 初期値: 1 1 1 1 0 0 0 0 R/W: — — — — W W W W</div> <div>ポート5入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>					—	—	—	—	P53DDR	P52DDR	P51DDR	P50DDR	0	入力ポート	1	出力ポート
	—	—	—	—	P53DDR	P52DDR	P51DDR	P50DDR								
0	入力ポート															
1	出力ポート															
P6DDR	ポート6 データディレクションレジスタ	H'EE005	ポート6													
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>—</td><td>P66DDR</td><td>P65DDR</td><td>P64DDR</td><td>P63DDR</td><td>P62DDR</td><td>P61DDR</td><td>P60DDR</td></tr></table> <div>初期値: 1 0 0 0 0 0 0 0 R/W: — W W W W W W W</div> <div>ポート6入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>					—	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	0	入力ポート	1	出力ポート
	—	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR								
0	入力ポート															
1	出力ポート															

P8DDR					ポート 8 データディレクションレジスタ					H'EE007					ポート 8			
ビット:		7	6	5	4	3	2	1	0									
		—	—	—	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR									
モード1~4	初期値:	1	1	1	1	0	0	0	0									
	R/W:	—	—	—	W	W	W	W	W									
モード5、7	初期値:	1	1	1	0	0	0	0	0									
	R/W:	—	—	—	W	W	W	W	W									
										ポート8入出力選択								
										<table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>					0	入力ポート	1	出力ポート
0	入力ポート																	
1	出力ポート																	

P9DDR ポート 9 データディレクションレジスタ		H'EE008	ポート 9																
ビット:		<table><tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr><tr><td>—</td><td>—</td><td>P95DDR</td><td>P94DDR</td><td>P93DDR</td><td>P92DDR</td><td>P91DDR</td><td>P90DDR</td></tr></table>	7	6	5	4	3	2	1	0	—	—	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
7	6	5	4	3	2	1	0												
—	—	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR												
初期値:	1	1	0	0	0	0	0												
R/W:	—	—	W	W	W	W	W												
		ポート9入出力選択																	
		<table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>						0	入力ポート	1	出力ポート								
0	入力ポート																		
1	出力ポート																		

PADDR ポート A データディレクションレジスタ		H'EE009	ポート A																
ビット:		<table><tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr><tr><td>PA7DDR</td><td>PA6DDR</td><td>PA5DDR</td><td>PA4DDR</td><td>PA3DDR</td><td>PA2DDR</td><td>PA1DDR</td><td>PA0DDR</td></tr></table>	7	6	5	4	3	2	1	0	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
7	6	5	4	3	2	1	0												
PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR												
モード3、4 {	初期値:	1	0	0	0	0	0	0											
	R/W:	—	W	W	W	W	W	W											
モード1、2、5、7 {	初期値:	0	0	0	0	0	0	0											
	R/W:	W	W	W	W	W	W	W											
		ポートA入出力選択																	
		<table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>						0	入力ポート	1	出力ポート								
0	入力ポート																		
1	出力ポート																		

PBDDR ポート B データディレクションレジスタ		H'EE00A	ポート B																
ビット:		<table><tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr><tr><td>PB7DDR</td><td>PB6DDR</td><td>PB5DDR</td><td>PB4DDR</td><td>PB3DDR</td><td>PB2DDR</td><td>PB1DDR</td><td>PB0DDR</td></tr></table>	7	6	5	4	3	2	1	0	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
7	6	5	4	3	2	1	0												
PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR												
初期値:	0	0	0	0	0	0	0												
R/W:	W	W	W	W	W	W	W												
		ポートB入出力選択																	
		<table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>						0	入力ポート	1	出力ポート								
0	入力ポート																		
1	出力ポート																		

MDCR	モードコントロールレジスタ	H'EE011	システム制御
------	---------------	---------	--------

ビット:

7

6

5

4

3

2

1

0

MDS2

MDS1

MDS0

初期値:

1

1

0

0

0

R/W:

R

R

R

モードセレクト2～0

ビット2	ビット1	ビット0	動作モード
MD ₂	MD ₁	MD ₀	
0	0	0	
		1	モード1
	1	0	モード2
		1	モード3
1	0	0	モード4
		1	モード5
	1	0	-
		1	モード7

【注】

*

モード端子（MD₂～MD₀）の状態により決定されます。

SYSCR システムコントロールレジスタ					H'EE012			システム制御																																				
ビット:																																												
7		6		5		4		3		2		1		0																														
SSBY		STS2		STS1		STS0		UE		NMIEG		SSOE		RAME																														
初期値: 0		0		0		0		1		0		0		1																														
R/W: R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W																														
RAMイネーブル																																												
<table><tr><td>0</td><td>内蔵RAM無効</td></tr><tr><td>1</td><td>内蔵RAM有効</td></tr></table>																0	内蔵RAM無効	1	内蔵RAM有効																									
0	内蔵RAM無効																																											
1	内蔵RAM有効																																											
ソフトウェアスタンバイ 出力ポートイネーブル																																												
<table><tr><td>0</td><td>ソフトウェアスタンバイ モード時、アドレスバス、 バス制御信号はすべて ハイインピーダンス</td></tr><tr><td>1</td><td>ソフトウェアスタンバイ モード時、 アドレスバス: 出力状態を保持 バス制御信号: High固定</td></tr></table>																0	ソフトウェアスタンバイ モード時、アドレスバス、 バス制御信号はすべて ハイインピーダンス	1	ソフトウェアスタンバイ モード時、 アドレスバス: 出力状態を保持 バス制御信号: High固定																									
0	ソフトウェアスタンバイ モード時、アドレスバス、 バス制御信号はすべて ハイインピーダンス																																											
1	ソフトウェアスタンバイ モード時、 アドレスバス: 出力状態を保持 バス制御信号: High固定																																											
NMIエッジセレクト																																												
<table><tr><td>0</td><td>NMI入力の立ち下がりエッジで割り込み要求を発生</td></tr><tr><td>1</td><td>NMI入力の立ち上がりエッジで割り込み要求を発生</td></tr></table>																0	NMI入力の立ち下がりエッジで割り込み要求を発生	1	NMI入力の立ち上がりエッジで割り込み要求を発生																									
0	NMI入力の立ち下がりエッジで割り込み要求を発生																																											
1	NMI入力の立ち上がりエッジで割り込み要求を発生																																											
ユーザービットイネーブル																																												
<table><tr><td>0</td><td>CCRのビット6 (UI) を割り込みマスクビットとして使用</td></tr><tr><td>1</td><td>CCRのビット6 (UI) をユーザビットとして使用</td></tr></table>																0	CCRのビット6 (UI) を割り込みマスクビットとして使用	1	CCRのビット6 (UI) をユーザビットとして使用																									
0	CCRのビット6 (UI) を割り込みマスクビットとして使用																																											
1	CCRのビット6 (UI) をユーザビットとして使用																																											
スタンバイタイムセレクト2~0																																												
<table><tr><td>ビット6</td><td>ビット5</td><td>ビット4</td><td rowspan="2">スタンバイタイムの指定</td></tr><tr><td>STS2</td><td>STS1</td><td>STS0</td></tr><tr><td rowspan="4">0</td><td rowspan="2">0</td><td>0</td><td>待機時間 = 8192ステート</td></tr><tr><td>1</td><td>待機時間 = 16384ステート</td></tr><tr><td rowspan="2">1</td><td>0</td><td>待機時間 = 32768ステート</td></tr><tr><td>1</td><td>待機時間 = 65536ステート</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>0</td><td>待機時間 = 131072ステート</td></tr><tr><td>1</td><td>待機時間 = 262144ステート</td></tr><tr><td rowspan="2">1</td><td>0</td><td>待機時間 = 1024ステート</td></tr><tr><td>1</td><td>使用禁止</td></tr></table>																ビット6	ビット5	ビット4	スタンバイタイムの指定	STS2	STS1	STS0	0	0	0	待機時間 = 8192ステート	1	待機時間 = 16384ステート	1	0	待機時間 = 32768ステート	1	待機時間 = 65536ステート	1	0	0	待機時間 = 131072ステート	1	待機時間 = 262144ステート	1	0	待機時間 = 1024ステート	1	使用禁止
ビット6	ビット5	ビット4	スタンバイタイムの指定																																									
STS2	STS1	STS0																																										
0	0	0	待機時間 = 8192ステート																																									
		1	待機時間 = 16384ステート																																									
	1	0	待機時間 = 32768ステート																																									
		1	待機時間 = 65536ステート																																									
1	0	0	待機時間 = 131072ステート																																									
		1	待機時間 = 262144ステート																																									
	1	0	待機時間 = 1024ステート																																									
		1	使用禁止																																									
ソフトウェアスタンバイ																																												
<table><tr><td>0</td><td>SLEEP命令実行後、スリープモード遷移</td></tr><tr><td>1</td><td>SLEEP命令実行後、ソフトウェアスタンバイモードに遷移</td></tr></table>																0	SLEEP命令実行後、スリープモード遷移	1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移																									
0	SLEEP命令実行後、スリープモード遷移																																											
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移																																											

BRCR バスリリースコントロールレジスタ				H'EE013			バスコントローラ										
ビット:		7	6	5	4	3	2	1	0								
		A23E	A22E	A21E	A20E	—	—	—	BRLE								
モード 1、2、6、7	初期値:	1	1	1	1	1	1	1	0								
	R/W:	—	—	—	—	—	—	—	R/W								
モード 3、4	初期値:	1	1	1	0	1	1	1	0								
	R/W:	R/W	R/W	R/W	—	—	—	—	R/W								
モード5	初期値:	1	1	1	1	1	1	1	0								
	R/W:	R/W	R/W	R/W	R/W	—	—	—	R/W								
<div><div></div><div>アドレス23～20イネーブル</div><div><table><tr><td>0</td><td>アドレス出力</td></tr><tr><td>1</td><td>上記以外の入出力端子</td></tr></table></div></div> <div><div></div><div>バスリリースイネーブル</div><div><table><tr><td>0</td><td>バス権の外部に対する解放を禁止</td></tr><tr><td>1</td><td>バス権の外部に対する解放を許可</td></tr></table></div></div>										0	アドレス出力	1	上記以外の入出力端子	0	バス権の外部に対する解放を禁止	1	バス権の外部に対する解放を許可
0	アドレス出力																
1	上記以外の入出力端子																
0	バス権の外部に対する解放を禁止																
1	バス権の外部に対する解放を許可																

ISCR IRQ センスコントロールレジスタ				H'EE014			割り込みコントローラ						
ビット:		7	6	5	4	3	2	1	0				
		—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC				
初期値:		0	0	0	0	0	0	0	0				
	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
<div><div></div><div>IRQ5～IRQ0センスコントロール</div><div><table><tr><td>0</td><td>$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力のLowレベルで割り込み要求を発生</td></tr><tr><td>1</td><td>$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がりがリエッジで割り込み要求を発生</td></tr></table></div></div>										0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力のLowレベルで割り込み要求を発生	1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がりがリエッジで割り込み要求を発生
0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力のLowレベルで割り込み要求を発生												
1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がりがリエッジで割り込み要求を発生												

アドレス23～20イネーブル

0

アドレス出力

1

上記以外の入出力端子

バスリリースイネーブル

0

バス権の外部に対する解放を禁止

1

バス権の外部に対する解放を許可

IER IRQ イネーブルレジスタ		H'EE015	割り込みコントローラ						
ビット:		7	6	5	4	3	2	1	0
		——	——	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:		0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		IRQ5 ~ IRQ0 イネーブル							
		0	IRQ5 ~ IRQ0 割り込みを禁止						
		1	IRQ5 ~ IRQ0 割り込みを許可						

ISR IRQ ステータスレジスタ		H'EE016	割り込みコントローラ						
ビット:		7	6	5	4	3	2	1	0
		——	——	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:		0	0	0	0	0	0	0	0
R/W:		——	——	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
		IRQ5 ~ IRQ0 フラグ							
		ビット5 ~ 0		セット / クリア条件					
		IRQ5F ~ IRQ0F							
		0		[クリア条件] (1) IRQnF = 1 の状態で IRQnF をリードした後、 IRQnF に 0 をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQn}}$ 入力 が、High レベル の状態で割り込み 例外処理を実行したとき (3) IRQnSC = 1 の状態で IRQn 割り込み例外処理を実行したとき					
		1		[セット条件] (1) IRQnSC = 0 の状態で $\overline{\text{IRQn}}$ 入力 が Low レベル になったとき (2) IRQnSC = 1 の状態で $\overline{\text{IRQn}}$ 入力 に立ち下がりエッジが発生 したとき					

(n = 5 ~ 0)

【注】* フラグをクリアするための 0 ライトのみ可能です。

IPRA インタラプトプライオリティレジスタ A					H'EE018		割り込みコントローラ														
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>IPRA7</td><td>IPRA6</td><td>IPRA5</td><td>IPRA4</td><td>IPRA3</td><td>IPRA2</td><td>IPRA1</td><td>IPRA0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div></div> <div>プライオリティレベルA7 ~ A0</div> <table><tr><td>0</td><td>プライオリティレベル0 (非優先)</td></tr><tr><td>1</td><td>プライオリティレベル1 (優先)</td></tr></table>										IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0													
0	プライオリティレベル0 (非優先)																				
1	プライオリティレベル1 (優先)																				
割り込み要因と各ビットの対応																					
IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0												
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0												
	割り込み 要 因	IRQ0	IRQ1	IRQ2、 IRQ3	IRQ4、 IRQ5	WDT、 DRAM インタ フェース、 A/D変換器	16ビット タイマ チャンネル0	16ビット タイマ チャンネル1	16ビット タイマ チャンネル2												

IPRB インタラプトプライオリティレジスタ B					H'EE019		割り込みコントローラ																																																					
ビット: 7 6 5 4 3 2 1 0											--	-------	-------	-------	----	-------	-------	-------	----			IPRB7	IPRB6	IPRB5	——	IPRB3	IPRB2	IPRB1	——		--	-------	-------	-------	----	-------	-------	-------	----	初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W プライオリティレベルB7 ~ B5、 B3 ~ B1				---	------------------------		0	プライオリティレベル0 (非優先)		1	プライオリティレベル1 (優先)									
割り込み要因と各ビットの対応																																																												
IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																			
	IPRB7	IPRB6	IPRB5	——	IPRB3	IPRB2	IPRB1	——																																																				
割り込み 要 因	8ビット タイマ チャンネル 0、 1	8ビット タイマ チャンネル 2、 3	DMAC	——	SCI チャンネル0	SCI チャンネル1	SCI チャンネル2	——																																																				

初期値:

0

0

0

0

0

0

0

R/W:

R/W

R/W

R/W

R/W

R/W

R/W

R/W

DASTCR D/A スタンバイコントロールレジスタ				H'EE01A			D/A																																							
<div>ビット:</div> <table><tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>DASTE</td></tr></table> <div>初期値:</div> <table><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td></tr><tr><td>R/W:</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>R/W</td></tr></table> <div></div> <div>D/Aスタンバイイネーブル</div> <table><tr><td>0</td><td>ソフトウェアスタンバイモードでのD/A出力を禁止</td><td>(初期値)</td></tr><tr><td>1</td><td>ソフトウェアスタンバイモードでのD/A出力を許可</td><td></td></tr></table>									7	6	5	4	3	2	1	0	—	—	—	—	—	—	—	DASTE	1	1	1	1	1	1	1	0	R/W:	—	—	—	—	—	—	R/W	0	ソフトウェアスタンバイモードでのD/A出力を禁止	(初期値)	1	ソフトウェアスタンバイモードでのD/A出力を許可	
7	6	5	4	3	2	1	0																																							
—	—	—	—	—	—	—	DASTE																																							
1	1	1	1	1	1	1	0																																							
R/W:	—	—	—	—	—	—	R/W																																							
0	ソフトウェアスタンバイモードでのD/A出力を禁止	(初期値)																																												
1	ソフトウェアスタンバイモードでのD/A出力を許可																																													

MSTCRH モジュールスタンバイコントロールレジスタ H					H'EE01C		システム制御		
ビット：		7	6	5	4	3	2	1	0
		PSTOP	—	—	—	—	MSTPH2	MSTPH1	MSTPH0
モード1～5	初期値：	0	1	1	1	1	0	0	0
	R/W：	R/W	—	—	—	—	R/W	R/W	R/W
モード7	初期値：	1	1	1	1	1	0	0	0
	R/W：	R/W	—	—	—	—	R/W	R/W	R/W

882

ABWCR バス幅コントロールレジスタ				H'EE020		バスコントローラ			
モード1、3、5、7 モード2、4	ビット:	7	6	5	4	3	2	1	0
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
	初期値:	1	1	1	1	1	1	1	1
	初期値:	0	0	0	0	0	0	0	0
	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
エリア7～0バス幅コントロール									
ビット7～0		アクセス空間の指定							
ABW7 ～ABW0									
0		エリア7～0を16ビットアクセス空間に設定							
1		エリア7～0を8ビットアクセス空間に設定							

ASTCR アクセスステートコントロールレジスタ				H'EE021		バスコントローラ			
	ビット:	7	6	5	4	3	2	1	0
		AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
	初期値:	1	1	1	1	1	1	1	1
	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	エリア7～0アクセスステートコントロール								
ビット7～0		アクセスステート数の指定							
AST7 ～AST0									
0		エリア7～0を2ステートアクセス空間に設定							
1		エリア7～0を3ステートアクセス空間に設定							

WCRH ウェイトコントロールレジスタH					H'EE022		バスコントローラ												
ビット:		7	6	5	4	3	2	1	0										
		W71	W70	W61	W60	W51	W50	W41	W40										
初期値:		1	1	1	1	1	1	1	1										
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W										
								エリア4ウェイトコントロール1、0											
								<table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table>		0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																	
	1	プログラムウェイトを1ステート挿入																	
1	0	プログラムウェイトを2ステート挿入																	
	1	プログラムウェイトを3ステート挿入																	
								エリア5ウェイトコントロール1、0											
								<table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table>		0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																	
	1	プログラムウェイトを1ステート挿入																	
1	0	プログラムウェイトを2ステート挿入																	
	1	プログラムウェイトを3ステート挿入																	
								エリア6ウェイトコントロール1、0											
								<table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table>		0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																	
	1	プログラムウェイトを1ステート挿入																	
1	0	プログラムウェイトを2ステート挿入																	
	1	プログラムウェイトを3ステート挿入																	
								エリア7ウェイトコントロール1、0											
								<table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table>		0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																	
	1	プログラムウェイトを1ステート挿入																	
1	0	プログラムウェイトを2ステート挿入																	
	1	プログラムウェイトを3ステート挿入																	

WCRL ウェイトコントロールレジスタL					H'EE023		バスコントローラ																																																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>W31</td><td>W30</td><td>W21</td><td>W20</td><td>W11</td><td>W10</td><td>W01</td><td>W00</td></tr></table> <div>初期値: 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div><div>エリア0 ウェイトコントロール1、 0</div><table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table><div>エリア1ウェイトコントロール1、 0</div><table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table><div>エリア2ウェイトコントロール1、 0</div><table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table><div>エリア3ウェイトコントロール1、 0</div><table><tr><td rowspan="2">0</td><td>0</td><td>プログラムウェイトを挿入しない</td></tr><tr><td>1</td><td>プログラムウェイトを1ステート挿入</td></tr><tr><td rowspan="2">1</td><td>0</td><td>プログラムウェイトを2ステート挿入</td></tr><tr><td>1</td><td>プログラムウェイトを3ステート挿入</td></tr></table></div>								W31	W30	W21	W20	W11	W10	W01	W00	0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入	0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入	0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入	0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
W31	W30	W21	W20	W11	W10	W01	W00																																																
0	0	プログラムウェイトを挿入しない																																																					
	1	プログラムウェイトを1ステート挿入																																																					
1	0	プログラムウェイトを2ステート挿入																																																					
	1	プログラムウェイトを3ステート挿入																																																					
0	0	プログラムウェイトを挿入しない																																																					
	1	プログラムウェイトを1ステート挿入																																																					
1	0	プログラムウェイトを2ステート挿入																																																					
	1	プログラムウェイトを3ステート挿入																																																					
0	0	プログラムウェイトを挿入しない																																																					
	1	プログラムウェイトを1ステート挿入																																																					
1	0	プログラムウェイトを2ステート挿入																																																					
	1	プログラムウェイトを3ステート挿入																																																					
0	0	プログラムウェイトを挿入しない																																																					
	1	プログラムウェイトを1ステート挿入																																																					
1	0	プログラムウェイトを2ステート挿入																																																					
	1	プログラムウェイトを3ステート挿入																																																					

BCR バスコントロールレジスタ						H'EE024		バスコントローラ					
ビット:		7	6	5	4	3	2	1	0				
		ICIS1	ICIS0	BROME	BRSTS1	BRSTS0	EMC	RDEA	WAITE				
初期値:		1	1	0	0	0	1	1	0				
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
									<table><tr><td>0</td><td>端子ウェイト入力を禁止</td></tr><tr><td>1</td><td>端子ウェイト入力を許可</td></tr></table>	0	端子ウェイト入力を禁止	1	端子ウェイト入力を許可
0	端子ウェイト入力を禁止												
1	端子ウェイト入力を許可												
									<p>エリア分割単位選択</p> <table><tr><td>0</td><td>エリア分割は、 エリア0:2Mバイト エリア4:1.93Mバイト エリア1:2Mバイト エリア5:4kバイト エリア2:8Mバイト エリア6:23.75kバイト エリア3:2Mバイト エリア7:22バイト</td></tr><tr><td>1</td><td>エリア分割は、エリア0～7まで 等分割（2Mバイト）</td></tr></table>	0	エリア分割は、 エリア0:2Mバイト エリア4:1.93Mバイト エリア1:2Mバイト エリア5:4kバイト エリア2:8Mバイト エリア6:23.75kバイト エリア3:2Mバイト エリア7:22バイト	1	エリア分割は、エリア0～7まで 等分割（2Mバイト）
0	エリア分割は、 エリア0:2Mバイト エリア4:1.93Mバイト エリア1:2Mバイト エリア5:4kバイト エリア2:8Mバイト エリア6:23.75kバイト エリア3:2Mバイト エリア7:22バイト												
1	エリア分割は、エリア0～7まで 等分割（2Mバイト）												
									<p>拡張メモリマップコントロール</p> <table><tr><td>0</td><td>「3.6 各動作モードのメモリマップ」の 図3.2のメモリマップとなります。</td></tr><tr><td>1</td><td>「3.6 各動作モードのメモリマップ」の 図3.1のメモリマップとなります。</td></tr></table>	0	「3.6 各動作モードのメモリマップ」の 図3.2のメモリマップとなります。	1	「3.6 各動作モードのメモリマップ」の 図3.1のメモリマップとなります。
0	「3.6 各動作モードのメモリマップ」の 図3.2のメモリマップとなります。												
1	「3.6 各動作モードのメモリマップ」の 図3.1のメモリマップとなります。												
									<p>バーストサイクルセレクト0</p> <table><tr><td>0</td><td>バーストアクセスは最大4ワード</td></tr><tr><td>1</td><td>バーストアクセスは最大8ワード</td></tr></table>	0	バーストアクセスは最大4ワード	1	バーストアクセスは最大8ワード
0	バーストアクセスは最大4ワード												
1	バーストアクセスは最大8ワード												
									<p>バーストサイクルセレクト1</p> <table><tr><td>0</td><td>バーストアクセスのサイクル数は2ステート</td></tr><tr><td>1</td><td>バーストアクセスのサイクル数は3ステート</td></tr></table>	0	バーストアクセスのサイクル数は2ステート	1	バーストアクセスのサイクル数は3ステート
0	バーストアクセスのサイクル数は2ステート												
1	バーストアクセスのサイクル数は3ステート												
									<p>バーストROMイネーブル</p> <table><tr><td>0</td><td>エリア0は基本バスインタフェース</td></tr><tr><td>1</td><td>エリア0はバーストROMインタフェース</td></tr></table>	0	エリア0は基本バスインタフェース	1	エリア0はバーストROMインタフェース
0	エリア0は基本バスインタフェース												
1	エリア0はバーストROMインタフェース												
									<p>アイドルサイクル挿入0</p> <table><tr><td>0</td><td>外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない</td></tr><tr><td>1</td><td>外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する</td></tr></table>	0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない	1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない												
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する												
									<p>アイドルサイクル挿入1</p> <table><tr><td>0</td><td>異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない</td></tr><tr><td>1</td><td>異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する</td></tr></table>	0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない	1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない												
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する												

DRCRA					DRAM コントロールレジスタ A					H'EE026					DRAM インタフェース				
ビット:		7		6		5		4		3		2		1		0			
		DRAS2		DRAS1		DRAS0		—		BE		RDM		SRFMD		RFSHE			
初期値:		0		0		0		1		0		0		0		0			
R/W :		R/W		R/W		R/W		—		R/W		R/W		R/W		R/W			
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>																			
リフレッシュ端子イネーブル																			
		0		RFSH端子のリフレッシュ信号出力を禁止															
		1		RFSH端子のリフレッシュ信号出力を許可															
セルフリフレッシュモード																			
		0		ソフトウェアスタンバイモード時に、 DRAMのセルフリフレッシュを禁止															
		1		ソフトウェアスタンバイモード時に、 DRAMのセルフリフレッシュが可能															
RASダウンモード																			
		0		DRAMインタフェース:RASアップモードを選択															
		1		DRAMインタフェース:RASダウンモードを選択															
バーストアクセスイネーブル																			
		0		バースト禁止 (常にフルアクセス)															
		1		DRAM空間アクセス時 高速ページモードでアクセス															
DRAMエリアセレクト																			
DRAS2		DRAS1		DRAS0		エリア5		エリア4		エリア3		エリア2							
0		0		0		通常		通常		通常		通常							
				1		通常		通常		通常		DRAM空間 (CS ₂)							
		1		0		通常		通常		DRAM空間 (CS ₃)		DRAM空間 (CS ₂)							
				1		通常		通常		DRAM空間 (CS ₂) *									
1		0		0		通常		DRAM空間 (CS ₄)		DRAM空間 (CS ₃)		DRAM空間 (CS ₂)							
				1		DRAM空間 (CS ₅)		DRAM空間 (CS ₄)		DRAM空間 (CS ₃)		DRAM空間 (CS ₂)							
		1		0		DRAM空間 (CS ₄) *				DRAM空間 (CS ₂) *									
				1		DRAM空間 (CS ₂) *													

【注】* 1本のCS_n端子が複数エリアに共通のRAS出力端子となります。このとき不要となるCS_n端子は入出力ポートとして使用可能になります。

DRCRB DRAM コントロールレジスタ B					H'EE027		DRAM インタフェース	
ビット:	7	6	5	4	3	2	1	0
	MXC1	MXC0	CSEL	RCYCE	—	TPC	RCW	RLW
初期値:	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></</div></div>								

RTMCSR リフレッシュタイマコントロール / ステータス レジスタ B		H'EE028	DRAM インタフェース
--	--	---------	--------------

ビット:

7	6	5	4	3	2	1	0
CMF	CMIE	CKS2	CKS1	CKS0	—	—	—

初期値:

0	0	0	0	0	1	1	1
---	---	---	---	---	---	---	---

R/W :

R/(W)*	R/W	R/W	R/W	R/W	—	—	—
--------	-----	-----	-----	-----	---	---	---

リフレッシュカウンタクロックセレクト

CKS2	CKS1	CKS0	説 明
0	0	0	カウント動作停止
		1	/ 2でカウント
	1	0	/ 8でカウント
		1	/ 32でカウント
1	0	0	/ 128でカウント
		1	/ 512でカウント
	1	0	/ 2048でカウント
		1	/ 4096でカウント

コンペアマッチ割り込みイネーブル

0	CMFフラグによる割り込み要求 (CMI) を禁止
1	CMFフラグによる割り込み要求 (CMI) を許可

コンペアマッチフラグ

0	[クリア条件] (1) リセットまたはスタンバイモード時 (2) CMF = 1の状態、CMFフラグをリードした後、CMFフラグに0をライトしたとき
1	[セット条件] RTCNT = RTCORになったとき

【注】

* フラグをクリアするための0ライトのみ可能です。

【注】* フラグをクリアするための0ライトのみ可能です。

RTCNT リフレッシュタイマカウンタ	H'EE029	DRAM インタフェース								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</div> <div></div> <div>RTMCSRのCKS2～CKS0ビットで 選択された内部クロックにより、カウントアップ</div>										
RTCOR リフレッシュタイムコンスタントレジスタ	H'EE02A	DRAM インタフェース								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 1 1 1 1 1 1 1 1</div> <div>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</div> <div></div> <div>RTCNTとのコンペアマッチ周期を設定</div> <div><p>【注】 本レジスタへのアクセスは必ずバイトアクセスとしてください。</p></div>										

P2PCR ポート2 入力プルアップ MOS コントロールレジスタ					H'EE03C			ポート 2					
ビット:		7	6	5	4	3	2	1	0				
		P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR				
初期値:		0	0	0	0	0	0	0	0				
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
<div>ポート2入力プルアップMOSコントロール7 ~ 0</div> <table><tr><td>0</td><td>入力プルアップMOSはOFF</td></tr><tr><td>1</td><td>入力プルアップMOSはON</td></tr></table> <p>P2DDRを0に指定したとき（入力ポートに指定）</p>										0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
0	入力プルアップMOSはOFF												
1	入力プルアップMOSはON												

P4PCR ポート4 入力プルアップ MOS コントロールレジスタ					H'EE03E			ポート 4					
ビット:		7	6	5	4	3	2	1	0				
		P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR				
初期値:		0	0	0	0	0	0	0	0				
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
<div>ポート4入力プルアップMOSコントロール7 ~ 0</div> <table><tr><td>0</td><td>入力プルアップMOSはOFF</td></tr><tr><td>1</td><td>入力プルアップMOSはON</td></tr></table> <p>P4DDRを0に指定したとき（入力ポートに指定）</p>										0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
0	入力プルアップMOSはOFF												
1	入力プルアップMOSはON												

P5PCR ポート 5 入力プルアップ MOS コントロールレジスタ					H'EE03F			ポート 5												
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>P53PCR</td><td>P52PCR</td><td>P51PCR</td><td>P50PCR</td></tr></table></div> <div>初期値: 1 1 1 1 0 0 0 0</div> <div>R/W: — — — — R/W R/W R/W R/W</div> <div></div> <div>ポート5入力プルアップMOSコントロール3~0</div> <div><table><tr><td>0</td><td>入力プルアップMOSはOFF</td></tr><tr><td>1</td><td>入力プルアップMOSはON</td></tr></table></div> <div>P5DDRを0に指定したとき（入力ポートに指定）</div>									—	—	—	—	P53PCR	P52PCR	P51PCR	P50PCR	0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
—	—	—	—	P53PCR	P52PCR	P51PCR	P50PCR													
0	入力プルアップMOSはOFF																			
1	入力プルアップMOSはON																			

RAMCR RAM コントロールレジスタ					H'EE077		フラッシュメモリ		
ビット:		7	6	5	4	3	2	1	0
						RAMS	RAM2	RAM1	RAM0
モード1~4 {	初期値:	1	1	1	1	0	0	0	0
	R/W:					R	R	R	
モード5、7 {	初期値:	1	1	1	1	0	0	0	0
	R/W:					R/W*	R/W*	R/W*	R/W*
					リザーブビット				

ビット3	ビット2	ビット1	ビット0	RAMエリア	RAMエミュレーション 状態
RAMS	RAM2	RAM1	RAM0		
0	0/1	0/1	0/1	H'FFFFFFE000 ~ H'FFFFFFEFFF	エミュレーションなし
1	0	0	0	H'000000000 ~ H'000000FFF	写像RAM
1	0	0	1	H'000010000 ~ H'00001FFF	
1	0	1	0	H'000020000 ~ H'00002FFF	
1	0	1	1	H'000030000 ~ H'00003FFF	
1	1	0	0	H'000040000 ~ H'00004FFF	
1	1	0	1	H'000050000 ~ H'00005FFF	
1	1	1	0	H'000060000 ~ H'00006FFF	
1	1	1	1	H'000070000 ~ H'00007FFF	

【注】* ユーザブートモードでは、RAMによるフラッシュメモリのエミュレーションはサポートしていませんので、ライトは可能ですが、1をセットしないでください。

ETCR0A	H、L	転送カウントレジスタ 0A	H、L	H'FFF24 H'FFF25	DMAC0
(前頁より続く)					
フルアドレスモード					
(1) ノーマルモード					
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; border: 1px solid black; height: 20px; width: 100%;"></div> 初期値: 不定 R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W <div style="text-align: center; margin-top: 10px;"> 転送カウンタ </div>					
(2) ブロック転送モード					
<div style="display: flex; justify-content: space-around;"> <div style="text-align: center;"> ビット: 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; border: 1px solid black; height: 20px; width: 100%;"></div> 初期値: 不定 R/W: R/W R/W R/W R/W R/W R/W R/W R/W <div style="text-align: center; margin-top: 10px;"> ETCR0AH ブロックサイズカウンタ </div> </div> <div style="text-align: center;"> ビット: 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; border: 1px solid black; height: 20px; width: 100%;"></div> 初期値: 不定 R/W: R/W R/W R/W R/W R/W R/W R/W R/W <div style="text-align: center; margin-top: 10px;"> ETCR0AL ブロックサイズ保持 </div> </div> </div>					

IOAR0A	I/O アドレスレジスタ 0A	H'FFF26	DMAC0
--------	-----------------	---------	-------

ビット:

7	6	5	4	3	2	1	0

初期値:
R/W:

R/W	R/W	R/W	R/W	不定	R/W	R/W	R/W

ショートアドレスモード: ソースアドレスまたはデスティネーションアドレスを設定
フルアドレスモード : 未使用

FCCS フラッシュコードコントロールステータスレジスタ					H'EE0B0		フラッシュメモリ								
ビット:		7	6	5	4	3	2	1	0						
		FWE	——	——	FLER	——	——	——	SCO						
初期値:		1/0	0	0	0	0	0	0	0						
R/W:		R	R	R	R	R	R	R	(R)W						
		予約ビット			予約ビット			ソースプログラムコピーオペレーション							
								<table><tr><td colspan="2">(初期値)</td></tr><tr><td>0</td><td>内蔵されている書き込み / 消去プログラムの内蔵RAM へのダウンロードは行いません 【クリア条件】ダウンロードが完了するとクリアされます</td></tr><tr><td>1</td><td>内蔵されている書き込み / 消去プログラムの内蔵RAMへのダウンロードリクエストが発生します 【セット条件】以下の条件がすべて満足されている状態で、1を書き込んだとき (1) FKEYレジスタにH'A5が書かれていること (2) 内蔵RAM上で実行中であること (3) RAMエミュレーションモードでないこと (RAMERのRAMS=0であること)</td></tr></table>		(初期値)		0	内蔵されている書き込み / 消去プログラムの内蔵RAM へのダウンロードは行いません 【クリア条件】ダウンロードが完了するとクリアされます	1	内蔵されている書き込み / 消去プログラムの内蔵RAMへのダウンロードリクエストが発生します 【セット条件】以下の条件がすべて満足されている状態で、1を書き込んだとき (1) FKEYレジスタにH'A5が書かれていること (2) 内蔵RAM上で実行中であること (3) RAMエミュレーションモードでないこと (RAMERのRAMS=0であること)
(初期値)															
0	内蔵されている書き込み / 消去プログラムの内蔵RAM へのダウンロードは行いません 【クリア条件】ダウンロードが完了するとクリアされます														
1	内蔵されている書き込み / 消去プログラムの内蔵RAMへのダウンロードリクエストが発生します 【セット条件】以下の条件がすべて満足されている状態で、1を書き込んだとき (1) FKEYレジスタにH'A5が書かれていること (2) 内蔵RAM上で実行中であること (3) RAMエミュレーションモードでないこと (RAMERのRAMS=0であること)														
								フラッシュメモリエラー							
								<table><tr><td>0</td><td>フラッシュメモリは正常に動作しています フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効 【クリア条件】パワーオンリセットまたはハードウェアスタンバイモードのとき</td></tr><tr><td>1</td><td>フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 【セット条件】「18.6.3 エラープロテクト」を参照してください</td></tr></table>		0	フラッシュメモリは正常に動作しています フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効 【クリア条件】パワーオンリセットまたはハードウェアスタンバイモードのとき	1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 【セット条件】「18.6.3 エラープロテクト」を参照してください		
0	フラッシュメモリは正常に動作しています フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効 【クリア条件】パワーオンリセットまたはハードウェアスタンバイモードのとき														
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 【セット条件】「18.6.3 エラープロテクト」を参照してください														
								フラッシュライトイネーブルビット							
								<table><tr><td>0</td><td>FWE端子にローレベルが入力されているとき (ハードウェアプロテクト状態)</td></tr><tr><td>1</td><td>FWE端子にハイレベルが入力されているとき</td></tr></table>		0	FWE端子にローレベルが入力されているとき (ハードウェアプロテクト状態)	1	FWE端子にハイレベルが入力されているとき		
0	FWE端子にローレベルが入力されているとき (ハードウェアプロテクト状態)														
1	FWE端子にハイレベルが入力されているとき														

FECS フラッシュイレースコードレジスタ		H'EE0B2	フラッシュメモリ																														
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>EPVB</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td></tr></table> <div>予約ビット</div> <div>イレースパルスベリファイブロック</div> <table><tr><td></td><td>(初期値)</td></tr><tr><td>0</td><td>内蔵消去プログラムを選択しません 【クリア条件】転送が終了するとクリアします</td></tr><tr><td>1</td><td>内蔵の消去プログラムを選択します</td></tr></table>				—	—	—	—	—	—	—	EPVB	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R/W		(初期値)	0	内蔵消去プログラムを選択しません 【クリア条件】転送が終了するとクリアします	1	内蔵の消去プログラムを選択します
—	—	—	—	—	—	—	EPVB																										
0	0	0	0	0	0	0	0																										
R	R	R	R	R	R	R	R/W																										
	(初期値)																																
0	内蔵消去プログラムを選択しません 【クリア条件】転送が終了するとクリアします																																
1	内蔵の消去プログラムを選択します																																

FPCS フラッシュプログラムコードセレクトレジスタ		H'EE0B1	フラッシュメモリ																														
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>PPVS</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td></tr></table> <div>予約ビット</div> <div>プログラムパルスベリファイ</div> <table><tr><td></td><td>(初期値)</td></tr><tr><td>0</td><td>内蔵の書き込みプログラムを選択しません 【クリア条件】転送が終了するとクリアします</td></tr><tr><td>1</td><td>内蔵の書き込みプログラムを選択します</td></tr></table>				—	—	—	—	—	—	—	PPVS	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R/W		(初期値)	0	内蔵の書き込みプログラムを選択しません 【クリア条件】転送が終了するとクリアします	1	内蔵の書き込みプログラムを選択します
—	—	—	—	—	—	—	PPVS																										
0	0	0	0	0	0	0	0																										
R	R	R	R	R	R	R	R/W																										
	(初期値)																																
0	内蔵の書き込みプログラムを選択しません 【クリア条件】転送が終了するとクリアします																																
1	内蔵の書き込みプログラムを選択します																																

FKEY フラッシュキーコードレジスタ					H'EE0B4		フラッシュメモリ																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>K7</td><td>K6</td><td>K5</td><td>K4</td><td>K3</td><td>K2</td><td>K1</td><td>K0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div></div> <div>キーコード</div> <table><tr><td>H'A5</td><td>SC0ビットの書き込みを許可します（H'A5以外ではSC0ビットのセットはできません）</td></tr><tr><td>H'5A</td><td>書き込み / 消去を許可します（H'5A以外ではソフトプロテクト状態）</td></tr><tr><td>H'00</td><td>初期値</td></tr></table>										K7	K6	K5	K4	K3	K2	K1	K0	H'A5	SC0ビットの書き込みを許可します（H'A5以外ではSC0ビットのセットはできません）	H'5A	書き込み / 消去を許可します（H'5A以外ではソフトプロテクト状態）	H'00	初期値
	K7	K6	K5	K4	K3	K2	K1	K0															
H'A5	SC0ビットの書き込みを許可します（H'A5以外ではSC0ビットのセットはできません）																						
H'5A	書き込み / 消去を許可します（H'5A以外ではソフトプロテクト状態）																						
H'00	初期値																						
FMATS フラッシュマットセレクトレジスタ					H'EE0B5		フラッシュメモリ																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>MS7</td><td>MS6</td><td>MS5</td><td>MS4</td><td>MS3</td><td>MS2</td><td>MS1</td><td>MS0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 （ユーザブートモード以外の場合）</div> <div>初期値: 1 0 1 0 1 0 1 0 （ユーザブートモードの場合）</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div></div> <div>マットセレクト</div> <table><tr><td>H'AA</td><td>ユーザブートモードを選択します（H'AA以外ではユーザマット選択状態となります） ユーザブートモードで立ち上がった場合の初期値です</td></tr><tr><td>H'00</td><td>ユーザブートモード以外で立ち上がった場合の初期値です（ユーザマット選択状態です）</td></tr></table> <div>【書き込み可能条件】内蔵RAM上での実行状態であること</div>										MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	H'AA	ユーザブートモードを選択します（H'AA以外ではユーザマット選択状態となります） ユーザブートモードで立ち上がった場合の初期値です	H'00	ユーザブートモード以外で立ち上がった場合の初期値です（ユーザマット選択状態です）		
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0															
H'AA	ユーザブートモードを選択します（H'AA以外ではユーザマット選択状態となります） ユーザブートモードで立ち上がった場合の初期値です																						
H'00	ユーザブートモード以外で立ち上がった場合の初期値です（ユーザマット選択状態です）																						

FVACR フラッシュベクタアドレスコントロールレジスタ										H'EE0B7										フラッシュメモリ									
ビット:										7		6		5		4		3		2		1		0					
										FVCHGE		——		——		——		FVSEL3		FVSEL2		FVSEL1		FVSEL0					
初期値:										0		0		0		0		0		0		0		0					
R/W:										R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W					

FVADR R, E, H, L スタ R, E, H, L	フラッシュベクタアドレスデータレジ	H'EE0B8, H'EE0B9, H'EE0BA, H'EE0BB	フラッシュメモリ
-----------------------------------	-------------------	---------------------------------------	----------

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

FVADRR

FVADRE

ベクタアドレスを設定

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

FVADRH

FVADRL

ベクタアドレスを設定

DTCR0A データトランスファコントロールレジスタ 0A					H'FFF27		DMAC0
-------------------------------	--	--	--	--	---------	--	-------

ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト

ビット2 DTS2	ビット1 DTS1	ビット0 DTS0	データ転送の起動要因
0	0	0	16ビットタイムチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動
		1	16ビットタイムチャネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動
	1	0	16ビットタイムチャネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動
		1	A/D変換器の変換終了割り込みで起動
1	0	0	SCI0の送信データエンプティ割り込みで起動
		1	SCI0の受信データフル割り込みで起動
	1	0	フルアドレスモード転送を指定
		1	フルアドレスモード転送を指定

データトランスファインタラプトイネーブル

0	DTEビットによる 割り込み要求を禁止
1	DTEビットによる 割り込み要求を許可

リピートイネーブル

RPE	DTIE	説 明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント/デクリメント

0	インクリメント: DTSZ = 0のとき、転送後MARを + 1 DTSZ = 1のとき、転送後MARを + 2
1	デクリメント : DTSZ = 0のとき、転送後MARを - 1 DTSZ = 1のとき、転送後MARを - 2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

DTCR0A データトランスファコントロールレジスタ 0A					H'FFF27		DMAC0
-------------------------------	--	--	--	--	---------	--	-------

(前頁より続く)

フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト0A

0	ノーマルモードで動作
1	ブロック転送モードで動作

データトランスファセレクト2A、1A
いずれも1にセットしてください

データトランスファインタラプトイネーブル

0	DTEビットによる割り込み要求を禁止
1	DTEビットによる割り込み要求を許可

ソースアドレスインクリメント/デクリメント (ビット5)
ソースアドレスインクリメント/デクリメントイネーブル (ビット4)

ビット5	ビット4	インクリメント/デクリメントイネーブル
SAID	SAIDE	
0	0	MARA固定
	1	インクリメント: DTSZ = 0のとき、転送後MARAを + 1 DTSZ = 1のとき、転送後MARAを + 2
1	0	MARA固定
	1	デクリメント: DTSZ = 0のとき、転送後MARAを - 1 DTSZ = 1のとき、転送後MARAを - 2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

MAR0B R、E、H、L メモリアドレスレジスタ0B R、E、H、L	H'FFF28 H'FFF29 H'FFF2A H'FFF2B	DMAC0																																
<div>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 1 1 1 1 1 1 1 1 不定</div> <div>R/W: — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W</div> <div><div>MAR0BR</div><div>MAR0BE</div></div> <div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 不定 不定</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div><div>MAR0BH</div><div>MAR0BL</div></div> <div>ソースアドレスまたはデスティネーションアドレスを設定</div>																																		
ETCR0B H、L 転送カウントレジスタ0B H、L	H'FFF2C H'FFF2D	DMAC0																																
<div>ショートアドレスモード</div> <div>(1) I/O モードまたはアイドルモード</div> <div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 不定</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>転送カウンタ</div> <div>(2) リピートモード</div> <div>ビット: 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 不定 不定</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div><div>ETCR0BH</div><div>ETCR0BL</div></div> <div><div>転送カウンタ</div><div>転送回数保持</div></div>																																		

ETCR0B	H、L	転送カウントレジスタ 0B	H、L	H'FFF2C	H'FFF2D	DMAC0										
(前頁より続く)																
フルアドレスモード																
(1) ノーマルモード																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:								不定								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								未使用								
(2) ブロック転送モード																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:								不定								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								ブロック転送カウンタ								

IOAR0B	I/O アドレスレジスタ 0B	H'FFF2E	DMAC0
--------	-----------------	---------	-------

ビット:

7	6	5	4	3	2	1	0

初期値:
R/W:

R/W	R/W	R/W	R/W	不定	R/W	R/W	R/W

ショートアドレスモード: ソースアドレスまたはデスティネーションアドレスを設定
フルアドレスモード : 未使用

DTCR0B データトランスファコントロールレジスタ 0B					H'FFF2F		DMAC0
-------------------------------	--	--	--	--	---------	--	-------

ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト

ビット2 DTS2	ビット1 DTS1	ビット0 DTS0	データ転送の起動要因
0	0	0	16ビットタイマチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動
		1	16ビットタイマチャネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動
	1	0	16ビットタイマチャネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動
		1	A/D変換器の変換終了割り込みで起動
1	0	0	SCI0の送信データエンプティ割り込みで起動
		1	SCI0の受信データフル割り込みで起動
	1	0	DREQ端子の立ち下がりエッジ入力で起動
		1	DREQ端子のLowレベル入力で起動

データトランスファインタラプトイネーブル

0	DTEビットによる割り込み要求を禁止
1	DTEビットによる割り込み要求を許可

リピートイネーブル

RPE	DTIE	説 明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント / デクリメント

0	インクリメント: DTSZ = 0のとき、転送後MARを + 1 DTSZ = 1のとき、転送後MARを + 2
1	デクリメント: DTSZ = 0のとき、転送後MARを - 1 DTSZ = 1のとき、転送後MARを - 2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

DTCR0B データトランスファコントロールレジスタ 0B

H'FFF2F

DMAC0

(前頁より続く)

フルアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTME

——

DAID

DAIDE

TMS

DTS2B

DTS1B

DTS0B

初期値:

0

0

0

0

0

0

0

0

R/W:

R/W

R/W

R/W

R/W

R/W

R/W

R/W

データトランスファマスタイネーブル

0 データ転送を禁止

1 データ転送を許可

データトランスファセレクト2B～0B

ビット2ビット1ビット0

DTS2BDTS1BDTS0B

データ転送の起動要因

ノーマルモード

ブロック転送モード

0

0

0

オートリクエスト (バーストモード)

16ビットタイムチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動

1

0

1

使用できません

16ビットタイムチャネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動

1

1

0

オートリクエスト (サイクルスチールモード)

16ビットタイムチャネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動

1

1

1

使用できません

A/D変換器の変換終了割り込みで起動

0

0

0

使用できません

使用できません

1

0

1

使用できません

使用できません

1

1

0

DREQ端子の立ち下がりエッジ入力で起動

DREQ端子の立ち下がりエッジ入力で起動

1

1

1

DREQ端子のLowレベル入力で起動

使用できません

トランスファモードセレクト

0 ブロック転送モード時、デスティネーション側をブロックエリアとして転送

1 ブロック転送モード時、ソース側をブロックエリアとして転送

デスティネーションアドレスインクリメント / デクリメント (ビット5)

デスティネーションアドレスインクリメント / デクリメントイネーブル (ビット4)

ビット5 ビット4

DAID DAIDE

説 明

0

0

MARB固定

1

1

インクリメント: DTSZ = 0のとき、転送後MARBを + 1
DTSZ = 1のとき、転送後MARBを + 2

1

0

MARB固定

1

1

デクリメント: DTSZ = 0のとき、転送後MARBを - 1
DTSZ = 1のとき、転送後MARBを - 2

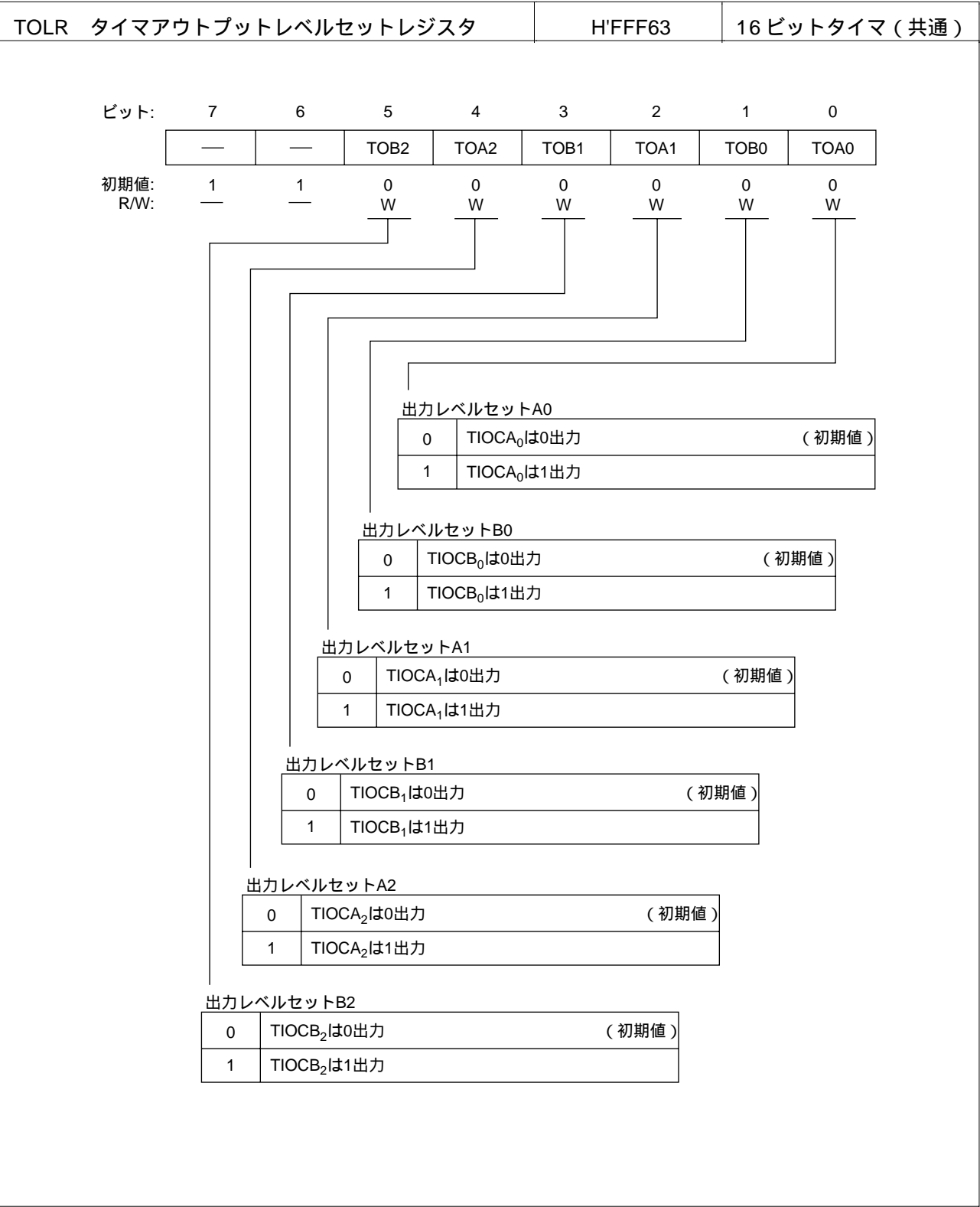
MAR1A R、E、H、L メモリアドレスレジスタ1A R、E、H、L	H'FFF30 H'FFF31 H'FFF32 H'FFF33	DMAC1																																
<div>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 1 1 1 1 1 1 1 1 不定</div> <div>R/W: — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W</div> <div><div>MAR1AR</div><div>MAR1AE</div></div> <div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 不定 不定</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div><div>MAR1AH</div><div>MAR1AL</div></div> <div>機能はDMAC0と同じです。</div>																																		
ETCR1A H、L 転送カウントレジスタ1A H、L	H'FFF34 H'FFF35	DMAC1																																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 不定</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>ビット: 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 不定 不定</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div><div>ETCR1AH</div><div>ETCR1AL</div></div> <div>機能はDMAC0と同じです。</div>																																		

MAR1B R、E、H、L メモリアドレスレジスタ1B R、E、H、L	H'FFF38 H'FFF39 H'FFF3A H'FFF3B	DMAC1																
<div>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 1 1 1 1 1 1 1 1 </div>																		

912

TSTR	タイマスタートレジスタ					H'FFF60	16ビットタイマ（共通）	
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W
リザーブビット								

TSNC タイマシンクロレジスタ					H'FFF61		16ビットタイマ（共通）	
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W
リザーブビット								
						</		



TISRA	タイマインタラプトステータスレジスタ A	H'FFF64	16ビットタイマ（共通）
-------	----------------------	---------	--------------

ビット:

7

6

5

4

3

2

1

0

—

IMIEA2

IMIEA1

IMIEA0

—

IMFA2

IMFA1

IMFA0

初期値:

1

0

0

0

1

0

0

0

R/W :

—

R/W

R/W

R/W

—

R/(W)*

R/(W)*

R/(W)*

インプットキャプチャ / コンペアマッチフラグA0

0

[クリア条件]

(1) IMFA0 = 1 の状態で、IMFA0 フラグをリードした後、IMFA0 フラグに0をライトしたとき

(2) IMIA0 割り込みによりDMACが起動されたとき

(初期値)

1

[セット条件]

(1) GRA0 がアウトプットコンペアレジスタとして機能している場合、TCNT0 = GRA0 になったとき

(2) GRA0 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT0の値がGRA0に転送されたとき

インプットキャプチャ / コンペアマッチフラグA1

0

[クリア条件]

(1) IMFA1 = 1 の状態で、IMFA1 フラグをリードした後、IMFA1 フラグに0をライトしたとき

(2) IMIA1 割り込みによりDMACが起動されたとき

(初期値)

1

[セット条件]

(1) GRA1 がアウトプットコンペアレジスタとして機能している場合、TCNT1 = GRA1 になったとき

(2) GRA1 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGRA1に転送されたとき

インプットキャプチャ / コンペアマッチフラグA2

0

[クリア条件]

(1) IMFA2 = 1 の状態で、IMFA2 フラグをリードした後、IMFA2 フラグに0をライトしたとき

(2) IMIA2 割り込みによりDMACが起動されたとき

(初期値)

1

[セット条件]

(1) GRA2 がアウトプットコンペアレジスタとして機能している場合、TCNT2 = GRA2 になったとき

(2) GRA2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2の値がGRA2に転送されたとき

インプットキャプチャ / コンペアマッチインタラプトイネーブルA0

0

IMFA0 フラグによる割り込み（IMIA0）要求を禁止

(初期値)

1

IMFA0 フラグによる割り込み（IMIA0）要求を許可

インプットキャプチャ / コンペアマッチインタラプトイネーブルA1

0

IMFA1 フラグによる割り込み（IMIA1）要求を禁止

(初期値)

1

IMFA1 フラグによる割り込み（IMIA1）要求を許可

インプットキャプチャ / コンペアマッチインタラプトイネーブルA2

0

IMFA2 フラグによる割り込み（IMIA2）要求を禁止

(初期値)

1

IMFA2 フラグによる割り込み（IMIA2）要求を許可

【注】

* フラグをクリアするための0ライトのみ可能です。

TISRB	タイマインタラプトステータスレジスタ B	H'FFF65	16 ビットタイマ (共通)
-------	----------------------	---------	------------------

ビット:

76543210

—IMIEB2IMIEB1IMIEB0—IMFB2IMFB1IMFB0

初期値:10001000

R/W:—R/WR/WR/W—R/(W)*R/(W)*R/(W)*

インพุットキャプチャ / コンペアマッチフラグB0

0

[クリア条件]

IMFB0 = 1 の状態で、IMFB0 フラグをリードした後、IMFB0 フラグに 0 をライトしたとき

(初期値)

1

[セット条件]

(1) GRB0 がアウトプットコンペアレジスタとして機能している場合、TCNT0 = GRB0 になったとき

(2) GRB0 がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT0 の値が GRB0 に転送されたとき

インพุットキャプチャ / コンペアマッチフラグB1

0

[クリア条件]

IMFB1 = 1 の状態で、IMFB1 フラグをリードした後、IMFB1 フラグに 0 をライトしたとき

(初期値)

1

[セット条件]

(1) GRB1 がアウトプットコンペアレジスタとして機能している場合、TCNT1 = GRB1 になったとき

(2) GRB1 がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT1 の値が GRB1 に転送されたとき

インพุットキャプチャ / コンペアマッチフラグB2

0

[クリア条件]

IMFB2 = 1 の状態で、IMFB2 フラグをリードした後、IMFB2 フラグに 0 をライトしたとき

(初期値)

1

[セット条件]

(1) GRB2 がアウトプットコンペアレジスタとして機能している場合、TCNT2 = GRB2 になったとき

(2) GRB2 がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT2 の値が GRB2 に転送されたとき

インพุットキャプチャ / コンペアマッチインタラプトイネーブルB0

0

IMFB0 フラグによる割り込み (IMIB0) 要求を禁止

(初期値)

1

IMFB0 フラグによる割り込み (IMIB0) 要求を許可

インพุットキャプチャ / コンペアマッチインタラプトイネーブルB1

0

IMFB1 フラグによる割り込み (IMIB1) 要求を禁止

(初期値)

1

IMFB1 フラグによる割り込み (IMIB1) 要求を許可

インพุットキャプチャ / コンペアマッチインタラプトイネーブルB2

0

IMFB2 フラグによる割り込み (IMIB2) 要求を禁止

(初期値)

1

IMFB2 フラグによる割り込み (IMIB2) 要求を許可

【注】

* フラグをクリアするための 0 ライトのみ可能です。

TISRC	タイミントラプトステータスレジスタ C	H'FFF66	16ビットタイマ（共通）
-------	---------------------	---------	--------------

ビット：76543210

—	OVIE2	OVIE1	OVIE0	—	OVF2	OVF1	OVF0
初期値：	1	0	0	0	1	0	0
R/W：	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*

オーバーフローフラグ0

0	【クリア条件】 OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき (初期値)
1	【セット条件】 TCNT0の値がオーバーフロー（H'FFFF H'0000）したとき

オーバーフローフラグ1

0	【クリア条件】 OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき (初期値)
1	【セット条件】 TCNT1の値がオーバーフロー（H'FFFF H'0000）したとき

オーバーフローフラグ2

0	【クリア条件】 OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき (初期値)
1	【セット条件】 TCNT2の値がオーバーフロー（H'FFFF H'0000）またはアンダフロー（H'0000 H'FFFF）したとき

オーバーフローインタラプトイネーブル0

0	OVF0フラグによる割り込み（OVI0）要求を禁止 (初期値)
1	OVF0フラグによる割り込み（OVI0）要求を許可

オーバーフローインタラプトイネーブル1

0	OVF1フラグによる割り込み（OVI1）要求を禁止 (初期値)
1	OVF1フラグによる割り込み（OVI1）要求を許可

オーバーフローインタラプトイネーブル2

0	OVF2フラグによる割り込み（OVI2）要求を禁止 (初期値)
1	OVF2フラグによる割り込み（OVI2）要求を許可

【注】

* フラグをクリアするための0ライトのみ可能です。

16TCR0 タイマコントロールレジスタ 0					H'FFF68		16 ビットタイマチャネル 0																																
ビット:		7	6	5	4	3	2	1	0																														
		—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0																														
初期値:		1	0	0	0	0	0	0	0																														
R/W :		—	R/W	R/W	R/W	R/W	R/W	R/W	R/W																														
<div>タイマプリスケラ2~0</div> <table><thead><tr><th>ビット2</th><th>ビット1</th><th>ビット0</th><th>説明</th></tr><tr><th>TPSC2</th><th>TPSC1</th><th>TPSC0</th><th></th></tr></thead><tbody><tr><td rowspan="4">0</td><td rowspan="2">0</td><td>0</td><td>内部クロック: でカウント (初期値)</td></tr><tr><td>1</td><td>内部クロック: /2でカウント</td></tr><tr><td rowspan="2">1</td><td>0</td><td>内部クロック: /4でカウント</td></tr><tr><td>1</td><td>内部クロック: /8でカウント</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>0</td><td>外部クロックA: TCLKA端子入力でカウント</td></tr><tr><td>1</td><td>外部クロックB: TCLKB端子入力でカウント</td></tr><tr><td rowspan="2">1</td><td>0</td><td>外部クロックC: TCLKC端子入力でカウント</td></tr><tr><td>1</td><td>外部クロックD: TCLKD端子入力でカウント</td></tr></tbody></table>										ビット2	ビット1	ビット0	説明	TPSC2	TPSC1	TPSC0		0	0	0	内部クロック: でカウント (初期値)	1	内部クロック: /2でカウント	1	0	内部クロック: /4でカウント	1	内部クロック: /8でカウント	1	0	0	外部クロックA: TCLKA端子入力でカウント	1	外部クロックB: TCLKB端子入力でカウント	1	0	外部クロックC: TCLKC端子入力でカウント	1	外部クロックD: TCLKD端子入力でカウント
ビット2	ビット1	ビット0	説明																																				
TPSC2	TPSC1	TPSC0																																					
0	0	0	内部クロック: でカウント (初期値)																																				
		1	内部クロック: /2でカウント																																				
	1	0	内部クロック: /4でカウント																																				
		1	内部クロック: /8でカウント																																				
1	0	0	外部クロックA: TCLKA端子入力でカウント																																				
		1	外部クロックB: TCLKB端子入力でカウント																																				
	1	0	外部クロックC: TCLKC端子入力でカウント																																				
		1	外部クロックD: TCLKD端子入力でカウント																																				
<div>クロックエッジ1、0</div> <table><thead><tr><th>ビット4</th><th>ビット3</th><th>説明</th></tr><tr><th>CKEG1</th><th>CKEG0</th><th></th></tr></thead><tbody><tr><td>0</td><td>0</td><td>立ち上がりエッジでカウント (初期値)</td></tr><tr><td>0</td><td>1</td><td>立ち下がりエッジでカウント</td></tr><tr><td>1</td><td>—</td><td>立ち上がり / 立ち下がりエッジの両エッジでカウント</td></tr></tbody></table>										ビット4	ビット3	説明	CKEG1	CKEG0		0	0	立ち上がりエッジでカウント (初期値)	0	1	立ち下がりエッジでカウント	1	—	立ち上がり / 立ち下がりエッジの両エッジでカウント															
ビット4	ビット3	説明																																					
CKEG1	CKEG0																																						
0	0	立ち上がりエッジでカウント (初期値)																																					
0	1	立ち下がりエッジでカウント																																					
1	—	立ち上がり / 立ち下がりエッジの両エッジでカウント																																					
<div>カウンタクリア1、0</div> <table><thead><tr><th>ビット6</th><th>ビット5</th><th>説明</th></tr><tr><th>CCLR1</th><th>CCLR0</th><th></th></tr></thead><tbody><tr><td rowspan="2">0</td><td>0</td><td>TCNTのクリア禁止 (初期値)</td></tr><tr><td>1</td><td>GRAのコンペアマッチ / インプットキャプチャでTCNTをクリア</td></tr><tr><td rowspan="2">1</td><td>0</td><td>GRBのコンペアマッチ / インプットキャプチャでTCNTをクリア</td></tr><tr><td>1</td><td>同期クリア。同期動作をしている他のタイマのカウンタクリアに同期してTCNTをクリア</td></tr></tbody></table>										ビット6	ビット5	説明	CCLR1	CCLR0		0	0	TCNTのクリア禁止 (初期値)	1	GRAのコンペアマッチ / インプットキャプチャでTCNTをクリア	1	0	GRBのコンペアマッチ / インプットキャプチャでTCNTをクリア	1	同期クリア。同期動作をしている他のタイマのカウンタクリアに同期してTCNTをクリア														
ビット6	ビット5	説明																																					
CCLR1	CCLR0																																						
0	0	TCNTのクリア禁止 (初期値)																																					
	1	GRAのコンペアマッチ / インプットキャプチャでTCNTをクリア																																					
1	0	GRBのコンペアマッチ / インプットキャプチャでTCNTをクリア																																					
	1	同期クリア。同期動作をしている他のタイマのカウンタクリアに同期してTCNTをクリア																																					

TIOR0 タイマ I/O コントロールレジスタ 0	H'FFF69	16 ビットタイマチャネル 0
----------------------------	---------	-----------------

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W :	—	R/W	R/W	R/W	—	R/W	R/W	R/W

I/OコントロールA2~0

ビット2 IOA2	ビット1 IOA1	ビット0 IOA0	説明	
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRAのコンペアマッチで0出力
	1	0		GRAのコンペアマッチで1出力
		1		GRAのコンペアマッチでトグル出力 (チャネル2のみ1出力)
1	0	0	GRAはインプット キャプチャレジスタ	立ち上がりエッジでGRAへインプットキャプチャ
		1		立ち下がりエッジでGRAへインプットキャプチャ
	1	0		立ち上がり / 立ち下がりエッジの両エッジでイン プットキャプチャ
		1		

I/OコントロールB2~0

ビット6 IOB2	ビット5 IOB1	ビット4 IOB0	説明	
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRBのコンペアマッチで0出力
	1	0		GRBのコンペアマッチで1出力
		1		GRBのコンペアマッチでトグル出力 (チャネル2のみ1出力)
1	0	0	GRBはインプット キャプチャレジスタ	立ち上がりエッジでGRBへインプットキャプチャ
		1		立ち下がりエッジでGRBへインプットキャプチャ
	1	0		立ち上がり / 立ち下がりエッジの両エッジで インプットキャプチャ
		1		

16TCNT0H、 L タイマカウンタ 0H、 L	H'FFF6A H'FFF6B	16 ビットタイマチャンネル 0
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>↑</div> <div>アップカウンタ</div>		
GRA0H、 L ジェネラルレジスタ A0 H、 L	H'FFF6C H'FFF6D	16 ビットタイマチャンネル 0
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div> <div>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>↑</div> <div>アウトプットコンペア / インプットキャプチャ兼用レジスタ</div>		
GRB0H、 L ジェネラルレジスタ B0 H、 L	H'FFF6E H'FFF6F	16 ビットタイマチャンネル 0
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div> <div>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>↑</div> <div>アウトプットコンペア / インプットキャプチャ兼用レジスタ</div>		

16TCR1	タイマコントロールレジスタ 1	H'FFF70	16 ビットタイマチャンネル 1																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>——</td><td>CCLR1</td><td>CCLR0</td><td>CKEG1</td><td>CKEG0</td><td>TPSC2</td><td>TPSC1</td><td>TPSC0</td></tr></table> <div>初期値: 1 0 0 0 0 0 0 0</div> <div>R/W: —— R/W R/W R/W R/W R/W R/W R/W</div> <p>機能は16ビットタイマチャンネル0と同じです。</p>				——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0								
——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0												
TIOR1	タイマ I/O コントロールレジスタ 1	H'FFF71	16 ビットタイマチャンネル 1																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>——</td><td>IOB2</td><td>IOB1</td><td>IOB0</td><td>——</td><td>IOA2</td><td>IOA1</td><td>IOA0</td></tr></table> <div>初期値: 1 0 0 0 1 0 0 0</div> <div>R/W: —— R/W R/W R/W —— R/W R/W R/W</div> <p>機能は16ビットタイマチャンネル0と同じです。</p>				——	IOB2	IOB1	IOB0	——	IOA2	IOA1	IOA0								
——	IOB2	IOB1	IOB0	——	IOA2	IOA1	IOA0												
16TCNT1H、 L	タイマカウンタ 1H、 L	H'FFF72 H'FFF73	16 ビットタイマチャンネル 1																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <p>機能は16ビットタイマチャンネル0と同じです。</p>																			

GRA1H、 L ジェネラルレジスタ A1 H、 L		H'FFF74 H'FFF75	16 ビットタイマチャンネル 1																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>																			
GRB1H、 L ジェネラルレジスタ B1 H、 L		H'FFF76 H'FFF77	16 ビットタイマチャンネル 1																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>																			
16TCR2 タイマコントロールレジスタ 2		H'FFF78	16 ビットタイマチャンネル 2																
<p>ビット: 7 6 5 4 3 2 1 0</p> <table><tr><td>——</td><td>CCLR1</td><td>CCLR0</td><td>CKEG1</td><td>CKEG0</td><td>TPSC2</td><td>TPSC1</td><td>TPSC0</td></tr></table> <p>初期値: 1 0 0 0 0 0 0 0</p> <p>R/W: —— R/W R/W R/W R/W R/W R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p> <p>【注】 チャンネル2を位相計数モードに設定したとき、TCR2のCKEG1、CKEG0ビットおよびTPSC2～TPSC0ビットの設定は無効となります。</p>				——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0								
——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0												

TIO R 2 タイマ I/O コントロールレジスタ 2		H'FFF79	16 ビットタイマチャンネル 2																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>———</td><td>IOB2</td><td>IOB1</td><td>IOB0</td><td>———</td><td>IOA2</td><td>IOA1</td><td>IOA0</td></tr></table> <div>初期値: 1 0 0 0 1 0 0 0</div> <div>R/W: ——— R/W R/W R/W ——— R/W R/W R/W</div> <div>機能は16ビットタイマチャンネル0と同じです。</div>				———	IOB2	IOB1	IOB0	———	IOA2	IOA1	IOA0								
———	IOB2	IOB1	IOB0	———	IOA2	IOA1	IOA0												
16TCNT2H、 L タイマカウンタ 2H、 L		H'FFF7A、 H'FFF7B	16 ビットタイマチャンネル 2																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>↑</div> <div>位相計数モード時: アップ / ダウンカウンタ</div> <div>その他のモード時: アップカウンタ</div>																			
GRA2H、 L ジェネラルレジスタ A2 H、 L		H'FFF7C、 H'FFF7D	16 ビットタイマチャンネル 2																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <div>機能は16ビットタイマチャンネル0と同じです。</div>																			

GRB2H、 L ジェネラルレジスタ B2 H、 L	H'FFF7E、 H'FFF7F	16 ビットタイマチャンネル 2																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</div> <p>機能は16ビットタイマチャンネル0と同じです。</p>																		

8TCR0	タイマコントロールレジスタ 0	H'FFF80	8 ビットタイマチャネル 0
8TCR1	タイマコントロールレジスタ 1	H'FFF81	8 ビットタイマチャネル 1

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト 2~0			
0	0	0	クロック入力を禁止
		1	内部クロック: / 8立ち上がりエッジでカウント
	1	0	内部クロック: / 64立ち上がりエッジでカウント
		1	内部クロック: / 8192立ち上がりエッジでカウント
1	0	0	チャネル0の場合: TCNT1のオーバーフロー信号で カウント*
		1	外部クロック: 立ち 下がりエッジでカウント
	1	0	外部クロック: 立ち 上がりエッジでカウント
		1	外部クロック: 立ち上がり / 立ち 下がり両エッジでカウント

【注】* チャネル0のクロック入力をTCNT1のオーバーフロー信号とし、チャネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア 1、0		
0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチB / インพุットキャプチャBによりクリア
	1	インพุットキャプチャBによりクリア

タイマオーバーフローインタラプトイネーブル	
0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA	
0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB	
0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

8TCSR1 タイマコントロール / ステータスレジスタ 1					H'FFF83		8 ビットタイマチャネル 1		
ビット:		7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
初期値:		0	0	0	0	0	0	0	0
R/W:		R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W
								アウトプットセレクトA1、0	
								ビット1 OS1	ビット0 OS0
								説明	
								0	0
									1
								1	0
									1
								コンペアマッチAで変化しない	
								コンペアマッチAで0出力	
								コンペアマッチAで1出力	
								コンペアマッチAごとに反転出力 (トグル出力)	
								アウトプット / インプットキャプチャエッジセレクトB3、2	
								TCSR1 のICE	ビット3 OIS3
									ビット2 OIS2
								説明	
								0	0
									1
							1		0
									1
							1	0	
								1	
								0	
								1	
								立ち上がりエッジでTCORBにインプットキャプチャ	
								立ち下がりエッジでTCORBにインプットキャプチャ	
								立ち上がり / 立ち下がりの両エッジでTCORBにインプットキャプチャ	
								インプットキャプチャイネーブル	
								0	TCORBはコンペアマッチレジスタ
								1	TCORBはインプットキャプチャレジスタ
								タイマオーバーフローフラグ	
								0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
								1	[セット条件] TCNTがH'FF H'00になったとき
								コンペアマッチフラグA	
								0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき
								1	[セット条件] TCNT = TCORAになったとき
								コンペアマッチ / インプットキャプチャフラグB	
								0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき
								1	[セット条件] (1) TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT値がTCORBに転送されたとき

【注】* ビット7～5は、フラグをクリアするための0ライトのみ可能です。

TCORA0 タイムコンスタントレジスタ A0	H'FFF84	8 ビットタイマチャネル 0
TCORA1 タイムコンスタントレジスタ A1	H'FFF85	8 ビットタイマチャネル 1
<div> <div>TCORA0</div> <div>TCORA1</div> <div> ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 </div> <div> <div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div> </div> <div> 初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 </div> <div> R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W </div> </div>		
TCORB0 タイムコンスタントレジスタ B0	H'FFF86	8 ビットタイマチャネル 0
TCORB1 タイムコンスタントレジスタ B1	H'FFF87	8 ビットタイマチャネル 1
<div> <div>TCORB0</div> <div>TCORB1</div> <div> ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 </div> <div> <div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div> </div> <div> 初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 </div> <div> R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W </div> </div>		
8TCNT0 タイマカウンタ 0	H'FFF88	8 ビットタイマチャネル 0
8TCNT1 タイマカウンタ 1	H'FFF89	8 ビットタイマチャネル 1
<div> <div>TCNT0</div> <div>TCNT1</div> <div> ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 </div> <div> <div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div> </div> <div> 初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 </div> <div> R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W </div> </div>		

TCSR タイマコントロール / ステータスレジスタ					H'FFF8C			WDT							
ビット:															
7		6		5		4		3		2		1		0	
OVF		WT/IT		TME		—		—		CKS2		CKS1		CKS0	
初期値: 0		0		0		1		1		0		0		0	
R/W: R/(W)*		R/W		R/W		—		—		R/W		R/W		R/W	

クロックセレクト2~0

CKS2	CKS1	CKS0	説 明
0	0	0	/ 2
		1	/ 32
	1	0	/ 64
		1	/ 128
1	0	0	/ 256
		1	/ 512
	1	0	/ 2048
		1	/ 4096

タイマイネーブル

0	タイマディスエーブル ・ TCNTをH'00にイニシャライズし、 カウントアップを停止
1	タイマイネーブル ・ TCNTはカウントアップ開始

タイマモードセレクト

0	インターバルタイマを選択 (インターバルタイマ割り込み要求)
1	ウォッチドッグタイマを選択 (リセット信号を発生)

オーバーフローフラグ

0	[クリア条件] OVF = 1の状態 OV Fフラグをリードした後、 OV Fフラグに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00に変化したとき

【注】*

フラグをクリアするための0ライトのみ可能です。

TCNT タイマカウンタ				H'FFF8D リード時、H'FFF8C ライト時				WDT			
ビット:				7	6	5	4	3	2	1	0
初期値:				0	0	0	0	0	0	0	0
R/W:				R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
				カウント値							

RSTCSR リセットコントロール/ステータスレジスタ				H'FFF8F リード時、H'FFF8E ライト時				WDT			
ビット:				7	6	5	4	3	2	1	0
				WRST	—	—	—	—	—	—	—
初期値:				0	0	1	1	1	1	1	1
R/W:				R/(W)*	R/W	—	—	—	—	—	—
				ウォッチドッグタイマリセット							
				0 [クリア条件] ・ RES端子によるリセット信号 ・ WRST = 1の状態、WRSTフラグをリード後、 WRSTフラグに0をライトしたとき							
				1 [セット条件] TCNTがオーバフローし、リセット信号が発生したとき							

【注】* ビット7は、フラグをクリアする0ライトのみ可能です。

8TCR2	タイマコントロールレジスタ 2	H'FFF90	8 ビットタイマチャネル 2
8TCR3	タイマコントロールレジスタ 3	H'FFF91	8 ビットタイマチャネル 3

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト			
CKS2	CKS1	CKS0	説 明
0	0	0	クロック入力を禁止
		1	内部クロック: / 8立ち上がりエッジでカウント
	1	0	内部クロック: / 64立ち上がりエッジでカウント
		1	内部クロック: / 8192立ち上がりエッジでカウント
1	0	0	チャネル2の場合: TCNT3のオーバフロー信号で カウント* チャネル3の場合: TCNT2のコンペアマッチAで カウント*
		1	外部クロック: 立ち下がりエッジでカウント
	1	0	外部クロック: 立ち 上がりエッジでカウント
		1	外部クロック: 立ち上がり / 立ち 下がり両エッジでカウント

【注】* チャネル2のクロック入力をTCNT3のオーバフロー信号とし、チャネル3のクロック入力をTCNT2のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア1、0		
0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチB / インพุットキャプチャBによりクリア
	1	インพุットキャプチャBによりクリア

タイマオーバフローインタラプトイネーブル	
0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA	
0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB	
0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

8TCSR2	タイマコントロール / ステータスレジスタ 2	H'FFF92	8 ビットタイマチャネル 2
8TCSR3	タイマコントロール / ステータスレジスタ 3	H'FFF93	8 ビットタイマチャネル 3

TCSR2	ビット:	7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	—	OIS3	OIS2	OS1	OS0
	初期値:	0	0	0	1	0	0	0	0
	R/W:	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

TCSR3	ビット:	7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
	初期値:	0	0	0	0	0	0	0	0
	R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

		アウトプットセレクトA1、0	
ビット1	ビット0	説明	
OS1	OS0		
0	0	コンペアマッチAで変化しない	
	1	コンペアマッチAで0出力	
1	0	コンペアマッチAで1出力	
	1	コンペアマッチAごとに反転出力 (トグル出力)	

		アウトプット / インプットキャプチャエッジセレクトB3、2	
TCSR3 のICE	ビット3 OIS3	ビット2 OIS2	説明
0	0	0	コンペアマッチBで変化しない
		1	コンペアマッチBで0出力
	1	0	コンペアマッチBで1出力
		1	コンペアマッチBごとに反転出力 (トグル出力)
1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ
		1	立ち下がりエッジでTCORBにインプットキャプチャ
	1	0	立ち上がり / 立ち下がりの両エッジでTCORBにインプットキャプチャ

インプットキャプチャイネーブル (TCSR3のみ)	
0	TCORBはコンペアマッチレジスタ
1	TCORBはインプットキャプチャレジスタ

タイマオーバフローフラグ	
0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA	
0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチ / インプットキャプチャフラグB	
0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	[セット条件] (1) TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がTCORBに転送されたとき

【注】* ビット7～5は、フラグをクリアするための0ライトのみ可能です。

TCORA2	タイムコンスタントレジスタ A2	H'FFF94	8 ビットタイマチャネル 2
TCORA3	タイムコンスタントレジスタ A3	H'FFF95	8 ビットタイマチャネル 3

TCORA2

TCORA3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCORB2	タイムコンスタントレジスタ B2	H'FFF96	8 ビットタイマチャネル 2
TCORB3	タイムコンスタントレジスタ B3	H'FFF97	8 ビットタイマチャネル 3

TCORB2

TCORB3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

8TCNT2	タイマカウンタ 2	H'FFF98	8 ビットタイマチャネル 2
8TCNT3	タイマカウンタ 3	H'FFF99	8 ビットタイマチャネル 3

TCNT2

TCNT3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

DADR0	D/A データレジスタ 0	H'FFF9C	D/A								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div><div></div><div>D/A変換データを格納</div></div>											
DADR1	D/A データレジスタ 1	H'FFF9D	D/A								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div><div></div><div>D/A変換データを格納</div></div>											

DACR D/A コントロールレジスタ				H'FFF9E				D/A							
ビット:								7	6	5	4	3	2	1	0
								DAOE1	DAOE0	DAE	——	——	——	——	——
初期値:								0	0	0	1	1	1	1	1
R/W:								R/W	R/W	R/W	——	——	——	——	——
								D/Aイネーブル							
								ビット7		ビット6		ビット5		説 明	
								DAOE1		DAOE0		DAE			
								0		0		——		チャンネル0、1のD / A変換を禁止	
								0		1		0		チャンネル0のD / A変換を許可 チャンネル1のD / A変換を禁止	
								0		1		1		チャンネル0、1のD / A変換を許可	
								1		0		0		チャンネル0のD / A変換を禁止 チャンネル1のD / A変換を許可	
								1		0		1		チャンネル0、1のD / A変換を許可	
								1		1		——		チャンネル0、1のD / A変換を許可	
								D/Aアウトプットイネーブル0							
								0		アナログ出力DA0を禁止					
								1		チャンネル0のD / A変換を許可 アナログ出力DA0を許可					
								D/Aアウトプットイネーブル1							
								0		アナログ出力DA1を禁止					
								1		チャンネル1のD / A変換を許可 アナログ出力DA1を許可					

TPMR								TPC 出力モードレジスタ				H'FFFA0				TPC							
ビット:								7	6	5	4	3	2	1	0								
																G3NOV		G2NOV		G1NOV		G0NOV	
初期値:								1		1		1		1		0		0		0		0	
R/W:																R/W		R/W		R/W		R/W	

TPCR				TPC 出力コントロールレジスタ				H'FFFA1				TPC			
ビット:															
7		6		5		4		3		2		1		0	
G3CMS1		G3CMS0		G2CMS1		G2CMS0		G1CMS1		G1CMS0		G0CMS1		G0CMS0	
初期値:															
1		1		1		1		1		1		1		1	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
グループ0コンペアマッチセレクト1、0															
ビット1		ビット0		出力トリガとなる16ビットタイマのチャンネル選択											
G0CMS1		G0CMS0													
0		0		TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ											
		1		TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ											
1		0		TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ											
		1													
グループ1コンペアマッチセレクト1、0															
ビット3		ビット2		出力トリガとなる16ビットタイマのチャンネル選択											
G1CMS1		G1CMS0													
0		0		TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ											
		1		TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ											
1		0		TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ											
		1													
グループ2コンペアマッチセレクト1、0															
ビット5		ビット4		出力トリガとなる16ビットタイマのチャンネル選択											
G2CMS1		G2CMS0													
0		0		TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ											
		1		TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ											
1		0		TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ											
		1													
グループ3コンペアマッチセレクト1、0															
ビット7		ビット6		出力トリガとなる16ビットタイマのチャンネル選択											
G3CMS1		G3CMS0													
0		0		TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ											
		1		TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ											
1		0		TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ											
		1													

NDERB ネクストデータインーブルレジスタ B		H'FFFA2		TPC					
ビット:		7	6	5	4	3	2	1	0
		NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:		0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDRB ネクストデータレジスタ B				H'FFFA4/ H'FFFA6				TPC	
TPC 出力グループ 2、3 の出力トリガが同一の場合									
(1) アドレス： H 'FFFA4									
ビット：	7	6	5	4	3	2	1	0	
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
初期値：	0	0	0	0	0	0	0	0	
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
				TPC出力グループ3の次の出力データを格納					
				TPC出力グループ2の次の出力データを格納					
(2) アドレス： H 'FFFA6									
ビット：	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	
初期値：	1	1	1	1	1	1	1	1	
R/W：	—	—	—	—	—	—	—	—	
TPC 出力グループ 2、3 の出力トリガが異なる場合									
(1) アドレス： H 'FFFA4									
ビット：	7	6	5	4	3	2	1	0	
	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
初期値：	0	0	0	0	1	1	1	1	
R/W：	R/W	R/W	R/W	R/W	—	—	—	—	
				TPC出力グループ3の次の出力データを格納					
(2) アドレス： H 'FFFA6									
ビット：	7	6	5	4	3	2	1	0	
	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
初期値：	1	1	1	1	0	0	0	0	
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	
					TPC出力グループ2の次の出力データを格納				

NDRA ネクストデータレジスタ A	H'FFFA5/ H'FFFA7	TPC
-----------------------	------------------	-----

TPC 出力グループ 0、1 の出力トリガが同一の場合

(1) アドレス: H'FFFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPC出力グループ1の次の出力データを格納

TPC出力グループ0の次の出力データを格納

(2) アドレス: H'FFFA7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	—	—	—	—	—

TPC 出力グループ 0、1 の出力トリガが異なる場合

(1) アドレス: H'FFFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	—	—	—	—

TPC出力グループ1の次の出力データを格納

(2) アドレス: H'FFFA7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

TPC出力グループ0の次の出力データを格納

SMR シリアルモードレジスタ				H'FFFB0				SCI0
ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
							クロックセレクト1、0	
							ビット1	ビット0
							CKS1	CKS0
							クロックの選択	
							0	0
								1
							クロック	
							/4クロック	
							1	0
							/16クロック	
							1	1
							/64クロック	
							マルチプロセッサモード	
							0	マルチプロセッサ機能を禁止
							1	マルチプロセッサフォーマットを選択
							ストップビットレングス	
							0	1ストップビット
							1	2ストップビット
							パリティモード	
							0	偶数パリティ
							1	奇数パリティ
							パリティイネーブル	
							0	パリティビットの付加、およびチェックを禁止
							1	パリティビットの付加、およびチェックを許可
							キャラクタレングス	
							0	8ビットデータ
							1	7ビットデータ
							コミュニケーションモード (シリアルコミュニケーションインタフェース時)	
							0	調歩同期式モード
							1	クロック同期式モード
							GSMモード (スマートカードインタフェース時)	
							0	TENDフラグがスタートビットから12.5 etu*後に発生
							1	TENDフラグがスタートビットから11.0 etu*後に発生
							* etu (Elementary Time Unit) : 1ビットの転送期間	

BRR ビットレートレジスタ				H'FFFB1				SCI0
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div> <div>初期値: 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div></div> <div>シリアル送信 / 受信のビットレートを設定</div>								

SCR シリアルコントロールレジスタ						H'FFFB2		SCI0																																		
ビット:	7	6	5	4	3	2	1	0																																		
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0																																		
初期値:	0	0	0	0	0	0	0	0																																		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																		
			レシーブイネーブル			クロックイネーブル1、0 (シリアルコミュニケーションインタフェース時)																																				
			<table><tr><td>0</td><td>受信動作を禁止</td></tr><tr><td>1</td><td>受信動作を許可</td></tr></table>			0	受信動作を禁止	1	受信動作を許可	<table><tr><td>ビット1 CKE1</td><td>ビット0 CKE0</td><td colspan="2">クロックの選択、出力の許可</td></tr><tr><td rowspan="4">0</td><td rowspan="2">0</td><td>調歩同期式モード</td><td>内部クロック / SCK端子は入出力ポート</td></tr><tr><td>クロック同期式モード</td><td>内部クロック / SCK端子は同期クロック出力</td></tr><tr><td rowspan="2">1</td><td>調歩同期式モード</td><td>内部クロック / SCK端子はクロック出力</td></tr><tr><td>クロック同期式モード</td><td>内部クロック / SCK端子は同期クロック出力</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>調歩同期式モード</td><td>外部クロック / SCK端子はクロック入力</td></tr><tr><td>クロック同期式モード</td><td>外部クロック / SCK端子は同期クロック入力</td></tr><tr><td rowspan="2">1</td><td>調歩同期式モード</td><td>外部クロック / SCK端子はクロック入力</td></tr><tr><td>クロック同期式モード</td><td>外部クロック / SCK端子は同期クロック入力</td></tr></table>				ビット1 CKE1	ビット0 CKE0	クロックの選択、出力の許可		0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート	クロック同期式モード	内部クロック / SCK端子は同期クロック出力	1	調歩同期式モード	内部クロック / SCK端子はクロック出力	クロック同期式モード	内部クロック / SCK端子は同期クロック出力	1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力	クロック同期式モード	外部クロック / SCK端子は同期クロック入力	1	調歩同期式モード	外部クロック / SCK端子はクロック入力	クロック同期式モード	外部クロック / SCK端子は同期クロック入力			
0	受信動作を禁止																																									
1	受信動作を許可																																									
ビット1 CKE1	ビット0 CKE0	クロックの選択、出力の許可																																								
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート																																							
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力																																							
	1	調歩同期式モード	内部クロック / SCK端子はクロック出力																																							
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力																																							
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力																																							
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力																																							
	1	調歩同期式モード	外部クロック / SCK端子はクロック入力																																							
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力																																							
			トランスミットイネーブル			クロックイネーブル1、0 (スマートカードインタフェース時)																																				
			<table><tr><td>0</td><td>送信動作を禁止</td></tr><tr><td>1</td><td>送信動作を許可</td></tr></table>			0	送信動作を禁止	1	送信動作を許可	<table><tr><td>SMR</td><td>ビット1 GM</td><td>ビット0 CKE1</td><td>ビット0 CKE0</td><td>説 明</td></tr><tr><td rowspan="2">0</td><td rowspan="2">0</td><td>0</td><td>0</td><td>SCK端子は入出力ポート</td></tr><tr><td>1</td><td>1</td><td>SCK端子はクロック出力</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>0</td><td>0</td><td>SCK端子はLow出力固定</td></tr><tr><td>1</td><td>1</td><td>SCK端子はクロック出力</td></tr><tr><td rowspan="2">1</td><td>0</td><td>0</td><td>SCK端子はHigh出力固定</td></tr><tr><td>1</td><td>1</td><td>1</td><td>SCK端子はクロック出力</td></tr></table>				SMR	ビット1 GM	ビット0 CKE1	ビット0 CKE0	説 明	0	0	0	0	SCK端子は入出力ポート	1	1	SCK端子はクロック出力	1	0	0	0	SCK端子はLow出力固定	1	1	SCK端子はクロック出力	1	0	0	SCK端子はHigh出力固定	1	1	1	SCK端子はクロック出力
0	送信動作を禁止																																									
1	送信動作を許可																																									
SMR	ビット1 GM	ビット0 CKE1	ビット0 CKE0	説 明																																						
0	0	0	0	SCK端子は入出力ポート																																						
		1	1	SCK端子はクロック出力																																						
1	0	0	0	SCK端子はLow出力固定																																						
		1	1	SCK端子はクロック出力																																						
	1	0	0	SCK端子はHigh出力固定																																						
		1	1	1	SCK端子はクロック出力																																					
			マルチプロセッサインタラプトイネーブル			トランスミットエンドインタラプトイネーブル																																				
			<table><tr><td>0</td><td>マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)</td></tr><tr><td>1</td><td>マルチプロセッサ割り込みを許可</td></tr></table>			0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)	1	マルチプロセッサ割り込みを許可	<table><tr><td>0</td><td>送信終了割り込み (TEI) 要求を禁止</td></tr><tr><td>1</td><td>送信終了割り込み (TEI) 要求を許可</td></tr></table>				0	送信終了割り込み (TEI) 要求を禁止	1	送信終了割り込み (TEI) 要求を許可																									
0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)																																									
1	マルチプロセッサ割り込みを許可																																									
0	送信終了割り込み (TEI) 要求を禁止																																									
1	送信終了割り込み (TEI) 要求を許可																																									
			レシーブインタラプトイネーブル																																							
			<table><tr><td>0</td><td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止</td></tr><tr><td>1</td><td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可</td></tr></table>			0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止	1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																																	
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止																																									
1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																																									
			トランスミットインタラプトイネーブル																																							
			<table><tr><td>0</td><td>送信データエンプティ割り込み (TXI) 要求を禁止</td></tr><tr><td>1</td><td>送信データエンプティ割り込み (TXI) 要求を許可</td></tr></table>			0	送信データエンプティ割り込み (TXI) 要求を禁止	1	送信データエンプティ割り込み (TXI) 要求を許可																																	
0	送信データエンプティ割り込み (TXI) 要求を禁止																																									
1	送信データエンプティ割り込み (TXI) 要求を許可																																									

TDR	トランスミットデータレジスタ				H'FFFB3			SCI0
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シリアル送信データを格納								

SSR シリアルステータスレジスタ					H'FFFB4			SCI0
ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R/W
								マルチプロセスビットトランスファ
								0 マルチプロセスビットが0のデータを送信
								1 マルチプロセスビットが1のデータを送信
								マルチプロセスビット
								0 マルチプロセスビットが0のデータを受信
								1 マルチプロセスビットが1のデータを受信
								トランスミットエンド (シリアルコミュニケーションインタフェース時)
								0 [クリア条件] 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき
								1 [セット条件] 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0のとき 3.1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき
								トランスミットエンド (スマートカードインタフェース時)
								0 [クリア条件] 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき
								1 [セット条件] 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0かつFER/ERSビットが0のとき 3.1バイトのシリアルキャラクタ送信終了 2.5 etu*2後 (GM = 0のとき) / 1.0 etu後 (GM = 1のとき) にTDRE = 1かつFER/ERSビット = 0 (正常送信) のとき
								パリティエラー
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.PER = 1の状態をリードした後、0をライトしたとき
								1 [セット条件] パリティエラーが発生したとき (受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき)
								フレーミングエラー (シリアルコミュニケーションインタフェースのとき)
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.FER = 1の状態をリードした後、0をライトしたとき
								1 [セット条件] フレーミングエラーが発生したとき (ストップビットが0の場合)
								エラーシグナルステータス (スマートカードインタフェースのとき)
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.ERS = 1の状態をリードした後、0をライトしたとき
								1 [セット条件] エラーシグナルLowを受信したとき
								オーバランエラー
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.ORER = 1の状態をリードした後、0をライトしたとき
								1 [セット条件] オーバランエラーが発生したとき (RDRF = 1の状態下次のデータが受信完了したとき)
								レシーブデータレジスタフル
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.RDRF = 1の状態をリードした後、0をライトしたとき 3.DMACでRDRのデータをリードしたとき
								1 [セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき
								トランスミットデータレジスタエンpty
								0 [クリア条件] 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき
								1 [セット条件] 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0のとき 3.TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】 *1 フラグをクリアするための0ライトのみ可能です。
*2 etu (Elementary Time Unit) : 1ビットの転送期間

RDR	レシーブデータレジスタ	H'FFFB5	SCI0					
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
シリアル受信データを格納								

SCMR スマートカードモードレジスタ					H'FFFB6		SCI0					
ビット:	7	6	5	4	3	2	1	0				
	—	—	—	—	SDIR	SINV	—	SMIF				
初期値:	1	1	1	1	0	0	1	0				
R/W:	—	—	—	—	R/W	R/W	—	R/W				
					スマートカードインタフェースモードセレクト							
					<table><tr><td>0</td><td>スマートカードインタフェース機能を禁止 (初期値)</td></tr><tr><td>1</td><td>スマートカードインタフェース機能を許可</td></tr></table>				0	スマートカードインタフェース機能を禁止 (初期値)	1	スマートカードインタフェース機能を許可
0	スマートカードインタフェース機能を禁止 (初期値)											
1	スマートカードインタフェース機能を許可											
					スマートカードデータインバート							
					<table><tr><td>0</td><td>TDRの内容をそのまま送信 </td></tr></table>				0	TDRの内容をそのまま送信		
0	TDRの内容をそのまま送信											

SMR シリアルモードレジスタ	H'FFFB8	SCI1									
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>C/\bar{A}</td><td>CHR</td><td>PE</td><td>O/\bar{E}</td><td>STOP</td><td>MP</td><td>CKS1</td><td>CKS0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>				C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0			
BRR ビットレートレジスタ	H'FFFB9	SCI1									
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>											
SCR シリアルコントロールレジスタ	H'FFFB A	SCI1									
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>TIE</td><td>RIE</td><td>TE</td><td>RE</td><td>MPIE</td><td>TEIE</td><td>CKE1</td><td>CKE0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>				TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0			

TDR トランスミットデータレジスタ		H'FFFBB	SCI1								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>											
SSR シリアルステータスレジスタ		H'FFFCB	SCI1								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>TDRE</td><td>RDRF</td><td>ORER</td><td>FER/ERS</td><td>PER</td><td>TEND</td><td>MPB</td><td>MPBT</td></tr></table> <div>初期値: 0 0 0 0 0 1 0 0</div> <div>R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W</div> <p>機能はSCI0と同じです。</p> <p>【注】* フラグをクリアするための0ライトのみ可能です。</p>				TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT				
RDR レシーブデータレジスタ		H'FFFB	SCI1								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: R R R R R R R R</div> <p>機能はSCI0と同じです。</p>											

SCMR スマートカードモードレジスタ				H'FFFBE		SCI1									
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>_____</td><td>_____</td><td>_____</td><td>_____</td><td>SDIR</td><td>SINV</td><td>_____</td><td>SMIF</td></tr></table> <div>初期値: 1 1 1 1 0 0 1 0</div> <div>R/W: _____ _____ _____ _____ R/W R/W _____ R/W</div> <p>機能はSCI0と同じです。</p>								_____	_____	_____	_____	SDIR	SINV	_____	SMIF
_____	_____	_____	_____	SDIR	SINV	_____	SMIF								

SMR シリアルモードレジスタ	H'FFFC0	SCI2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>C/\bar{A}</td><td>CHR</td><td>PE</td><td>O/\bar{E}</td><td>STOP</td><td>MP</td><td>CKS1</td><td>CKS0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>			C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0			
BRR ビットレートレジスタ	H'FFFC1	SCI2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table> <div>初期値: 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>										
SCR シリアルコントロールレジスタ	H'FFFC2	SCI2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>TIE</td><td>RIE</td><td>TE</td><td>RE</td><td>MPIE</td><td>TEIE</td><td>CKE1</td><td>CKE0</td></tr></table> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <p>機能はSCI0と同じです。</p>			TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0			

TDR	トランスミットデータレジスタ	H'FFFC3	SCI2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 1 1 1 1 1 1 1 1</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div>機能はSCI0と同じです。</div>											
SSR	シリアルステータスレジスタ	H'FFFC4	SCI2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td>TDRE</td><td>RDRF</td><td>ORER</td><td>FER/ERS</td><td>PER</td><td>TEND</td><td>MPB</td><td>MPBT</td></tr></table></div> <div>初期値: 1 0 0 0 0 1 0 0</div> <div>R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W</div> <div>機能はSCI0と同じです。</div> <div>【注】* フラグをクリアするための0ライトのみ可能です。</div>				TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT				
RDR	レシーブデータレジスタ	H'FFFC5	SCI2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <div><table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table></div> <div>初期値: 0 0 0 0 0 0 0 0</div> <div>R/W: R R R R R R R R</div> <div>機能はSCI0と同じです。</div>											

SCMR スマートカードモードレジスタ					H'FFFC6		SCI2	
ビット:	7	6	5	4	3	2	1	0
	<div>_____</div>	<div>_____</div>	<div>_____</div>	<div>_____</div>	SDIR	SINV	<div>_____</div>	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	<div>_____</div>	<div>_____</div>	<div>_____</div>	<div>_____</div>	R/W	R/W	<div>_____</div>	R/W
機能はSCI0と同じです。								

P1DR	ポート1 データレジスタ	H'FFFD0	ポート 1								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P17</td><td>P16</td><td>P15</td><td>P14</td><td>P13</td><td>P12</td><td>P11</td><td>P10</td></tr></table> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div>ポート1の各端子のデータを格納</div>				P17	P16	P15	P14	P13	P12	P11	P10
P17	P16	P15	P14	P13	P12	P11	P10				
P2DR	ポート2 データレジスタ	H'FFFD1	ポート 2								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P27</td><td>P26</td><td>P25</td><td>P24</td><td>P23</td><td>P22</td><td>P21</td><td>P20</td></tr></table> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div>ポート2の各端子のデータを格納</div>				P27	P26	P25	P24	P23	P22	P21	P20
P27	P26	P25	P24	P23	P22	P21	P20				
P3DR	ポート3 データレジスタ	H'FFFD2	ポート 3								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P37</td><td>P36</td><td>P35</td><td>P34</td><td>P33</td><td>P32</td><td>P31</td><td>P30</td></tr></table> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div>ポート3の各端子のデータを格納</div>				P37	P36	P35	P34	P33	P32	P31	P30
P37	P36	P35	P34	P33	P32	P31	P30				

P4DR	ポート 4 データレジスタ	H'FFFD3	ポート 4								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P47</td><td>P46</td><td>P45</td><td>P44</td><td>P43</td><td>P42</td><td>P41</td><td>P40</td></tr></table> <div>初期値: 0 0 0 0 0 0 0</div> <div>R/W: R/W R/W R/W R/W R/W R/W R/W</div> <div>ポート4の各端子のデータを格納</div>				P47	P46	P45	P44	P43	P42	P41	P40
P47	P46	P45	P44	P43	P42	P41	P40				
P5DR	ポート 5 データレジスタ	H'FFFD4	ポート 5								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>P53</td><td>P52</td><td>P51</td><td>P50</td></tr></table> <div>初期値: 1 1 1 1 0 0 0 0</div> <div>R/W: — — — — R/W R/W R/W R/W</div> <div>ポート5の各端子のデータを格納</div>				—	—	—	—	P53	P52	P51	P50
—	—	—	—	P53	P52	P51	P50				
P6DR	ポート 6 データレジスタ	H'FFFD5	ポート 6								
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>P67</td><td>P66</td><td>P65</td><td>P64</td><td>P63</td><td>P62</td><td>P61</td><td>P60</td></tr></table> <div>初期値: 1 0 0 0 0 0 0</div> <div>R/W: R R/W R/W R/W R/W R/W R/W R/W</div> <div>ポート6の各端子のデータを格納</div>				P67	P66	P65	P64	P63	P62	P61	P60
P67	P66	P65	P64	P63	P62	P61	P60				

P7DR ポート 7 データレジスタ				H'FFFD6				ポート 7	
ビット:		7	6	5	4	3	2	1	0
		P77	P76	P75	P74	P73	P72	P71	P70
初期値:		— *		— *		— *		— *	
R/W:		R		R		R		R	
ポート7の各端子の状態を読み出す									
【注】* P77~P70端子により決定されます。									

P8DR ポート 8 データレジスタ				H'FFFD7				ポート 8	
ビット:		7	6	5	4	3	2	1	0
		—	—	—	P84	P83	P82	P81	P80
初期値:		1	1	1	0	0	0	0	0
R/W:		—	—	—	R/W	R/W	R/W	R/W	R/W
ポート8の各端子のデータを格納									

P9DR	ポート 9 データレジスタ	H'FFFD8	ポート 9																											
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>_____</td><td>_____</td><td>P95</td><td>P94</td><td>P93</td><td>P92</td><td>P91</td><td>P90</td></tr><tr><td>初期値:</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>R/W:</td><td>_____</td><td>_____</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr></table> <div>ポート9の各端子のデータを格納</div>					_____	_____	P95	P94	P93	P92	P91	P90	初期値:	1	1	0	0	0	0	0	0	R/W:	_____	_____	R/W	R/W	R/W	R/W	R/W	R/W
	_____	_____	P95	P94	P93	P92	P91	P90																						
初期値:	1	1	0	0	0	0	0	0																						
R/W:	_____	_____	R/W	R/W	R/W	R/W	R/W	R/W																						
PADR	ポート A データレジスタ	H'FFFD9	ポート A																											
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>PA7</td><td>PA6</td><td>PA5</td><td>PA4</td><td>PA3</td><td>PA2</td><td>PA1</td><td>PA0</td></tr><tr><td>初期値:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>R/W:</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr></table> <div>ポートAの各端子のデータを格納</div>					PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	初期値:	0	0	0	0	0	0	0	0	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0																						
初期値:	0	0	0	0	0	0	0	0																						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																						
PBDR	ポート B データレジスタ	H'FFFDA	ポート B																											
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td></td><td>PB7</td><td>PB6</td><td>PB5</td><td>PB4</td><td>PB3</td><td>PB2</td><td>PB1</td><td>PB0</td></tr><tr><td>初期値:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>R/W:</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr></table> <div>ポートBの各端子のデータを格納</div>					PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	初期値:	0	0	0	0	0	0	0	0	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0																						
初期値:	0	0	0	0	0	0	0	0																						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																						

ADDRA	H、L	A/D データレジスタ A	H、L	H'FFFE0, H'FFFE1	A/D																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R R R R R R R R R R R R R R R R</div> <div>ADDRAH</div> <div>ADDRAL</div> <div>A/D変換データ</div> <div>A/D変換結果の10ビット</div> <div>データを格納</div>						AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—						
ADDRB	H、L	A/D データレジスタ B	H、L	H'FFFE2, H'FFFE3	A/D																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R R R R R R R R R R R R R R R R</div> <div>ADDRBH</div> <div>ADDRBL</div> <div>A/D変換データ</div> <div>A/D変換結果の10ビット</div> <div>データを格納</div>						AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—						

ADDRC	H、L	A/D データレジスタ C	H、L	H'FFFE4, H'FFFE5	A/D																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R R R R R R R R R R R R R R R R</div> <div>ADDRCHADDRCL</div> <div>A/D変換データ</div> <div>A/D変換結果の10ビット</div> <div>データを格納</div>						AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—						
ADDRD	H、L	A/D データレジスタ D	H、L	H'FFFE6, H'FFFE7	A/D																
<div>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</div> <table><tr><td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr></table> <div>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</div> <div>R/W: R R R R R R R R R R R R R R R R</div> <div>ADDRDHADDRDL</div> <div>A/D変換データ</div> <div>A/D変換結果の10ビット</div> <div>データを格納</div>						AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—						
ADCR	A/D コントロールレジスタ			H'FFFE9	A/D																
<div>ビット: 7 6 5 4 3 2 1 0</div> <table><tr><td>TRGE</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr></table> <div>初期値: 0 1 1 1 1 1 1 0</div> <div>R/W: R/W — — — — — — R/W</div> <div>トリガイネーブル</div> <table><tr><td>0</td><td>外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止</td></tr><tr><td>1</td><td>外部トリガ端子（ADTRG）の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始</td></tr></table>						TRGE	—	—	—	—	—	—	—	0	外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止	1	外部トリガ端子（ADTRG）の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始				
TRGE	—	—	—	—	—	—	—														
0	外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止																				
1	外部トリガ端子（ADTRG）の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始																				

ADCSR A/D コントロール/ステータスレジスタ						H'FFFE8		A/D
ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W
				クロックセレクト		チャンネルセレクト		
				0	変換時間 = 134ステート (max)	グループ選択		
				1	変換時間 = 70ステート (max)	チャンネル選択		
				スキャンモード		グループ選択		
				0	単一モード	CH2	CH1	CH0
				1	スキャンモード	説明		
				A/Dスタート		単一モード		
				0	A/D変換停止	スキャンモード		
				1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換			
				A/Dインタラプトイネーブル				
				0	A/D変換終了による割り込み要求を禁止			
				1	A/D変換終了による割り込み要求を許可			
				A/Dエンドフラグ				
				0	[クリア条件] (1) ADF = 1の状態ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDMACが起動されたとき			
				1	[セット条件] (1) 単一モード: A/Dが終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D変換が終了したとき			

【注】* フラグをクリアにするための0ライトのみ可能です。

C. I/O ポートブロック図

C.1 ポート 1 ブロック図

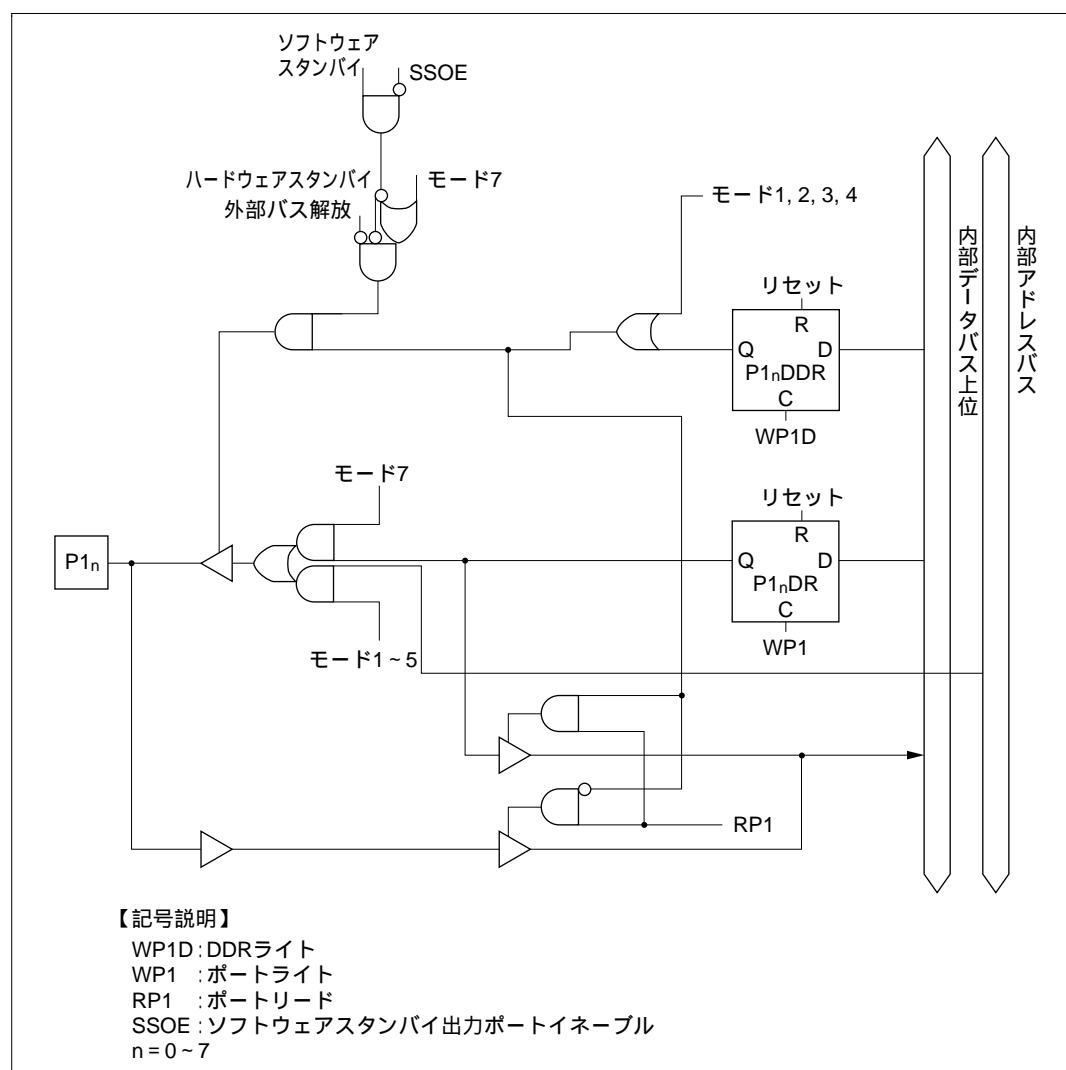


図 C.1 ポート 1 ブロック図

C.2 ポート2ブロック図

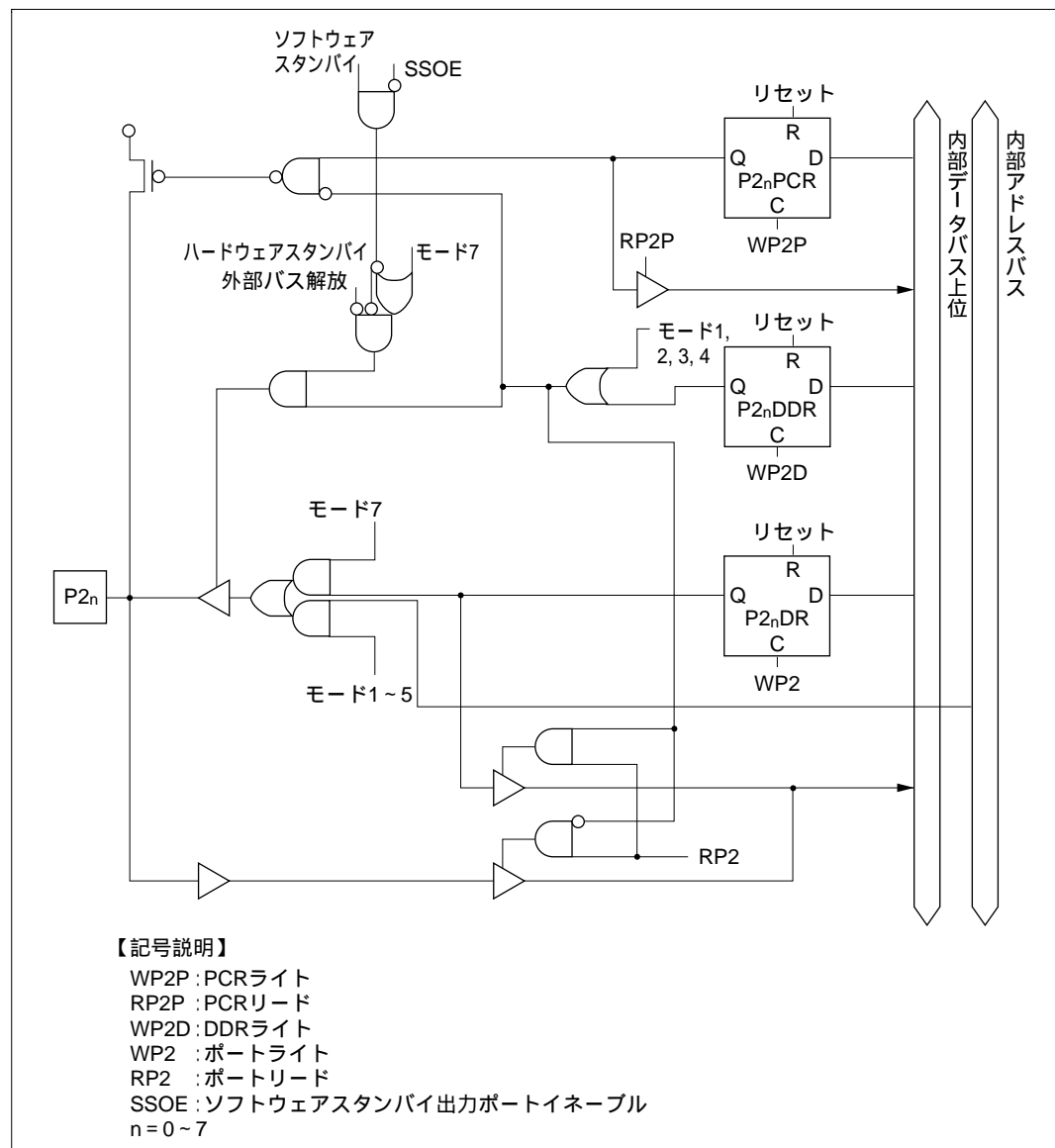


図 C.2 ポート2ブロック図

C.3 ポート3ブロック図

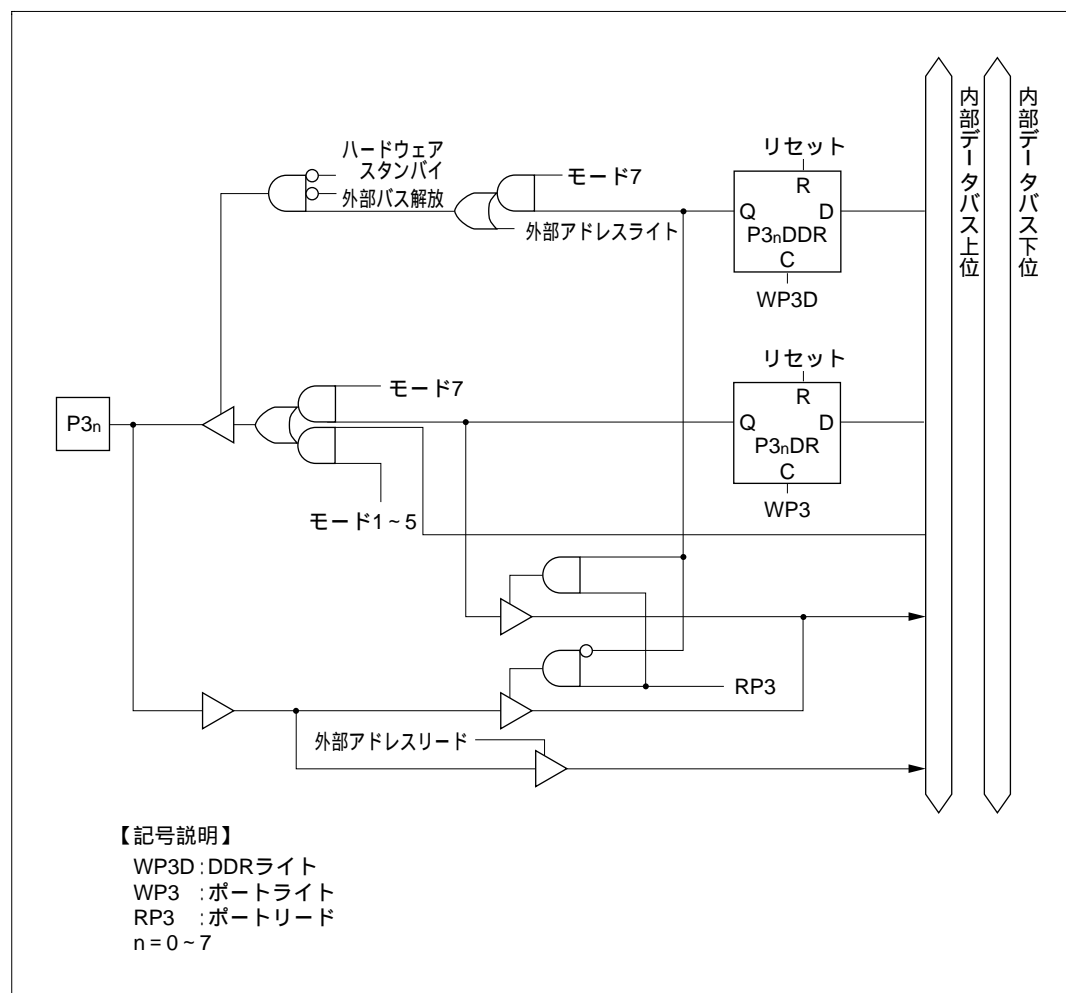


図 C.3 ポート3ブロック図

C.4 ポート4ブロック図

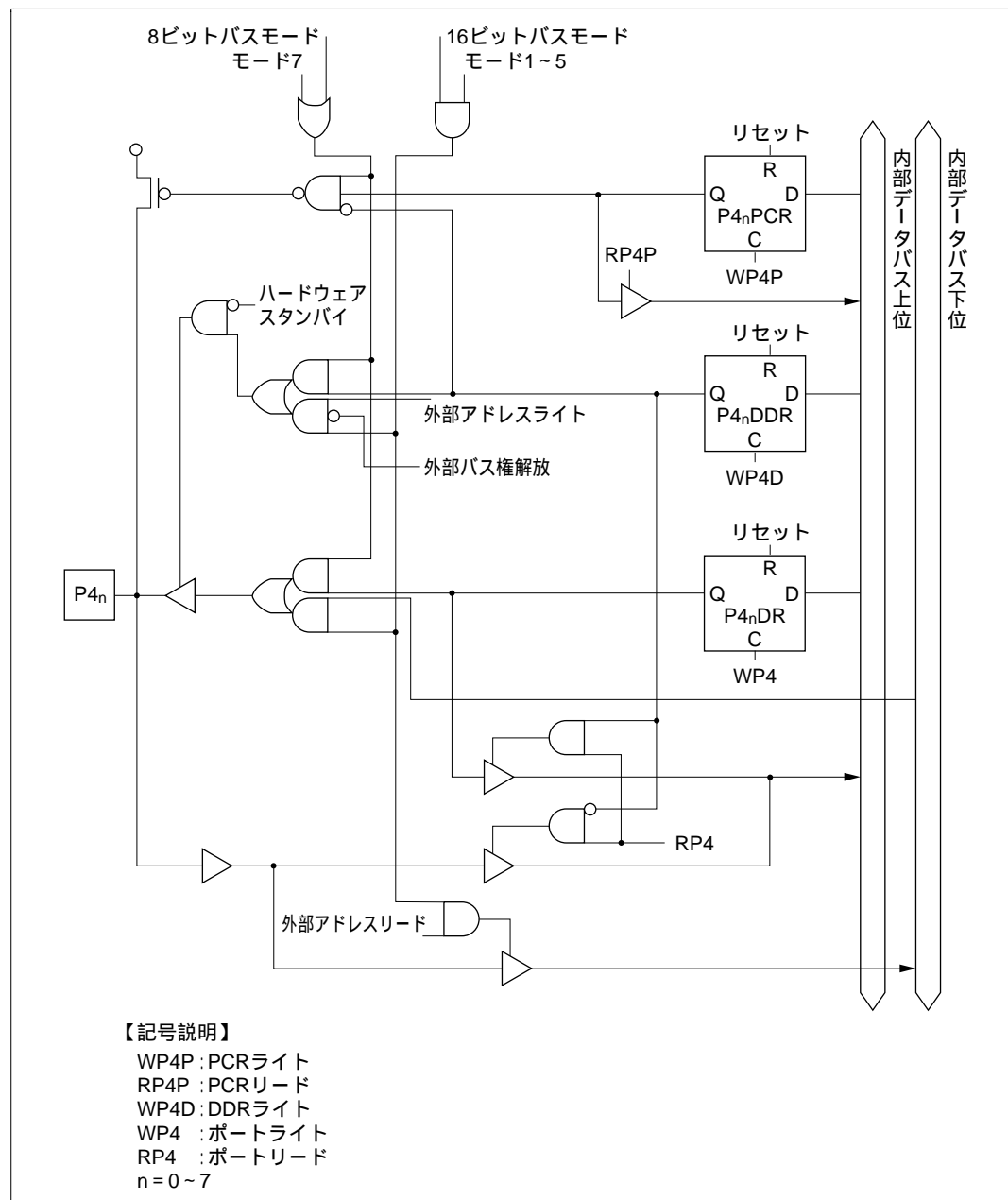


図 C.4 ポート4 ブロック図

C.5 ポート5ブロック図

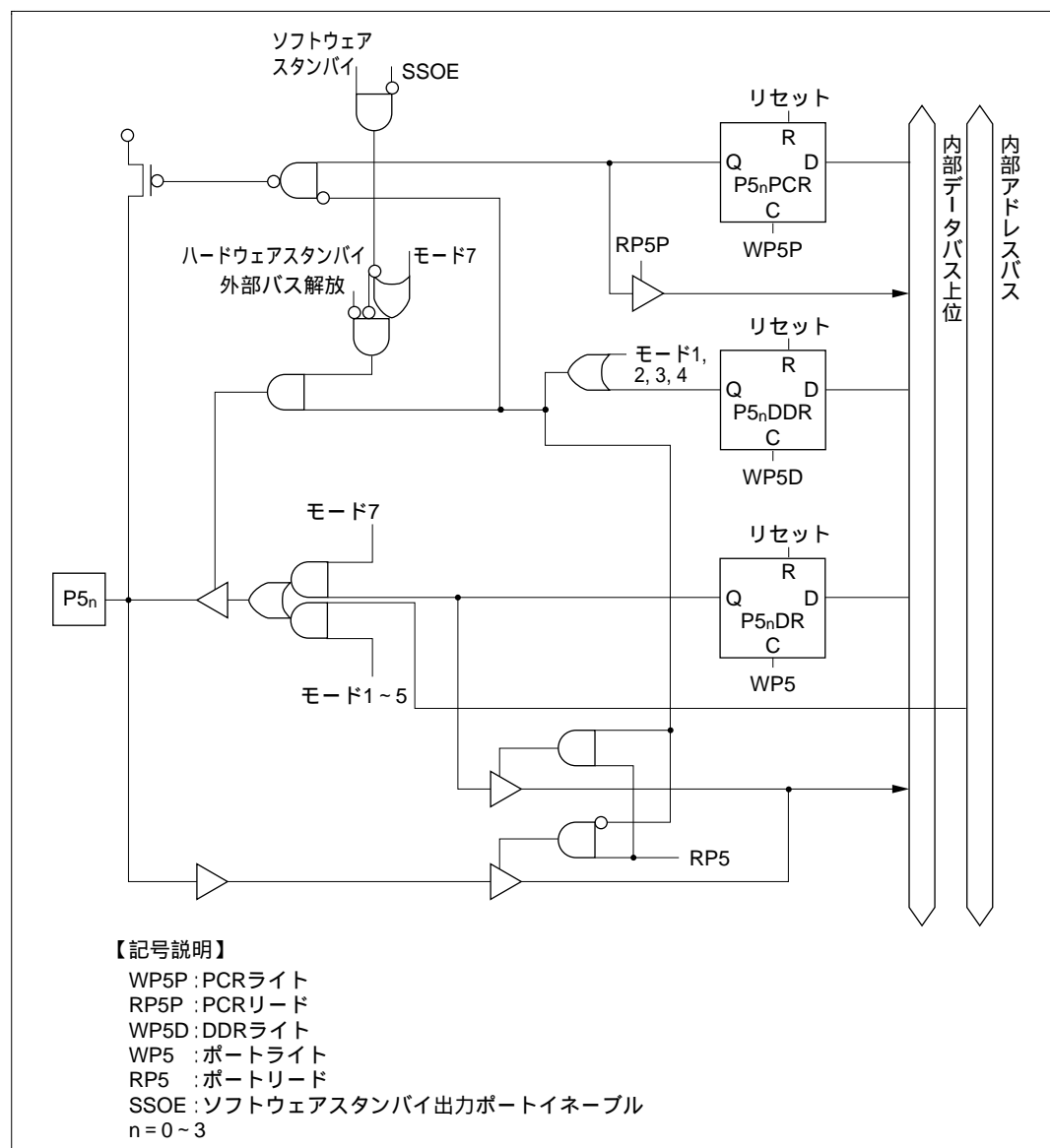


図 C.5 ポート5ブロック図

C.6 ポート6ブロック図

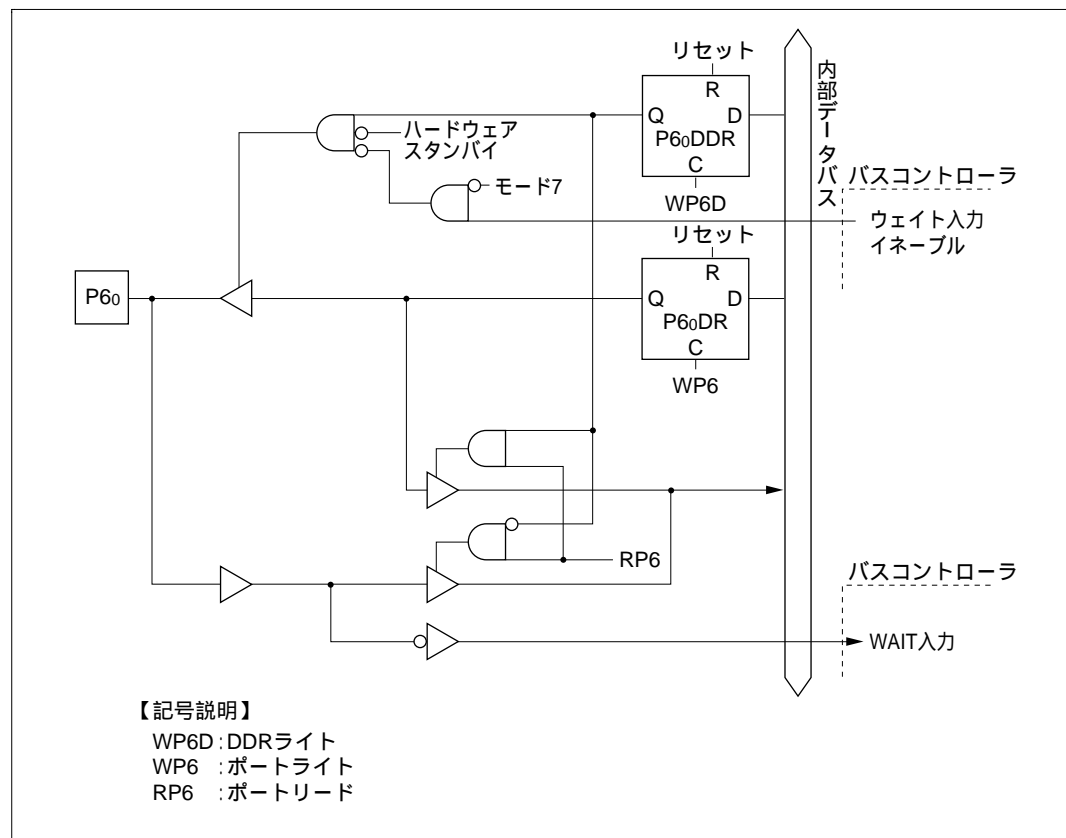
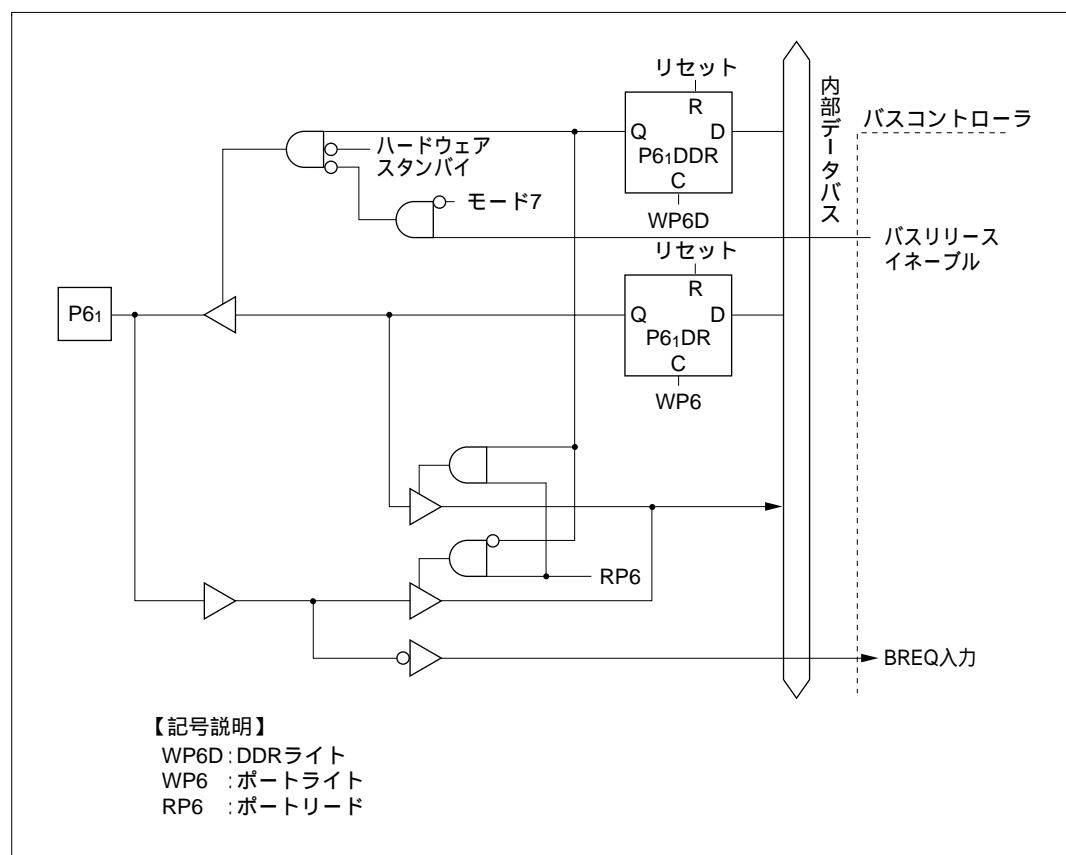


図 C.6 (a) ポート 6 ブロック図 (P6₀端子)

図 C.6 (b) ポート6ブロック図 (P6_i端子)

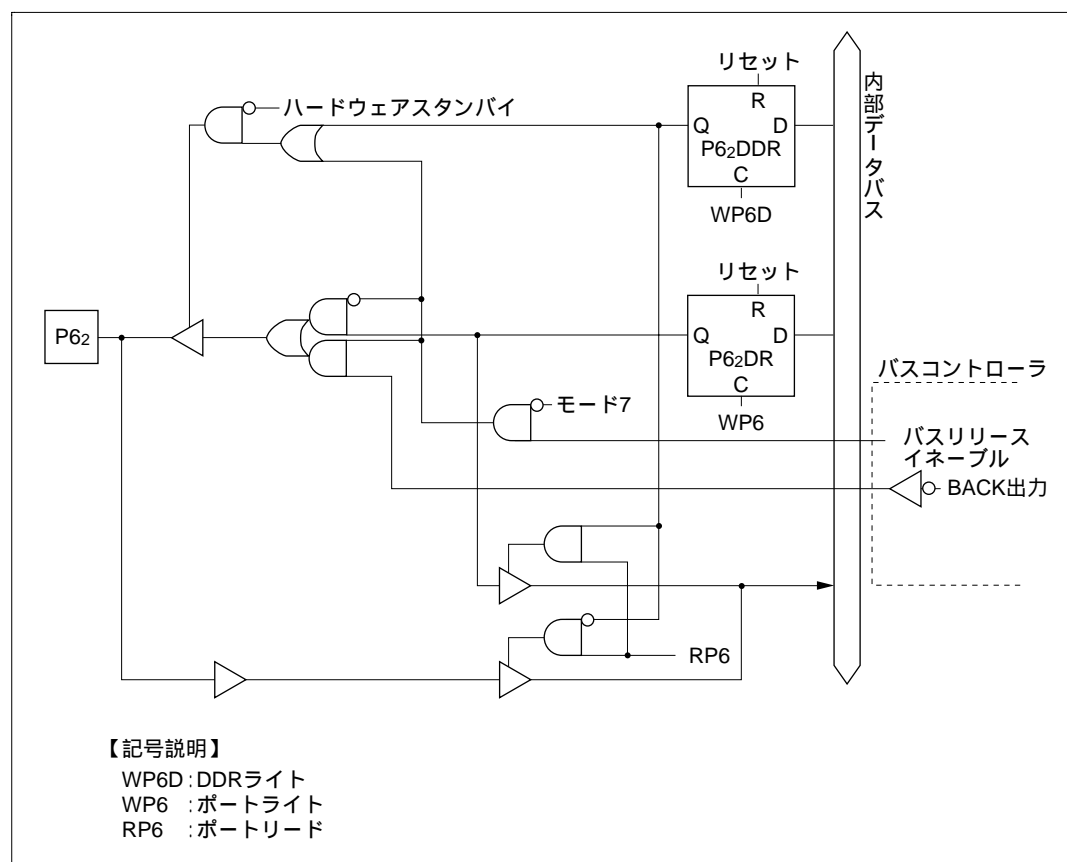
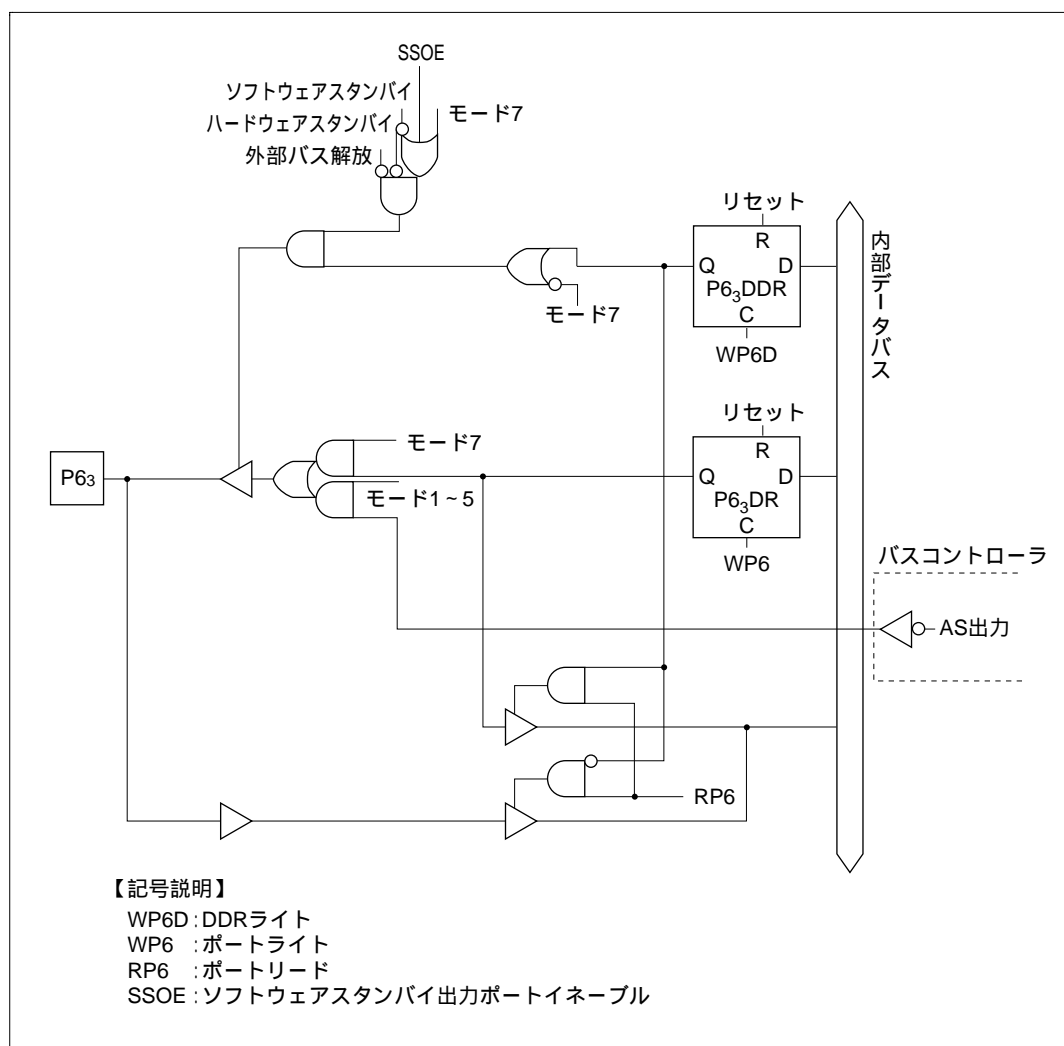


図 C.6 (c) ポート 6 ブロック図 (P6₂端子)

図 C.6 (d) ポート 6 ブロック図 (P6₃端子)

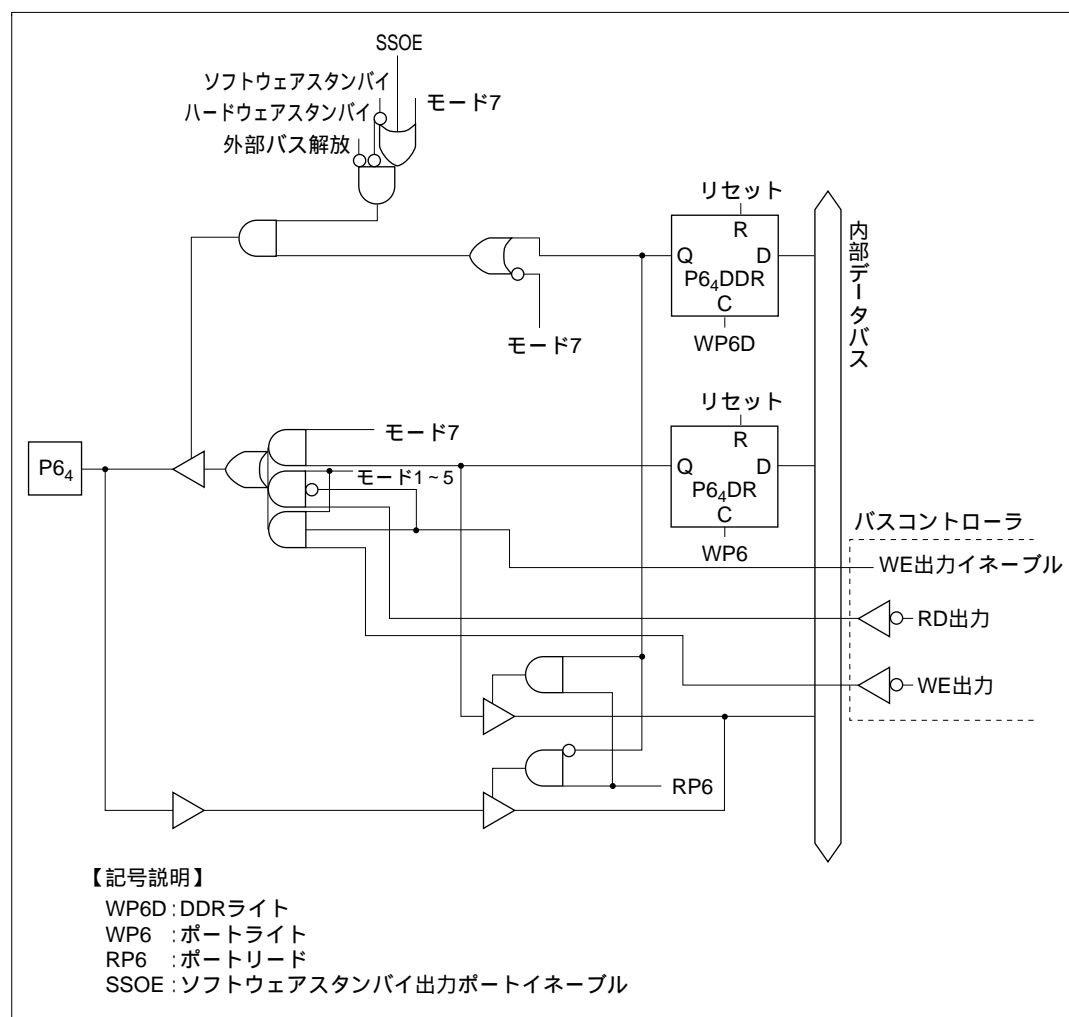
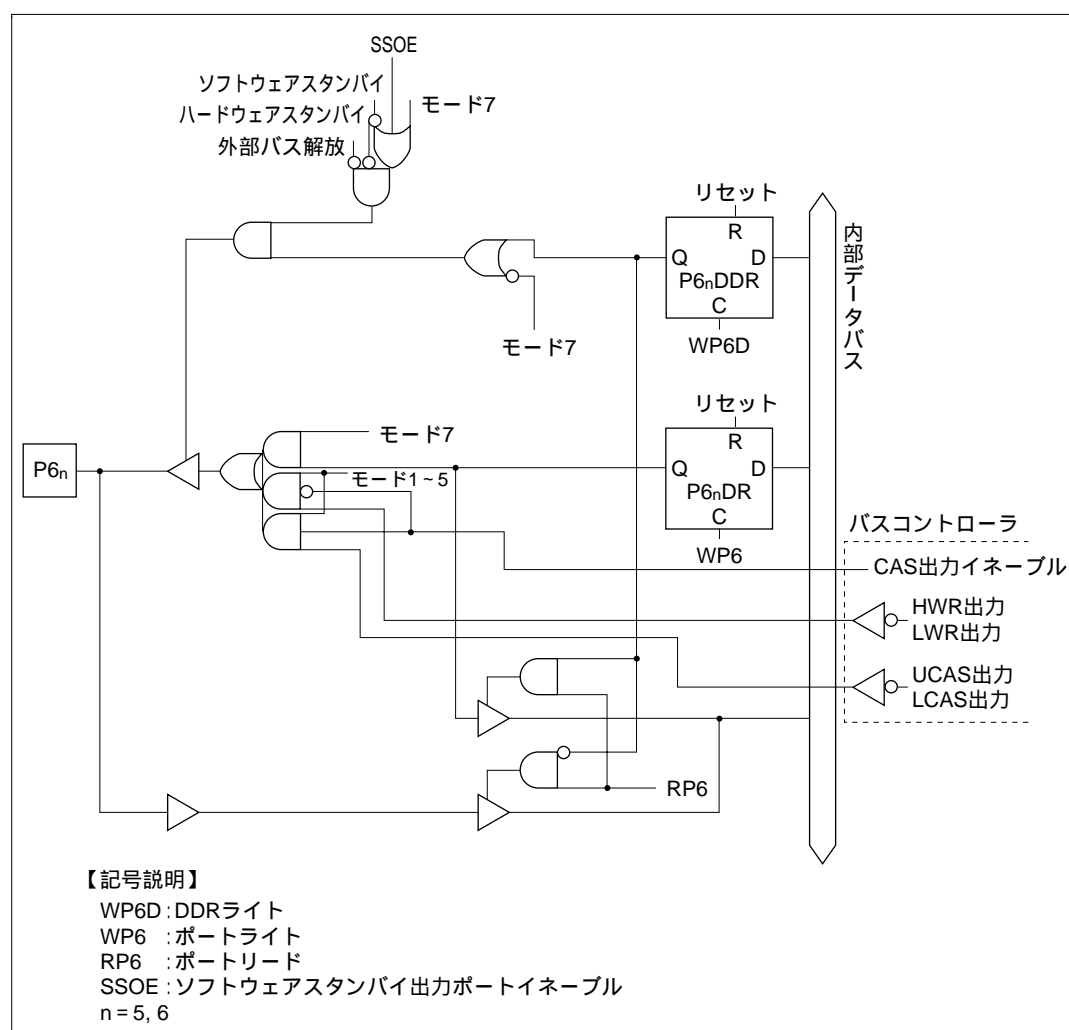


図 C.6 (e) ポート 6 ブロック図 (P6₄端子)

図 C.6 (f) ポート 6 ブロック図 ($P6_5$ 、 $P6_6$ 端子)

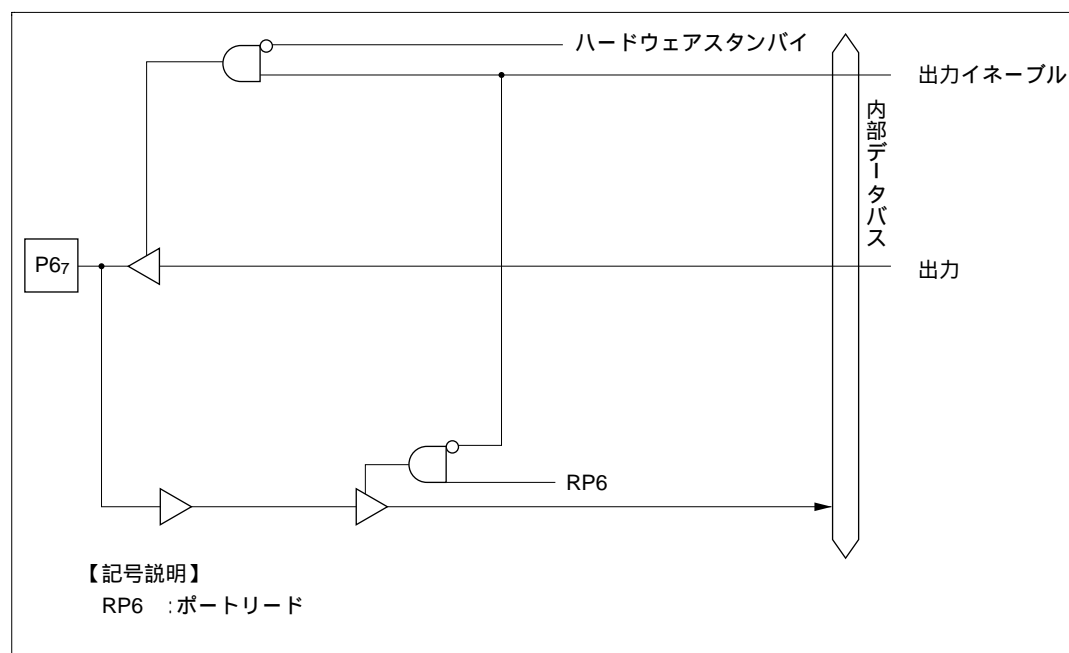
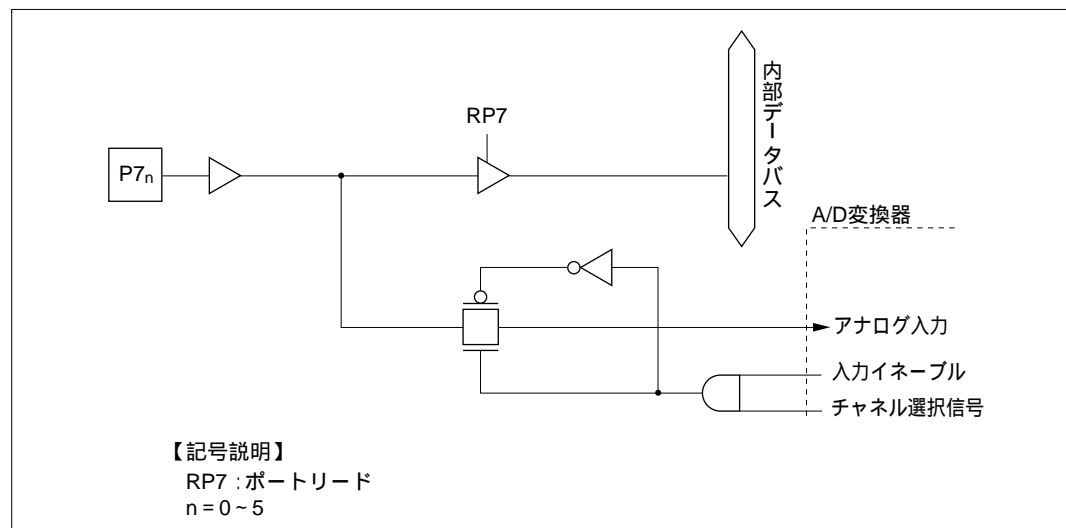
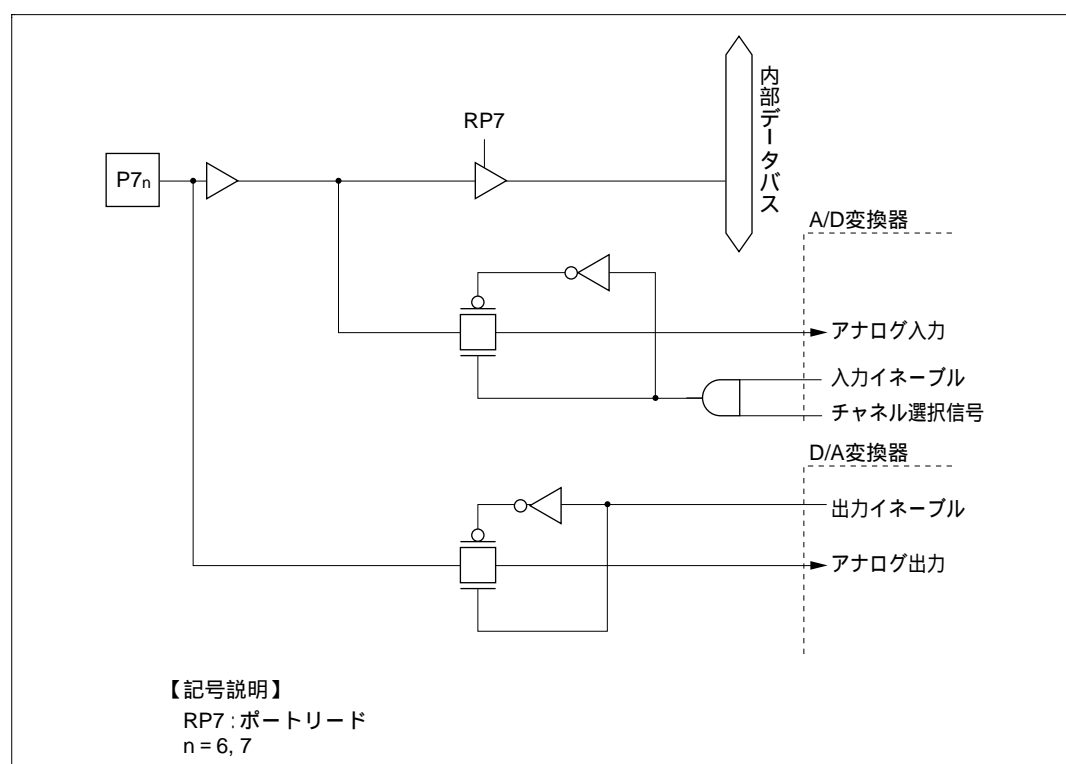


図 C.6 (g) ポート 6 ブロック図 (P6₇端子)

C.7 ポート7ブロック図

図 C.7 (a) ポート7ブロック図 (P7₀~P7₅端子)図 C.7 (b) ポート7ブロック図 (P7₆~P7₇端子)

C.8 ポート 8 ブロック図

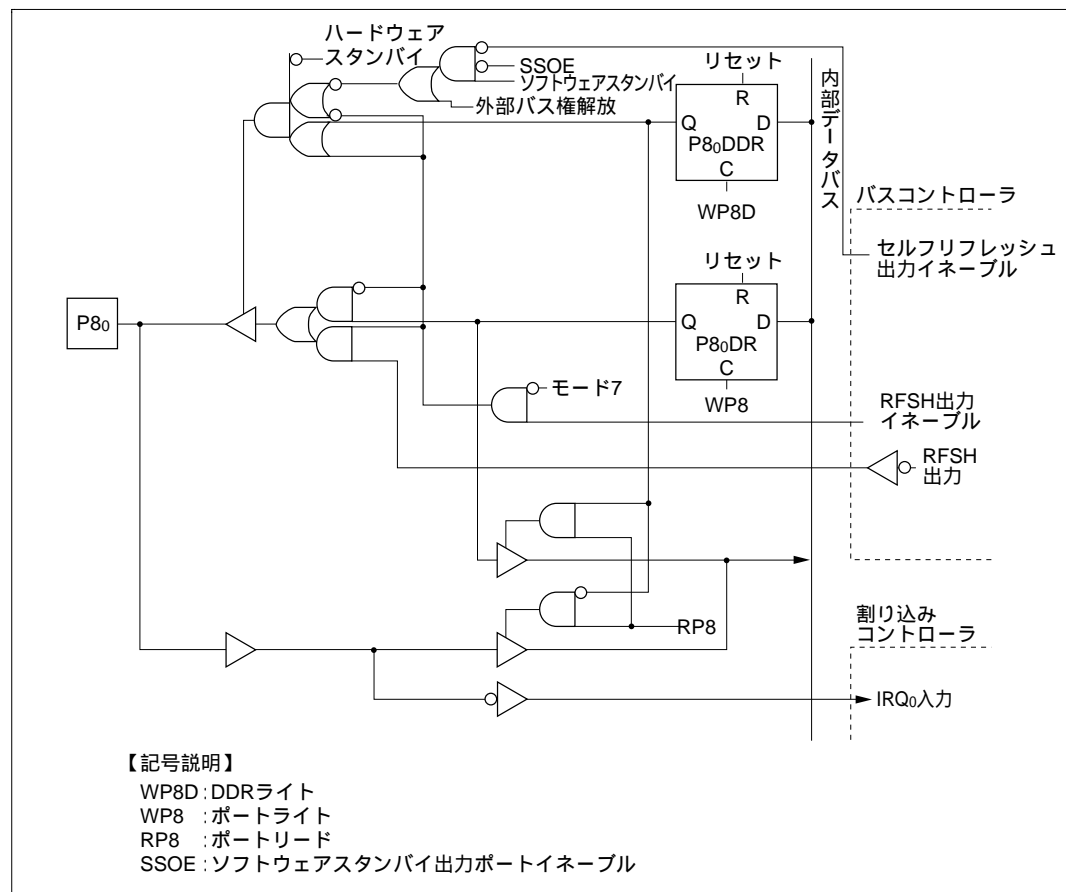


図 C.8 (a) ポート 8 ブロック図 (P8₀端子)

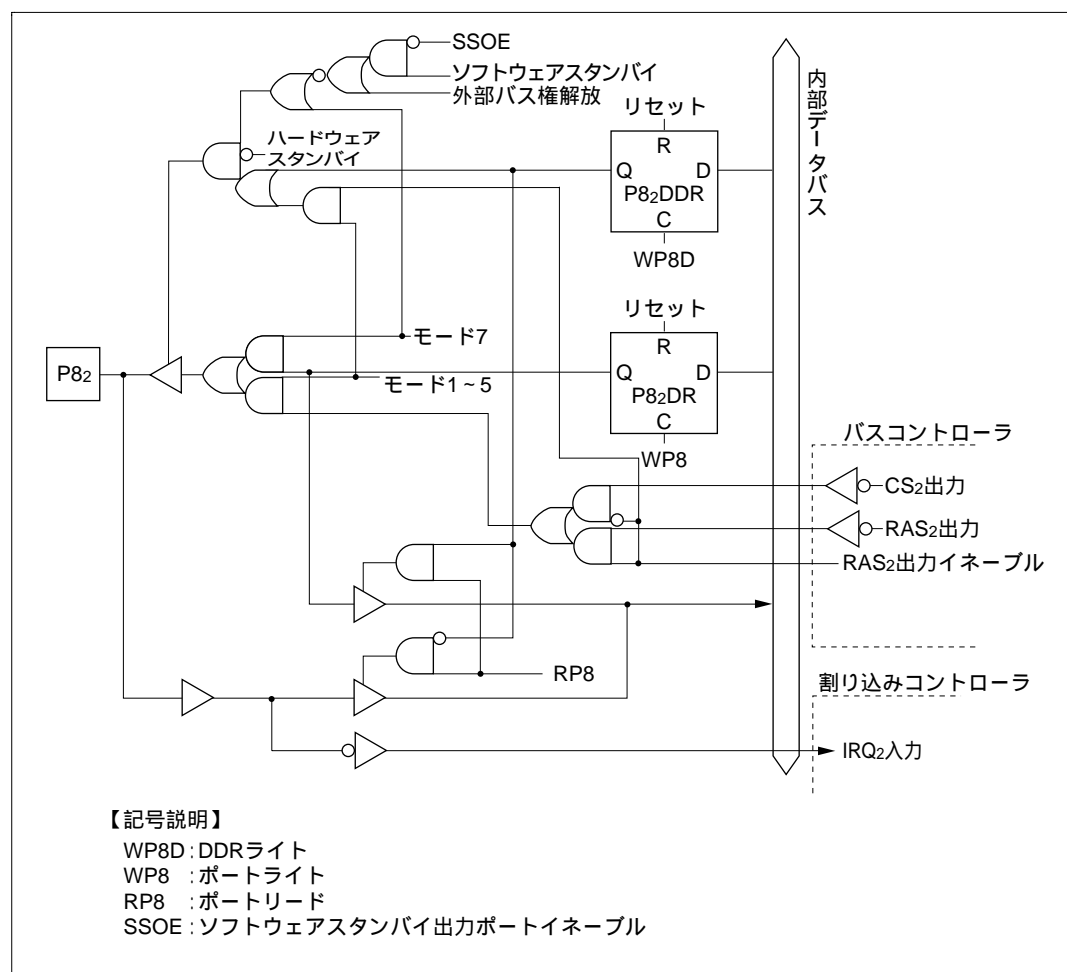
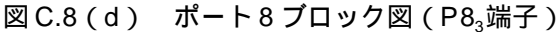


図 C.8 (c) ポート 8 ブロック図 (P8₂端子)



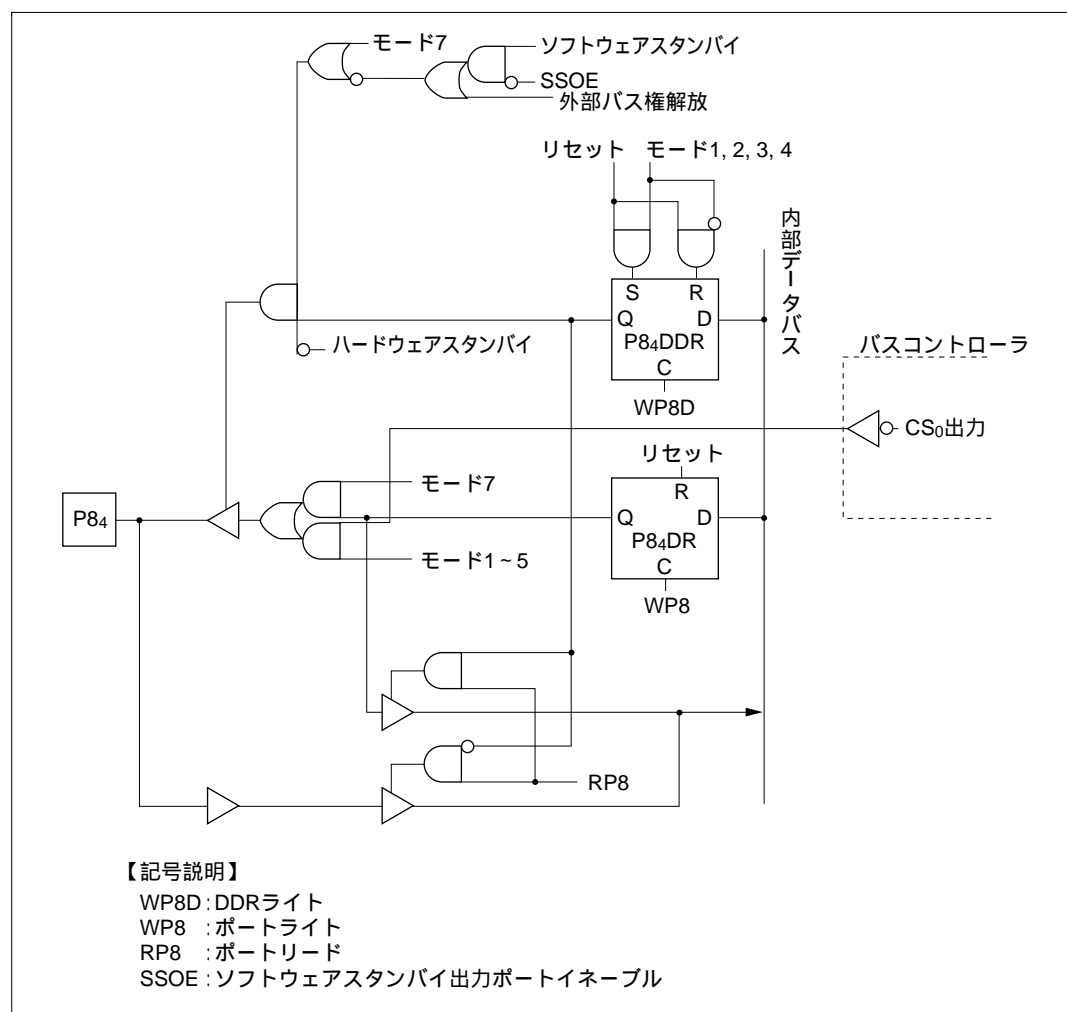
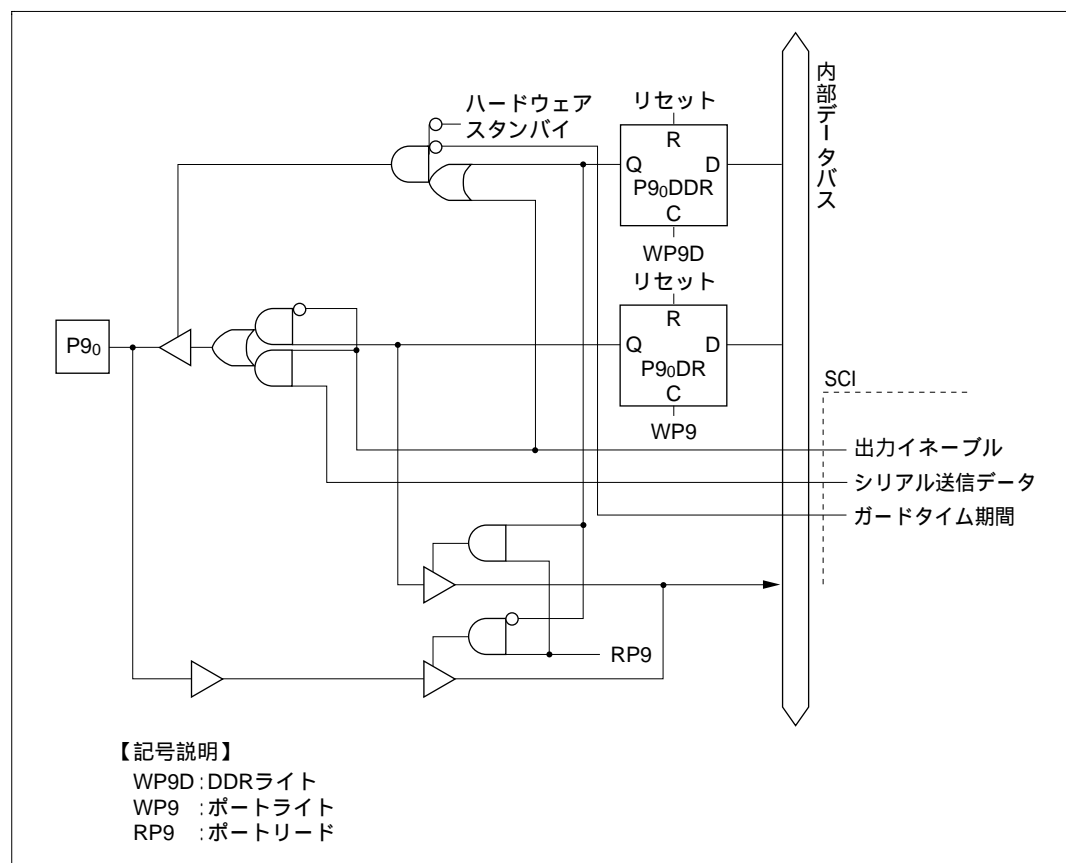


図 C.8 (e) ポート 8 ブロック図 (P8₄端子)

C.9 ポート9ブロック図

図 C.9 (a) ポート9ブロック図 (P9₀端子)

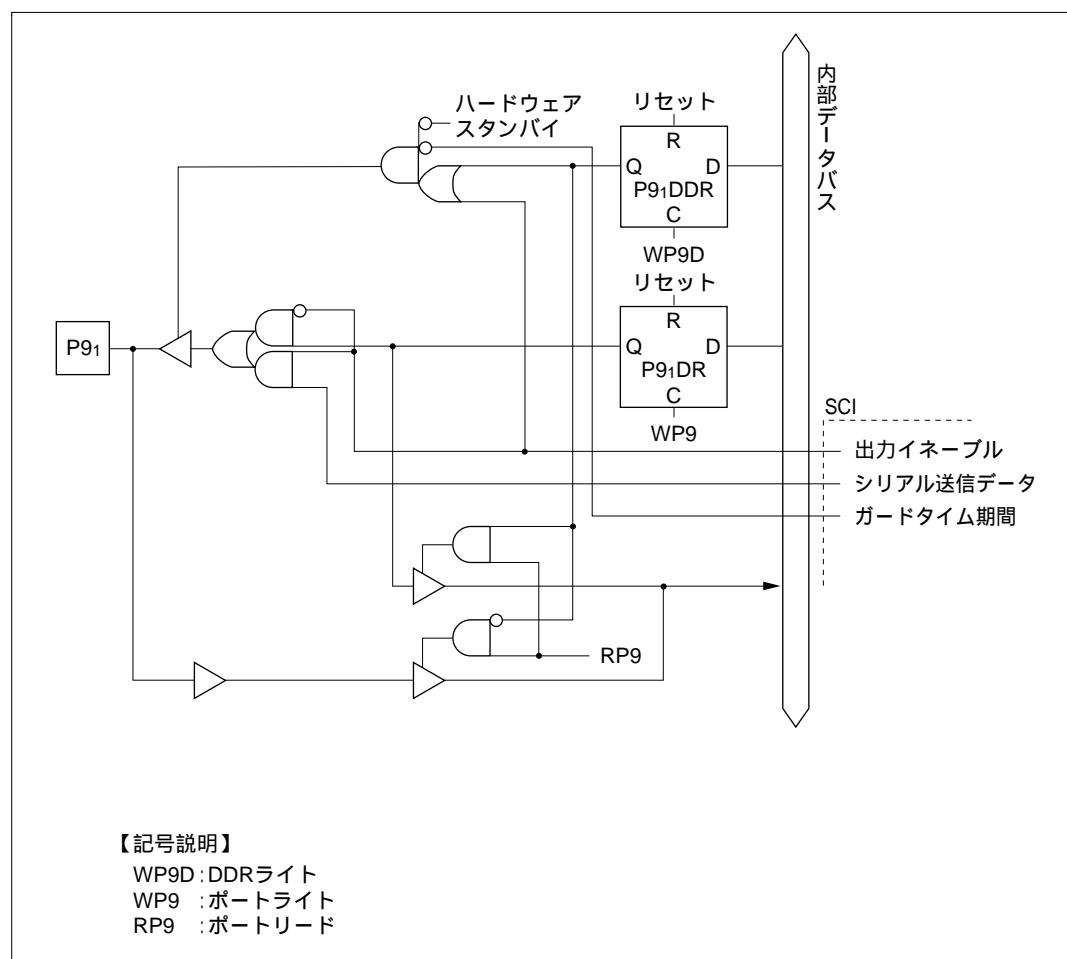


図 C.9 (b) ポート 9 ブロック図 (P9₁端子)

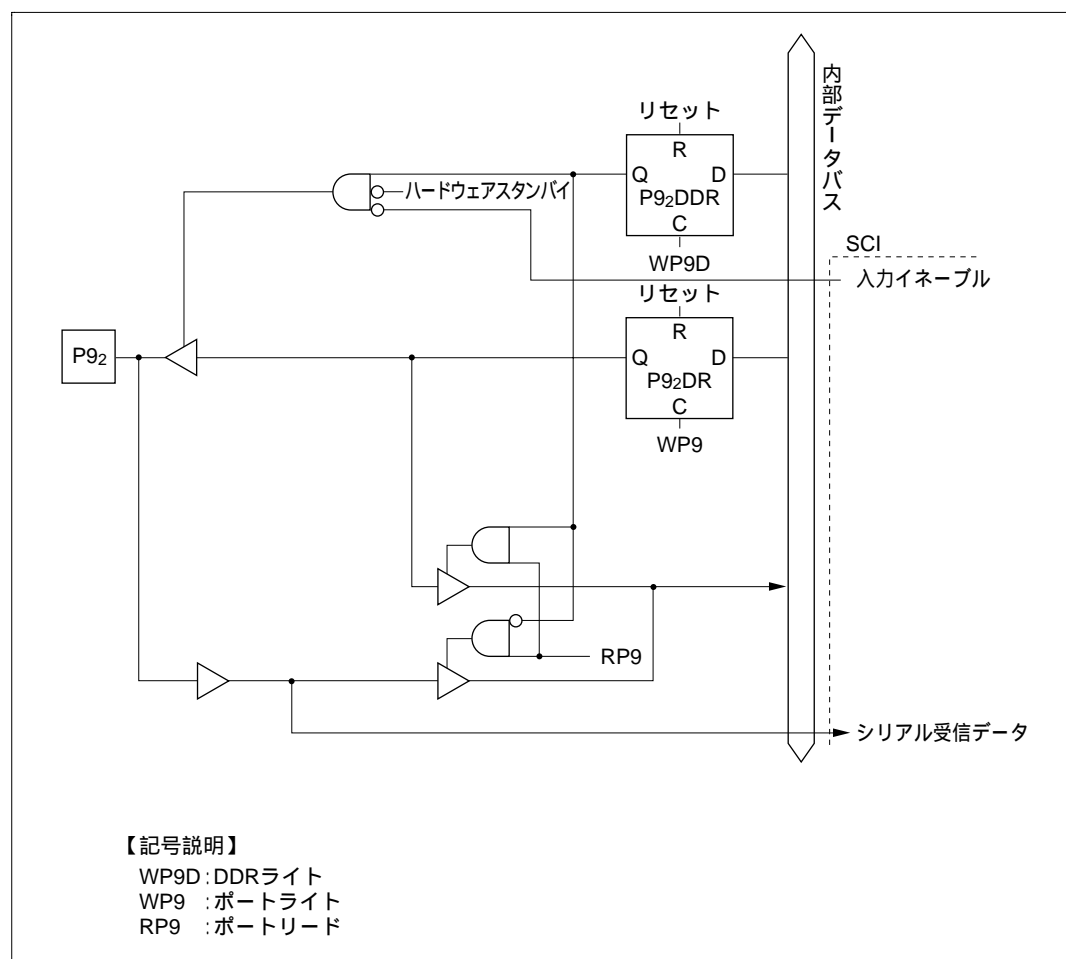


図 C.9 (c) ポート9ブロック図 (P9₂端子)

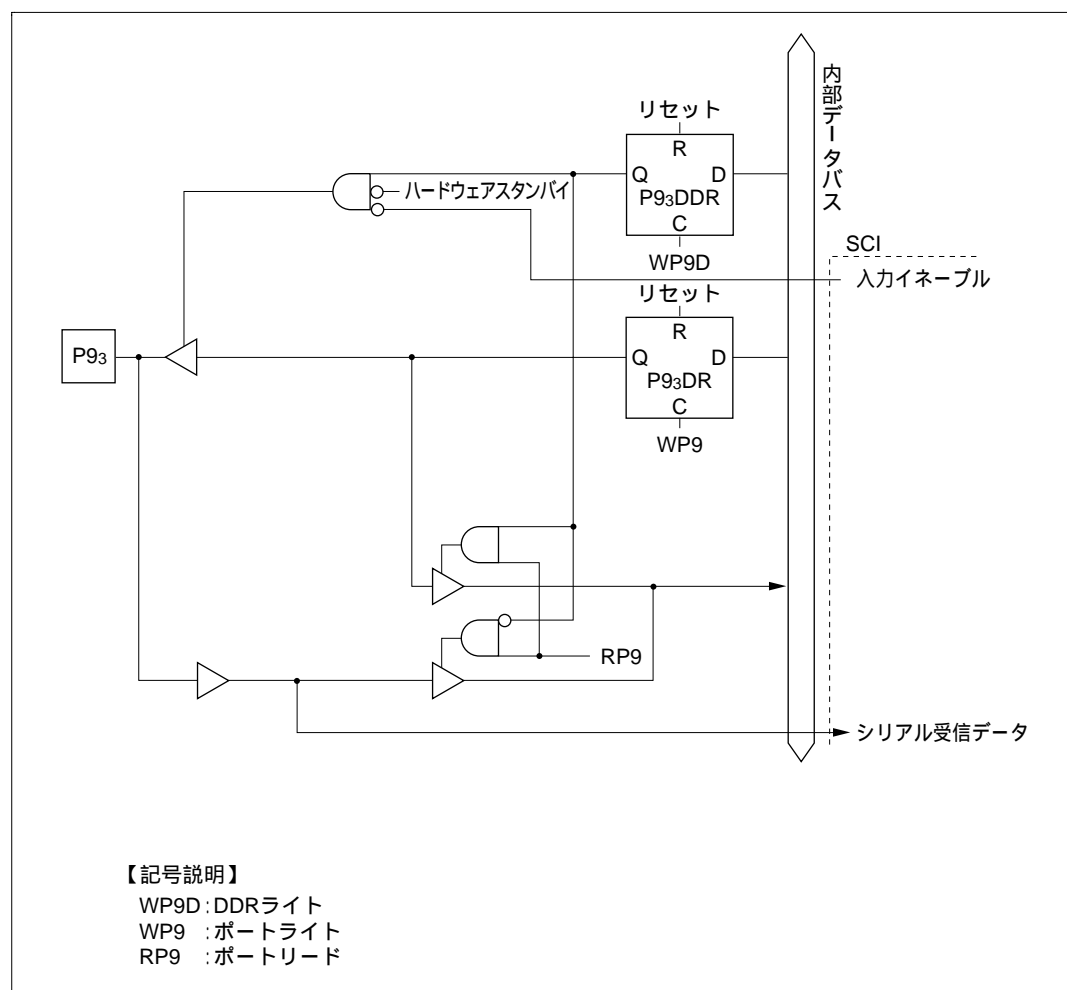


図 C.9 (d) ポート 9 ブロック図 (P9₃端子)

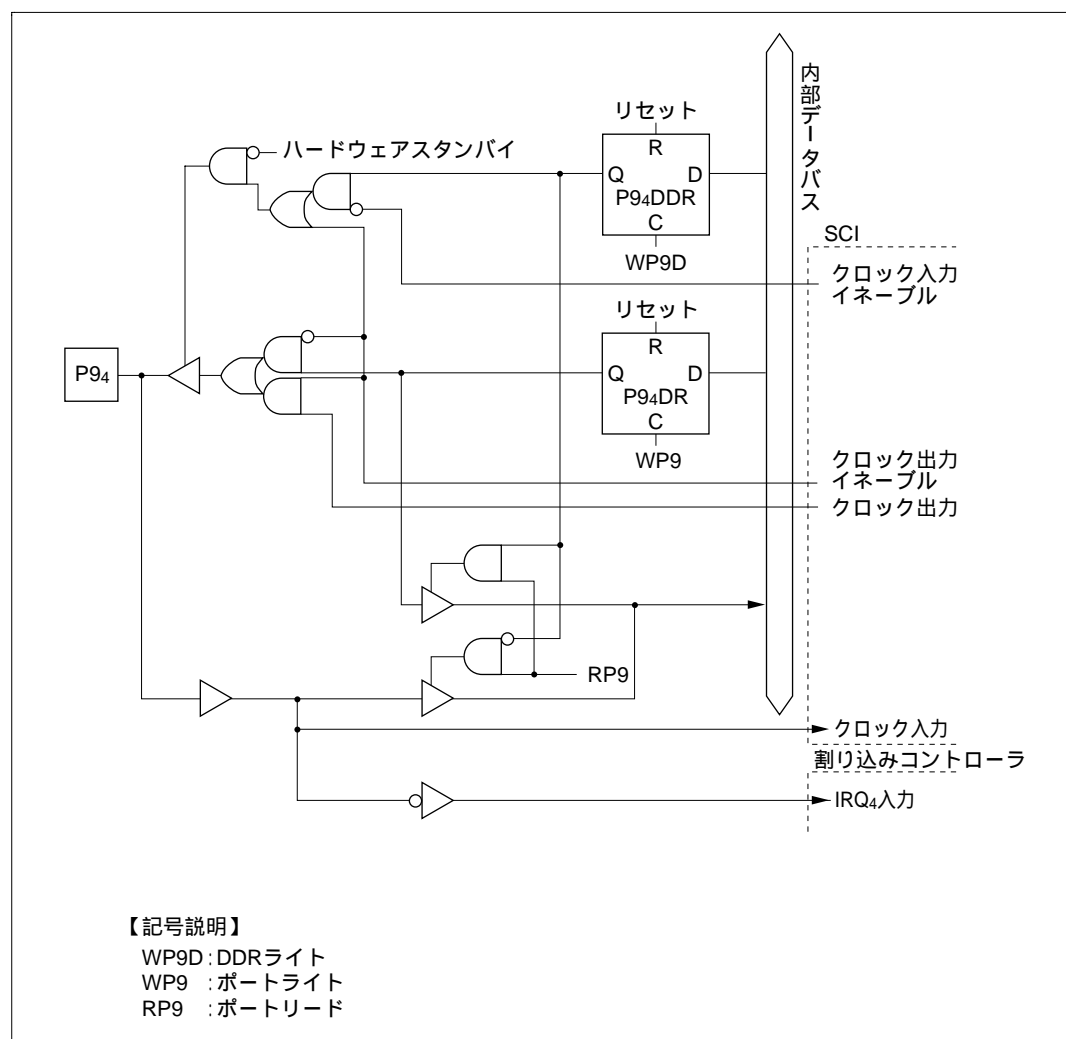


図 C.9 (e) ポート 9 ブロック図 (P9₄端子)

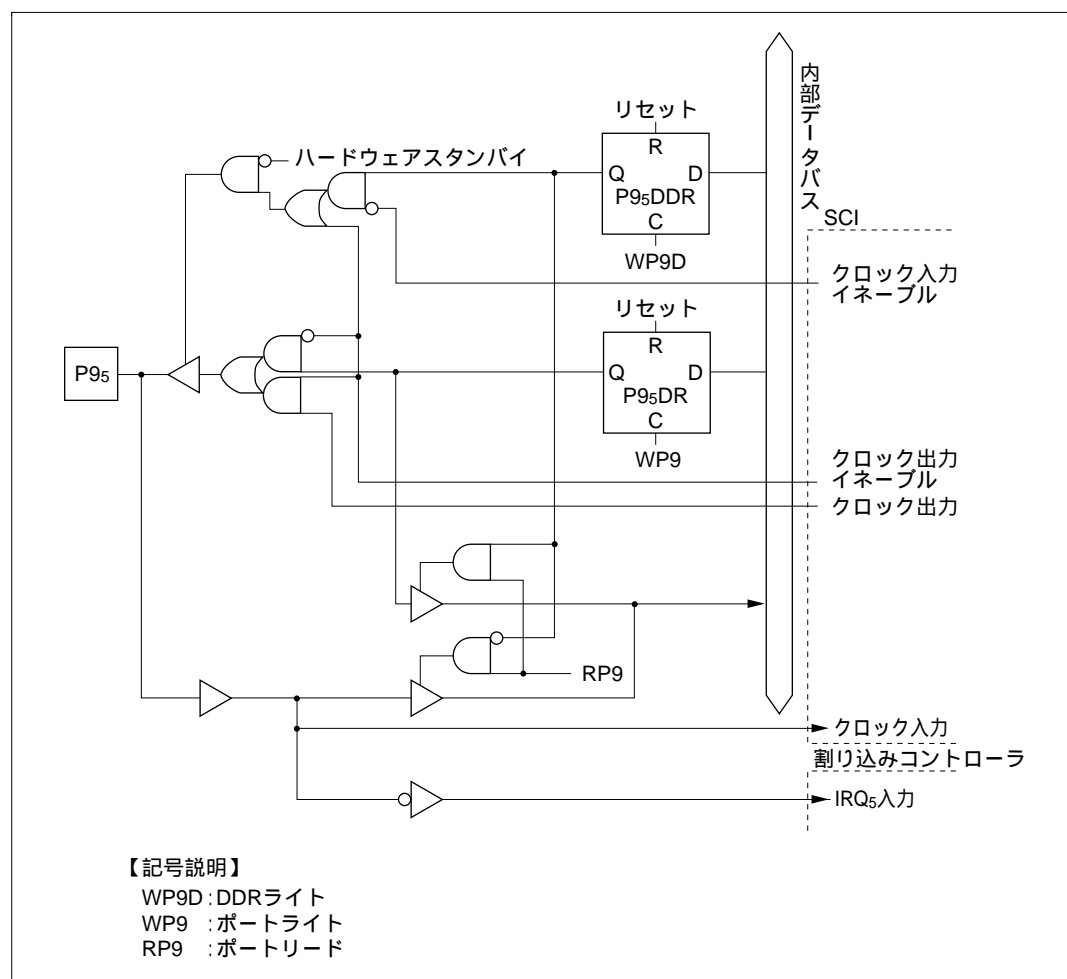


図 C.9 (f) ポート 9 ブロック図 (P9₅端子)

C.10 ポート A ブロック図

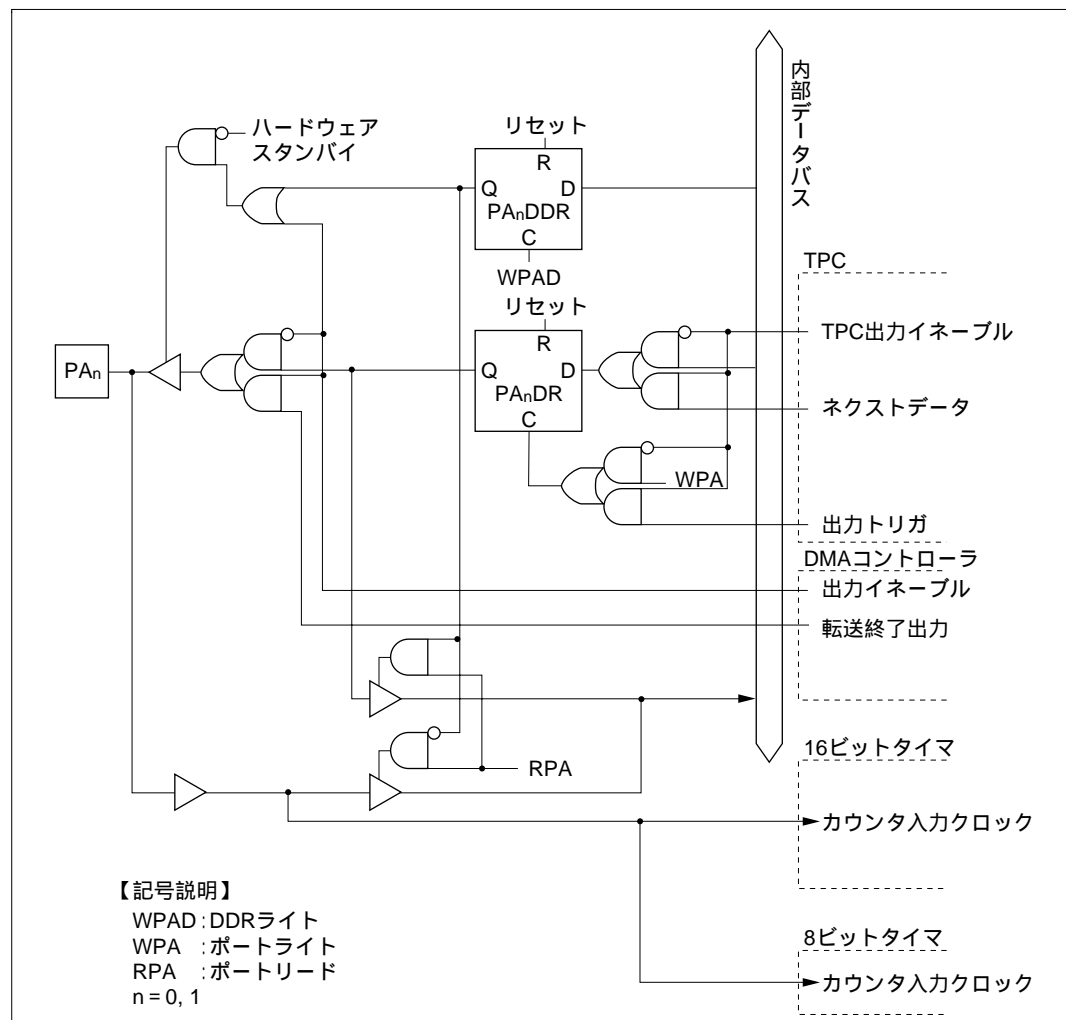


図 C.10 (a) ポート A ブロック図 (PA₀、PA₁端子)

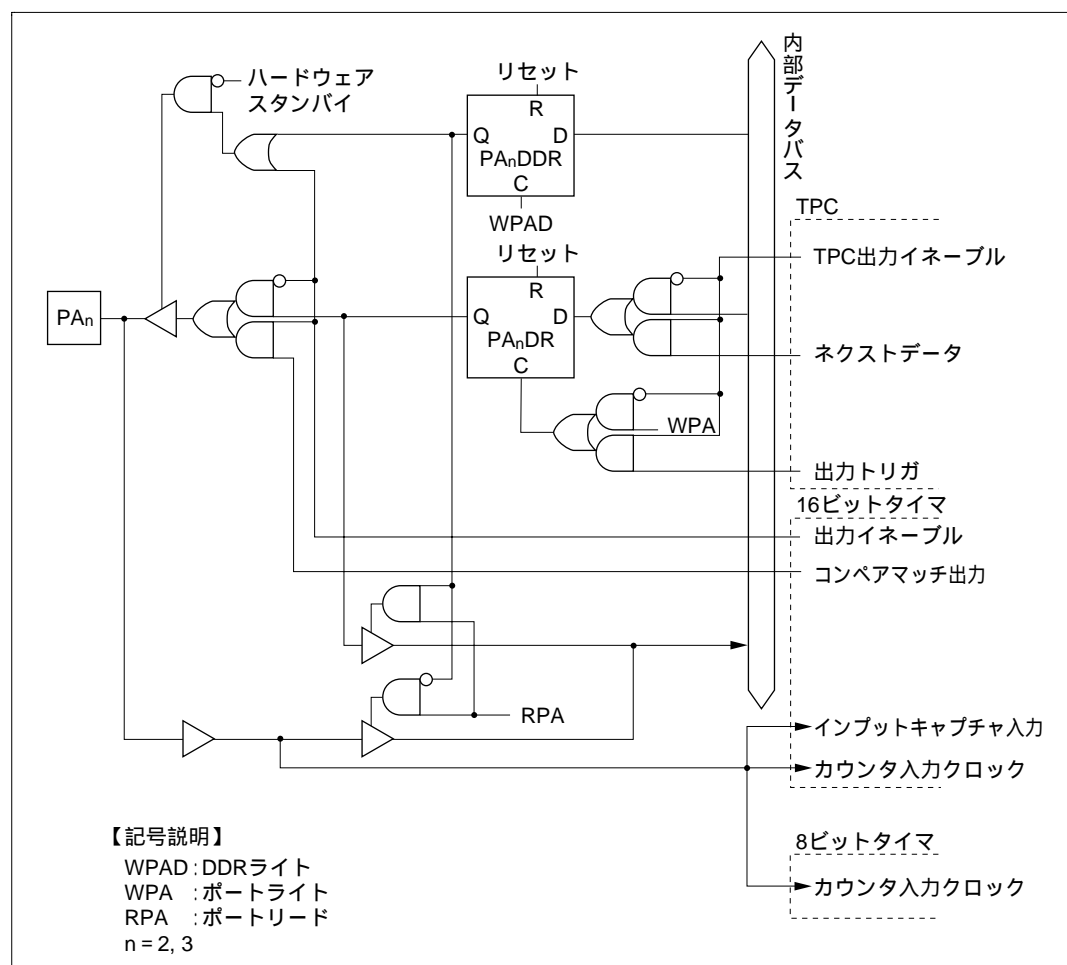
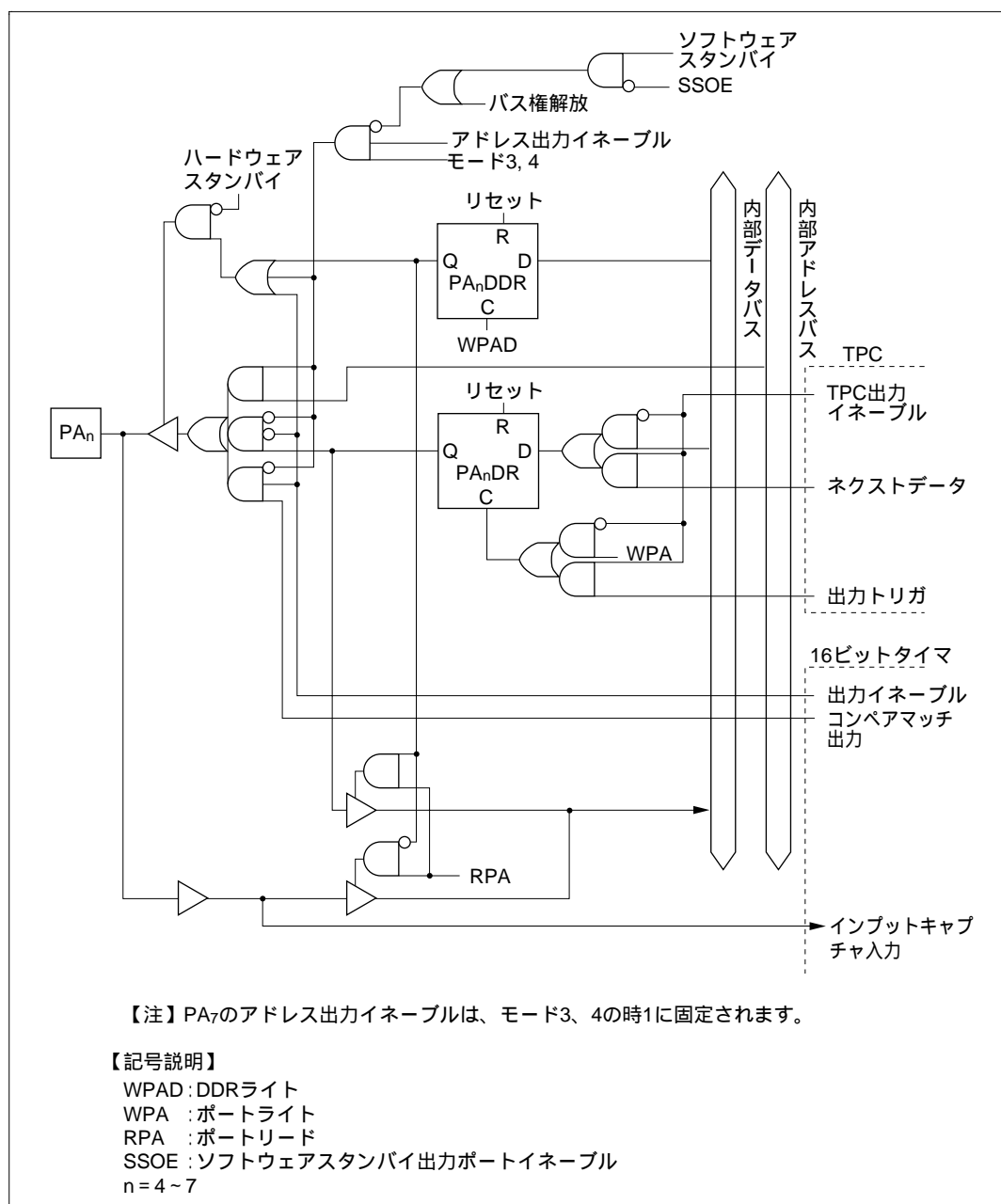
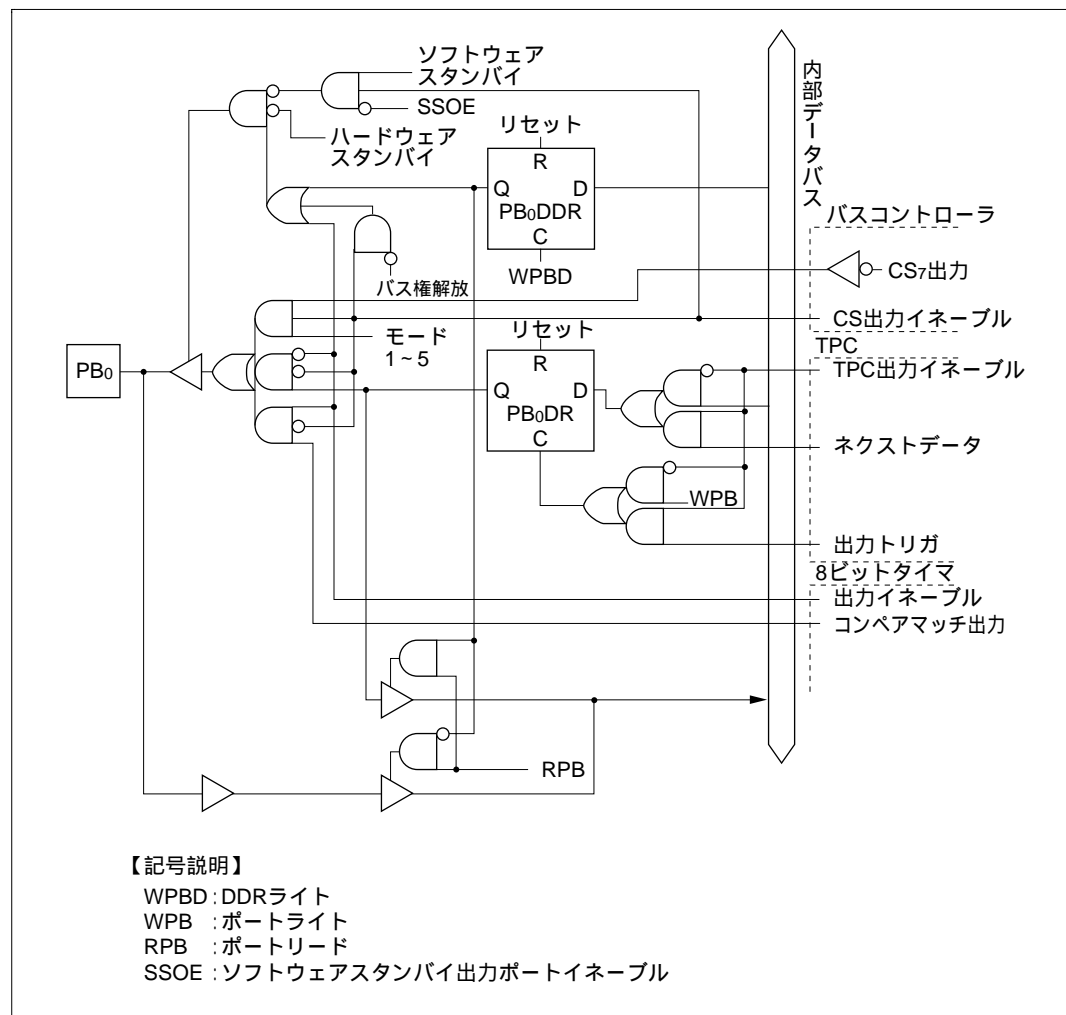


図 C.10 (b) ポート A ブロック図 (PA₂、PA₃端子)

図 C.10 (c) ポート A ブロック図 (PA₄ ~ PA₇ 端子)

C.11 ポート B ブロック図



図C.11 (a) ポートBブロック図 (PB₀端子)

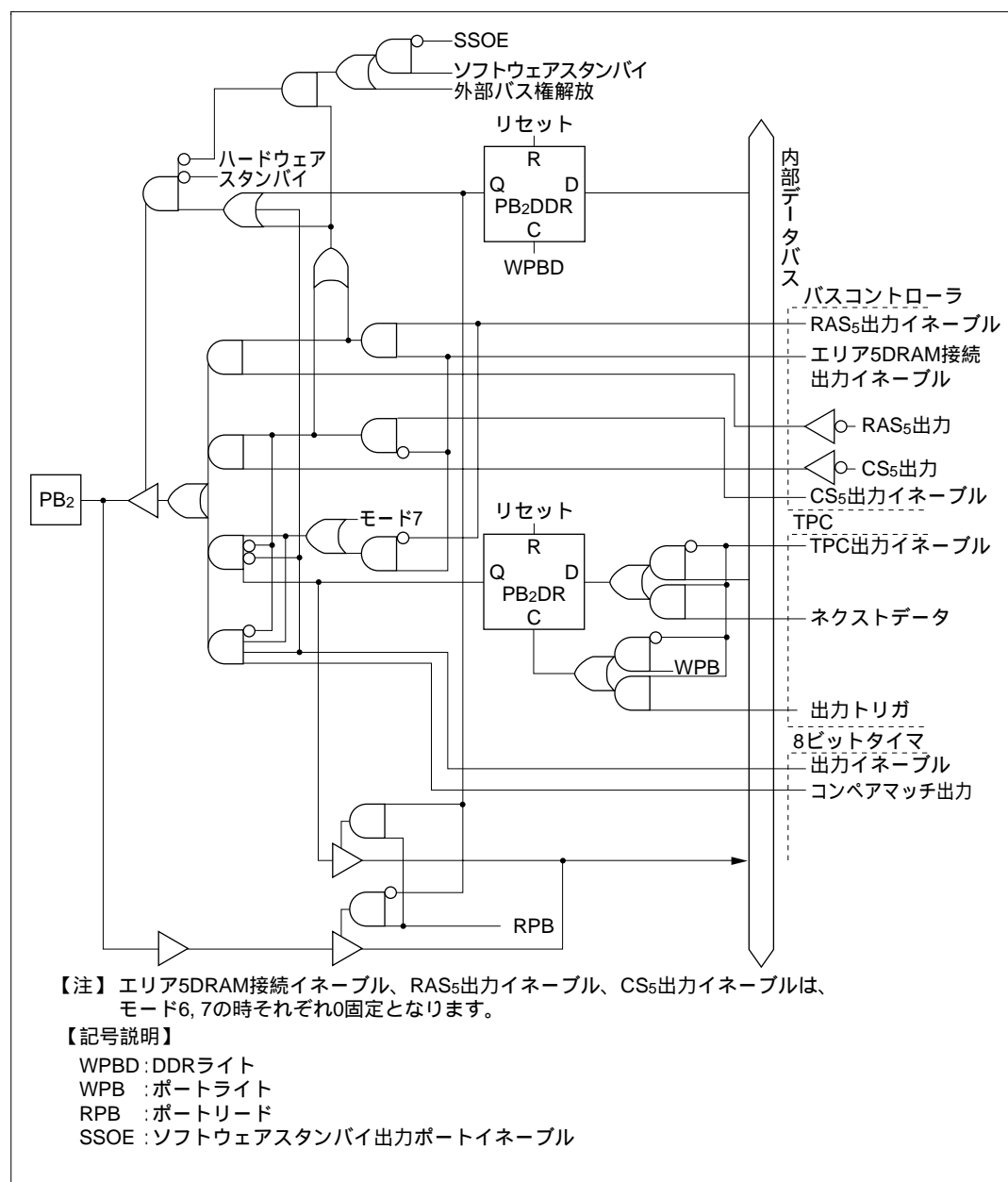
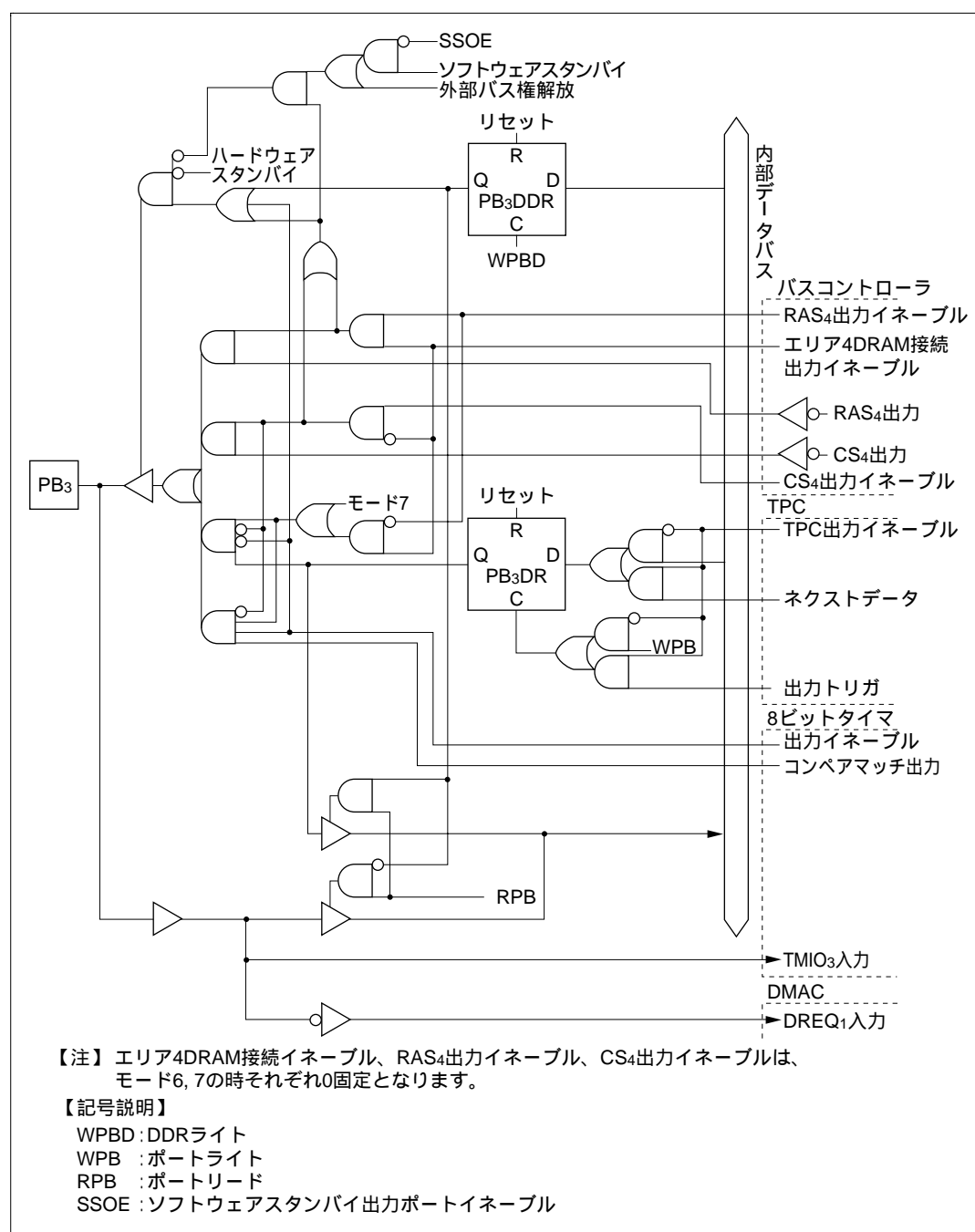


図 C.11 (c) ポート B ブロック図 (PB₂端子)

図 C.11 (d) ポート B ブロック図 (PB₃端子)

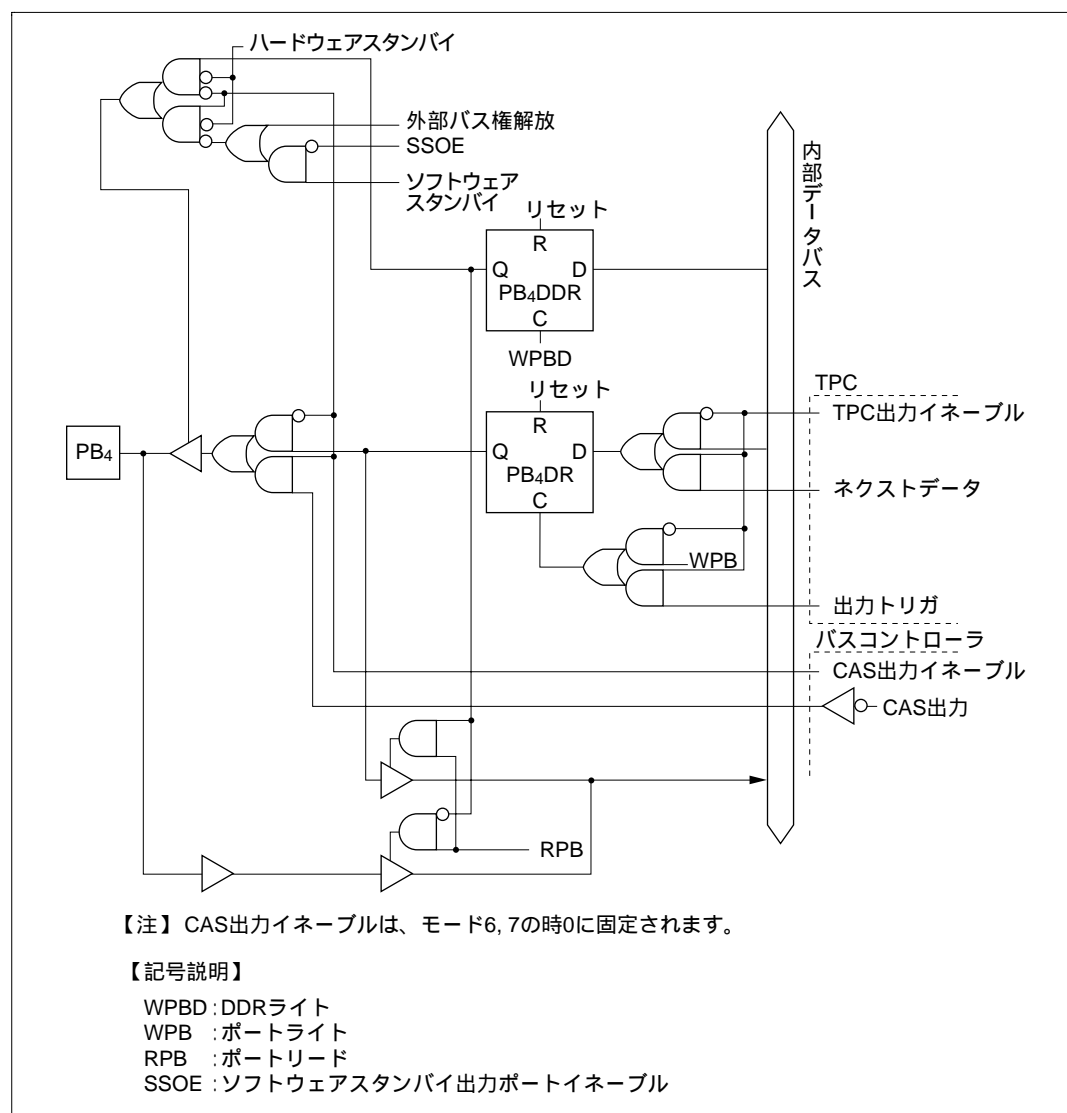


図 C.11 (e) ポート B ブロック図 (PB₄端子)

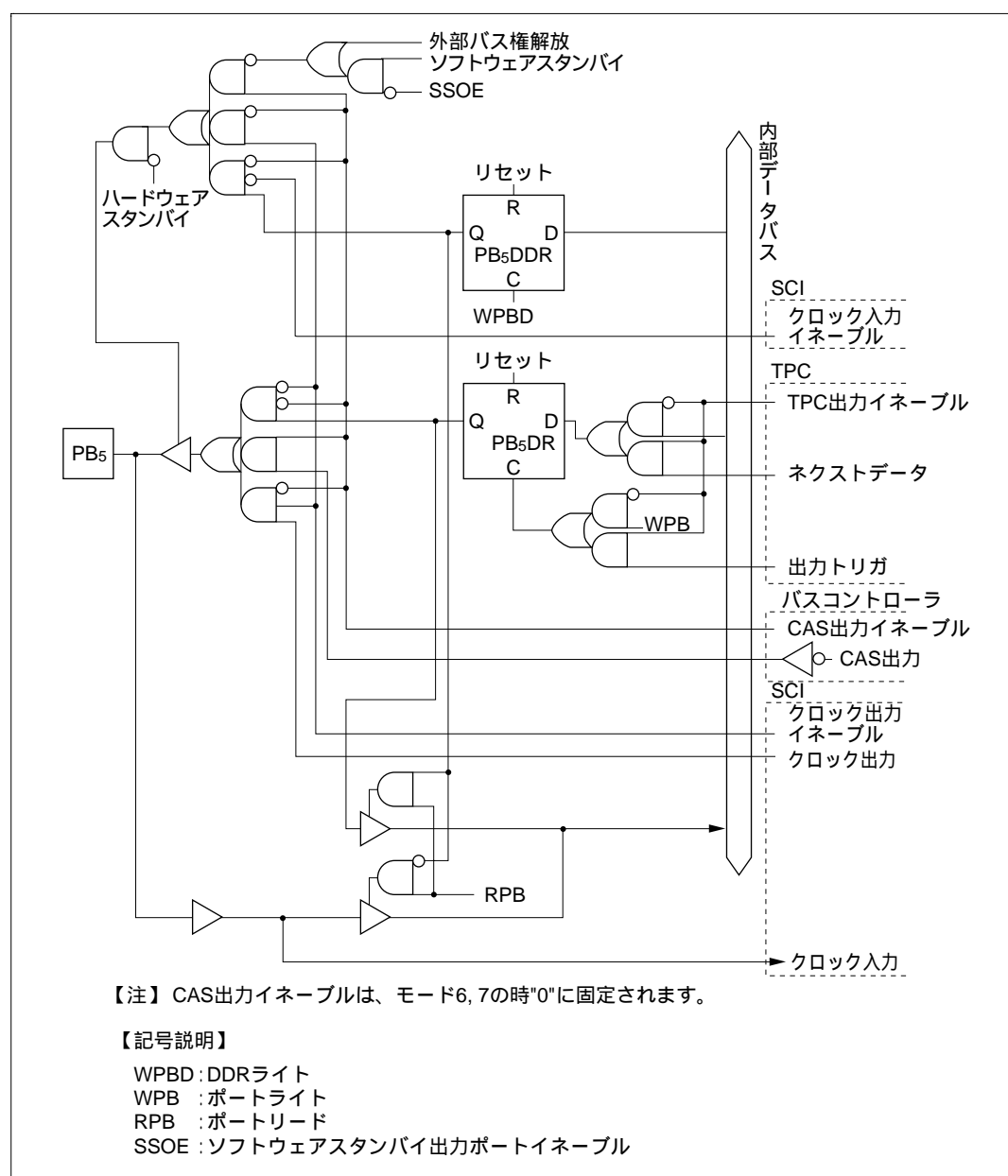


図 C.11 (f) ポート B ブロック図 (PB₅端子)

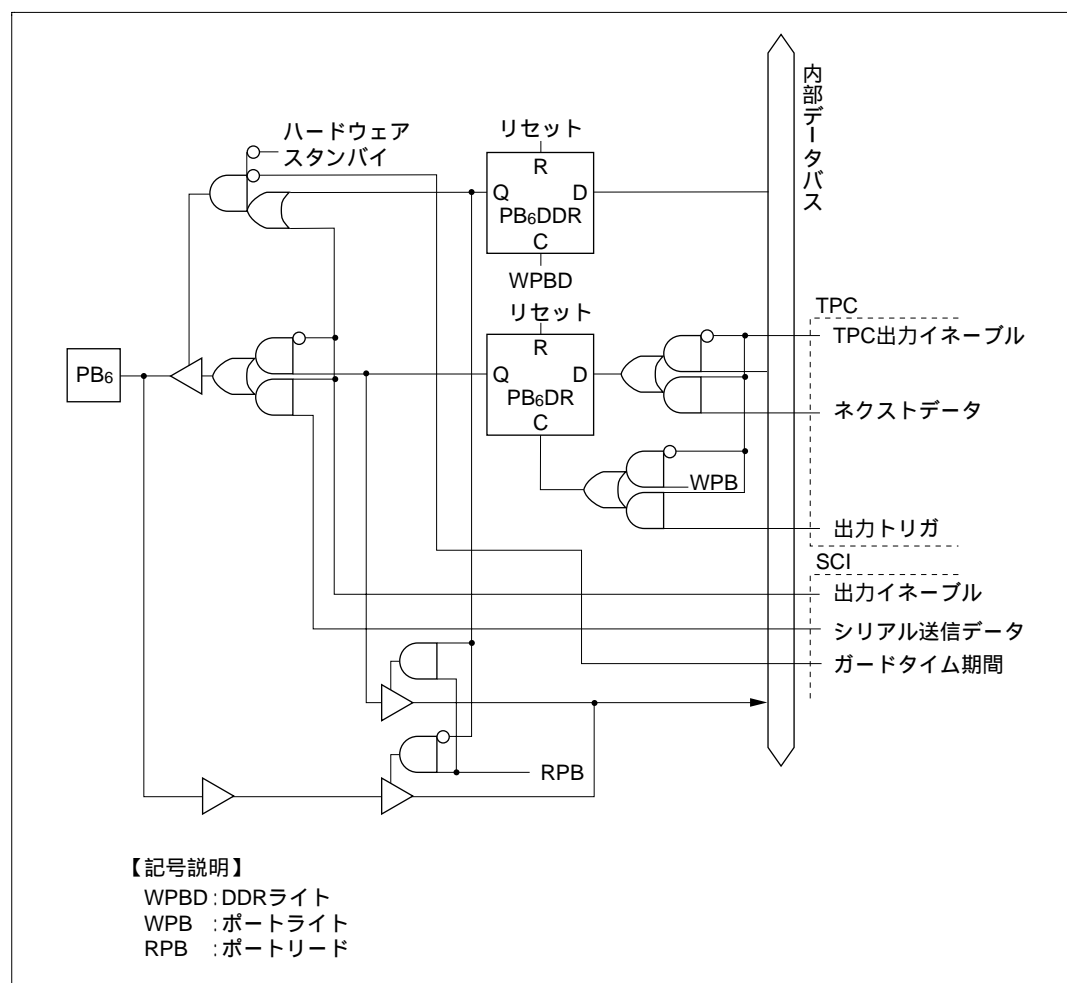
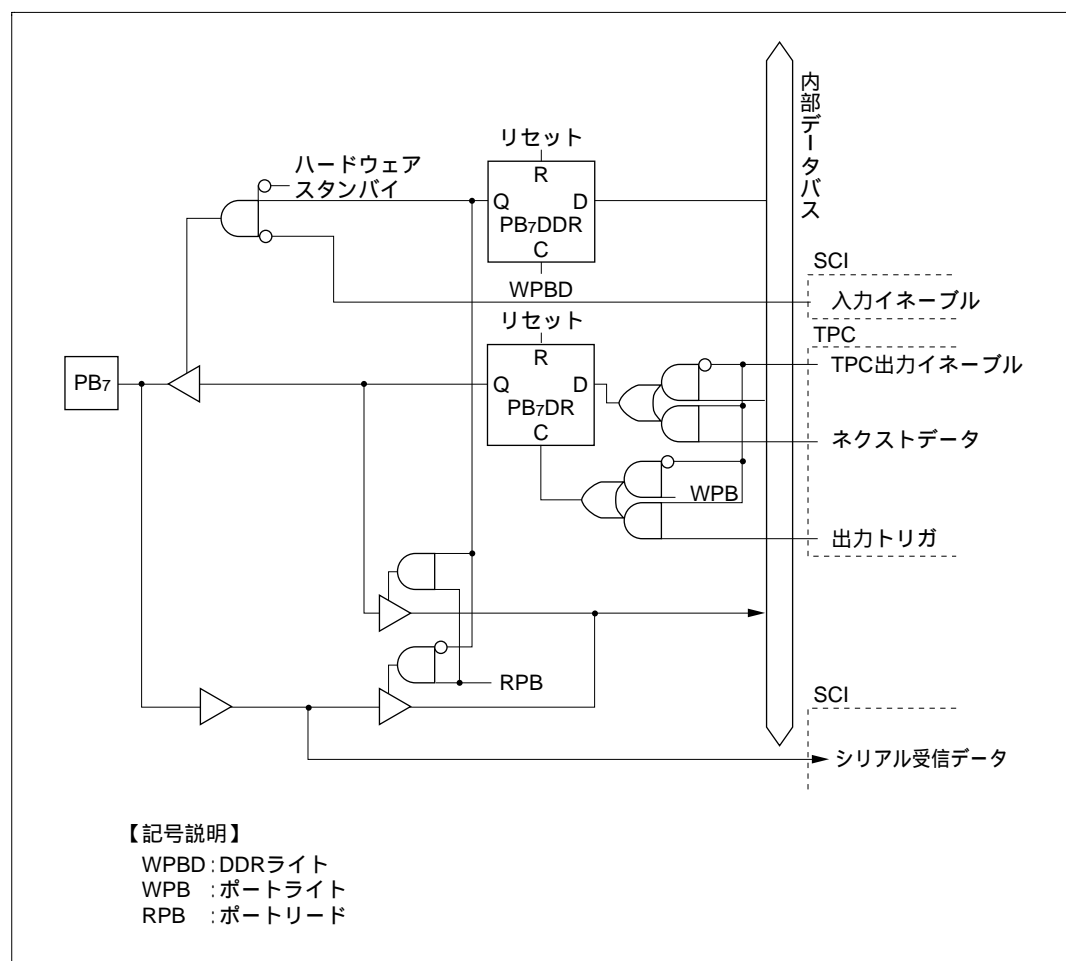


図 C.11 (g) ポート B ブロック図 (PB₆端子)

図 C.11 (h) ポート B ブロック図 (PB₇端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
P1 ₇ ~ P1 ₀	1 ~ 4	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₇ ~ A ₀
	5	T	T	[DDR=0] Keep [DDR=1, SSOE=0] T [DDR=1, SSOE=1] Keep	T	[DDR=0] 入力ポート [DDR=1] A ₇ ~ A ₀
	7	T	T	Keep	—	入出力ポート
P2 ₇ ~ P2 ₀	1 ~ 4	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₁₅ ~ A ₈
	5	T	T	[DDR=0] Keep [DDR=1, SSOE=0] T [DDR=1, SSOE=1] Keep	T	[DDR=0] 入力ポート [DDR=1] A ₁₅ ~ A ₈
	7	T	T	Keep	—	入出力ポート
P3 ₇ ~ P3 ₀	1 ~ 5	T	T	T	T	D ₁₅ ~ D ₈
	7	T	T	Keep	—	入出力ポート
P4 ₇ ~ P4 ₀	1, 3, 5	T	T	Keep	Keep	入出力ポート
	2, 4	T	T	T	T	D ₇ ~ D ₀
	7	T	T	Keep	—	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
P5 ₃ ~ P5 ₀	1 ~ 4	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₁₉ ~ A ₁₆
	5	T	T	[DDR=0] Keep [DDR=1, SSOE=0] T [DDR=1, SSOE=1] Keep	T	[DDR=0] 入力ポート [DDR=1] A ₁₉ ~ A ₁₆
	7	T	T	Keep	—	入出力ポート
P6 ₀	1 ~ 5	T	T	Keep	Keep	入出力ポート WAIT
	7	T	T	Keep	—	入出力ポート
P6 ₁	1 ~ 5	T	T	[BRLE=0] Keep [BRLE=1] T	T	入出力ポート BREQ
	7	T	T	Keep	—	入出力ポート
P6 ₂	1 ~ 5	T	T	[BRLE=0] Keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] BACK
	7	T	T	Keep	—	入出力ポート
P6 ₆ ~ P6 ₃	1 ~ 5	H	T	[SSOE=0] T [SSOE=1] H	T	AS, RD HWR, LWR
	7	T	T	Keep	—	入出力ポート
P6 ₇	1 ~ 5	クロック出力	T	[PSTOP=0] H [PSTOP=1] Keep	[PSTOP=0] [PSTOP=1] Keep	[PSTOP=0] [PSTOP=1] 入力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
P6 ₇	7	T	T	[PSTOP=0] H [PSTOP =1] Keep	[PSTOP=0] [PSTOP=1] Keep	[PSTOP=0] [PSTOP=1] 入力ポート
P7 ₇ ~ P7 ₀	1 ~ 5, 7	T	T	T	T	入力ポート
P8 ₀	1 ~ 5	T	T	DRAM空間を選択してい ない場合* ¹ [RFSHE=0] Keep [RFSHE=1] 設定禁止 DRAM空間を選択してい る場合* ² [RFSHE=0] Keep [RFSHE=1, SRFMD=0, SSOE=0] T [RFSHE=1, SRFMD=0, SSOE=1] H [RFSHE=1, SRFMD=1] $\overline{\text{RFSH}}$	DRAM空間を選択 していない場合* ¹ [RFSHE=0] Keep [RFSHE=1] 設定禁止 DRAM空間を選択 している場合* ² [RFSHE=0] Keep [RFSHE=1] T	[RFSHE=0] 入出力ポート [RFSHE=1] $\overline{\text{RFSH}}$
	7	T	T	Keep	—	入出力ポート
P8 ₁	1 ~ 5	T	T	DRAM空間を選択し、 RAS ₃ を出力する場合* ³ [SSOE=0] T [SSOE=1] H DRAM空間を選択し、 RAS ₃ を出力しない場合* ⁴ Keep 上記以外* ^{5*1} [DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	DRAM空間を選択 し、RAS ₃ を出力す る場合* ³ T DRAM空間を選択 し、RAS ₃ を出力し ない場合* ⁴ Keep 上記以外 [DDR=0] * ¹ Keep [DDR=1] T	DRAM空間を選択し、 RAS ₃ を出力する場合 $\overline{\text{RAS}}_3$ DRAM空間を選択し、 RAS3を出力しない場 合 入出力ポート 上記以外 [DDR=0] 入力ポート [DDR=1] $\overline{\text{CS}}_3$
	7	T	T	Keep	—	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
P8 ₂	1 ~ 5	T	T	RAS ₂ 出力時* ² [SSOE=0] T [SSOE=1] H 上記以外* ¹ [DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	RAS ₂ 出力時* ² T 上記以外* ¹ [DDR=0] Keep [DDR=1] T	RAS ₂ 出力時 RAS ₂ 上記以外 [DDR=0] 入力ポート [DDR=1] CS ₂
	7	T	T	Keep	—	入出力ポート
P8 ₃	1 ~ 5	T	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₁
	7	T	T	Keep	—	入出力ポート
P8 ₄	1 ~ 4	H	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₀
	5	T	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₀
	7	T	T	Keep	—	入出力ポート
P9 ₅ ~ P9 ₀	1 ~ 5, 7	T	T	Keep	Keep	入出力ポート
PA ₃ ~ PA ₀	1 ~ 5, 7	T	T	Keep	Keep	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
PA ₆ ~ PA ₄	1, 2, 7	T	T	Keep	Keep	入出力ポート
	3 ~ 5	T	T	アドレス出力時 ^{*5} [SSOE=0] T [SSOE=1] Keep 上記以外 ^{*6} Keep	アドレス出力時 ^{*5} T 上記以外 ^{*6} Keep	アドレス出力時 A ₂₃ ~ A ₂₁ 上記以外 入出力ポート
PA ₇	1, 2	T	T	Keep	Keep	入出力ポート
	3, 4	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₂₀
	5	L	T	A20E=0 のとき [SSOE=0] T [SSOE=1] Keep A20E=1 のとき Keep	A20E=0 のとき T A20E=1 のとき Keep	A20E=0 のとき A ₂₀ A20E=1 のとき 入出力ポート
	7	T	T	Keep	—	入出力ポート
PB ₁ , PB ₀	1 ~ 5	T	T	CS 出力時 ^{*7} [SSOE=0] T [SSOE=1] H 上記以外 ^{*8} Keep	CS 出力時 ^{*7} T 上記以外 ^{*8} Keep	CS 出力時 $\overline{CS}_7, \overline{CS}_6$ 上記以外 入出力ポート
	7	T	T	Keep	—	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
PB ₂	1 ~ 5	T	T	RAS ₅ 出力時 ^{*9} [SSOE=0] T [SSOE=1] H CS 出力時 ^{*10} [SSOE=0] T [SSOE=1] H 上記以外 ^{*11} Keep	RAS ₅ 出力時 ^{*9} T CS 出力時 ^{*10} T 上記以外 ^{*11} Keep	RAS ₅ 出力時 $\overline{\text{RAS}}_5$ CS 出力時 $\overline{\text{CS}}_5$ 上記以外 入出力ポート
	7	T	T	Keep	—	入出力ポート
PB ₃	1 ~ 5	T	T	RAS ₄ 出力時 ^{*12} [SSOE=0] T [SSOE=1] H CS 出力時 ^{*13} [SSOE=0] T [SSOE=1] H 上記以外 ^{*14} Keep	RAS ₄ 出力時 ^{*12} T CS 出力時 ^{*13} T 上記以外 ^{*14} Keep	RAS ₄ 出力時 $\overline{\text{RAS}}_4$ CS 出力時 $\overline{\text{CS}}_4$ 上記以外 入出力ポート
	7	T	T	Keep	—	入出力ポート
PB ₅ , PB ₄	1 ~ 5	T	T	CAS 出力時 ^{*15} [SSOE=0] T [SSOE=1] H 上記以外 ^{*16} Keep	CAS 出力時 ^{*15} T 上記以外 ^{*16} Keep	CAS 出力時 $\overline{\text{UCAS}}$, $\overline{\text{LCAS}}$ 上記以外 入出力ポート
	7	T	T	Keep	—	入出力ポート
PB ₇ , PB ₆	1 ~ 5, 7	T	T	Keep	Keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T :ハイインピーダンス

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

- 【注】
- *1 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0 がすべて 0 のとき
 - *2 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0 のいずれかが 1 のとき
 - *3 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=010, 100, 101 のとき
 - *4 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=010, 100, 101, 000 以外のとき
 - *5 BRCCR (バスリリースコントロールレジスタ) の A23E, A22E, A21E がそれぞれ 0 のとき
 - *6 BRCCR (バスリリースコントロールレジスタ) の A23E, A22E, A21E がそれぞれ 1 のとき
 - *7 CSCR (チップセレクトコントロールレジスタ) の CS7E, CS6E がそれぞれ 1 のとき
 - *8 CSCR (チップセレクトコントロールレジスタ) の CS7E, CS6E がそれぞれ 0 のとき
 - *9 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=101 のとき
 - *10 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=101 以外で、CSCR (チップセレクトコントロールレジスタ) の CS5E=1 のとき
 - *11 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=101 以外で、CSCR (チップセレクトコントロールレジスタ) の CS5E=0 のとき
 - *12 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=100, 101, 110 のとき
 - *13 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=100, 101, 110 以外で、CSCR (チップセレクトコントロールレジスタ) の CS4E=1 のとき
 - *14 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0=100, 101, 110 以外で、CSCR (チップセレクトコントロールレジスタ) の CS4E=0 のとき
 - *15 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0 のいずれかが 1 で、DRCRB (DRAM コントロールレジスタ B) の CSEL=0 のとき
 - *16 DRCRA (DRAM コントロールレジスタ A) の DRAS2, DRAS1, DRAS0 のいずれかが 1 で、DRCRB (DRAM コントロールレジスタ B) の CSEL=1 のとき。または、DRAS2, DRAS1, DRAS0 がすべて 0 のとき

D.2 リセット時の端子状態

(1) モード 1、2

モード 1、2 で外部メモリアクセス中に、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.1 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{CS}}_0$ が High レベル、 $\text{D}_{15} \sim \text{D}_0$ はハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリングしてから 2.5 クロック後にイニシャライズされ、アドレスバスは Low レベル出力となります。クロック端子 $\text{P6}_7/$ は $\overline{\text{RES}}$ 端子が Low レベルになった次の立ち上がりで出力端子になります。

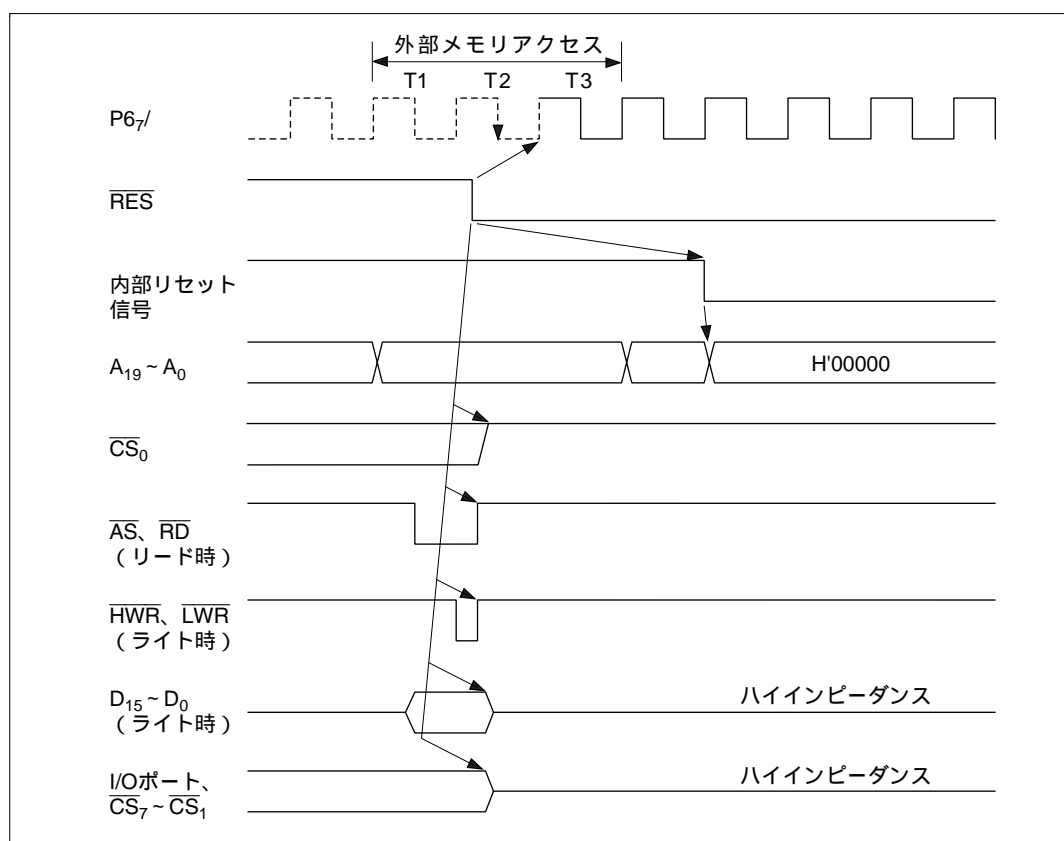


図 D.1 メモリアクセス中のリセット (モード 1、2)

(2) モード 3、4

モード 3、4 で外部メモリアクセス中に、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.2 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{CS}}_0$ が High レベル、 $\text{D}_{15} \sim \text{D}_0$ はハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリングしてから 2.5 クロック後にイニシャライズされ、アドレスバスは Low レベル出力となります。ただし、 $\text{PA}_4 \sim \text{PA}_6$ をアドレスバスとして使用している場合、 $\text{P8}_3 \sim \text{P8}_1$ 、 $\text{PB}_0 \sim \text{PB}_3$ を CS 出力端子として使用している場合は、 $\overline{\text{RES}}$ 端子が Low レベルになると同時にハイインピーダンスとなります。

クロック端子 $\text{P6}_7/$ は $\overline{\text{RES}}$ 端子が Low レベルになった次の の立ち上がりで出力端子になります。

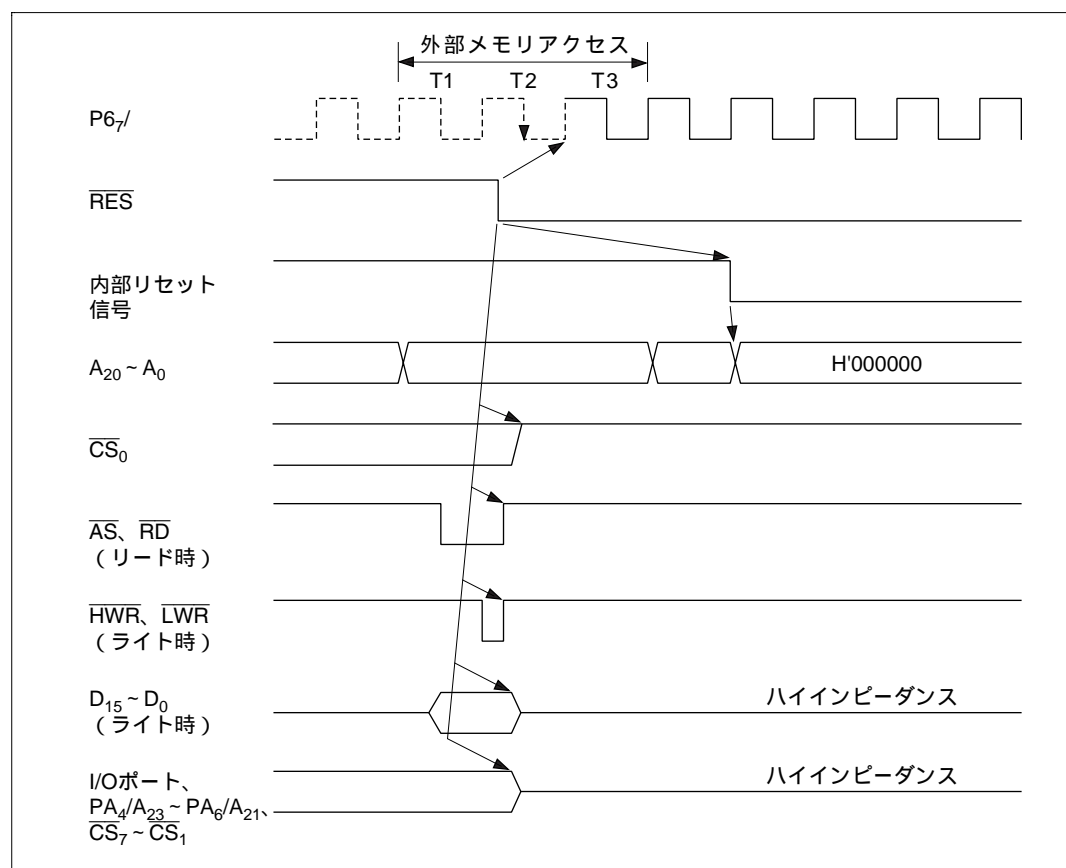


図 D.2 メモリアクセス中のリセット (モード 3、4)

(3) モード 5

モード 5 で外部メモリアクセス中に、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.3 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートはイニシャライズされ、入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が High レベル、アドレスバス、 $\text{D}_{15} \sim \text{D}_0$ はハイインピーダンスになります。

クロック端子 $\text{P6}_7/$ は、 $\overline{\text{RES}}$ 端子が Low レベルになった次の の立ち上がりで出力端子になります。

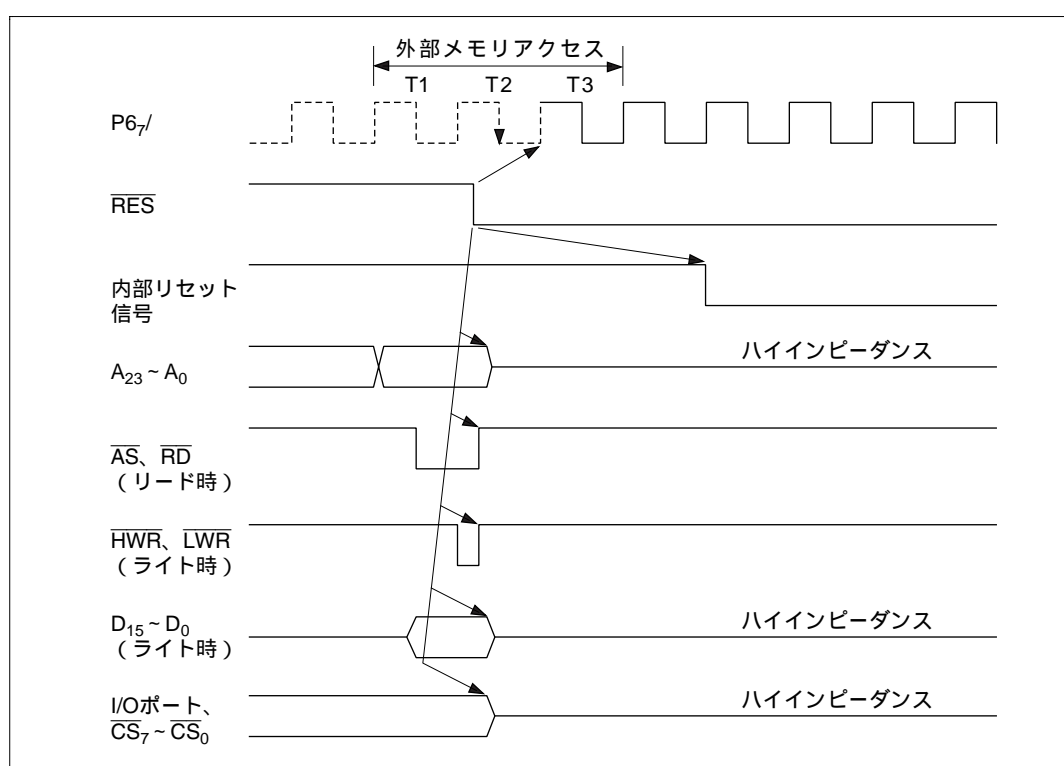


図 D.3 メモリアクセス中のリセット (モード 5)

(4) モード 7

モード 7 で動作中に、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.4 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートとクロック端子 $\text{P6}_7/\text{}$ はイニシャライズされ、入力ポートになります。

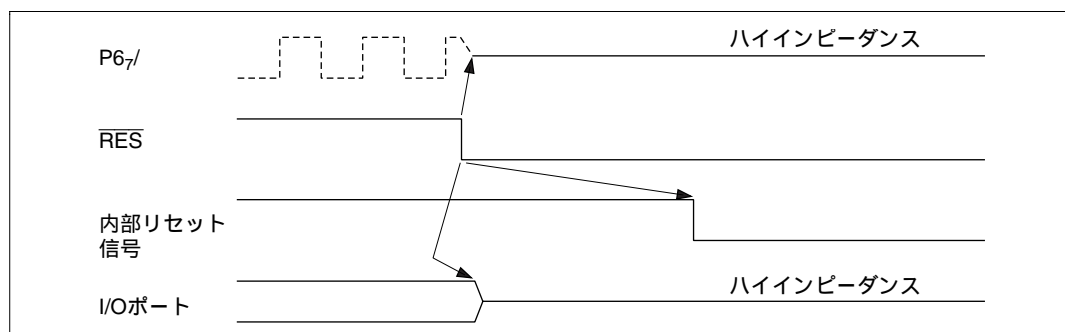


図 D.4 動作中のリセット (モード 7)

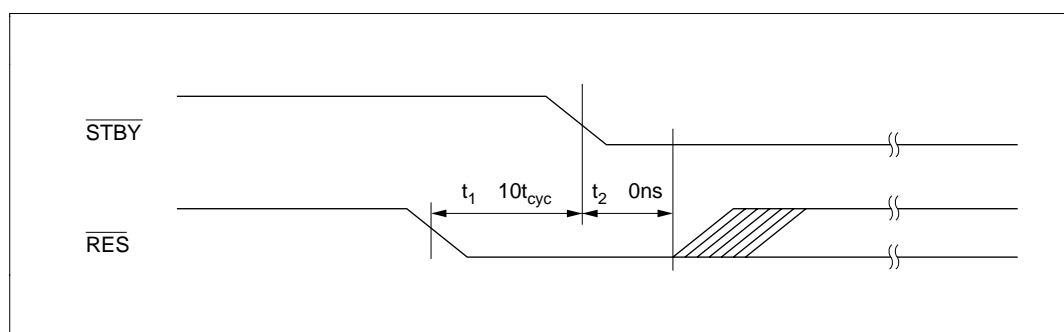
E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

(1) ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立ち下がりとは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、min 0ns です。

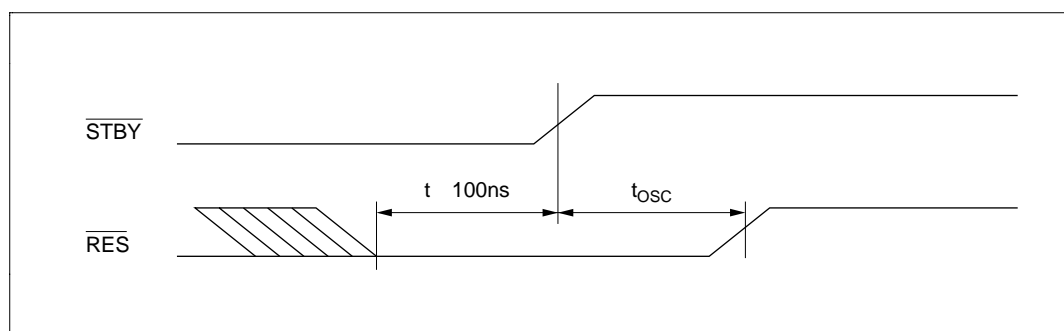


(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

(2) ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を Low としてください。



F. 型名一覧

表 F.1 H8/3069 シリーズ型名一覧

製品分類		製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3069F	フラッシュメモ	HD64F3069F	HD64F3069F	100 ピン QFP (FP-100B)
	リ内蔵	HD64F3069TE	HD64F3069TE	100 ピン TQFP (TFP-100B)

G. 外形寸法図

本 LSI の外形寸法図 FP-100B を図 G.1、TFP-100B を図 G.2 に示します。

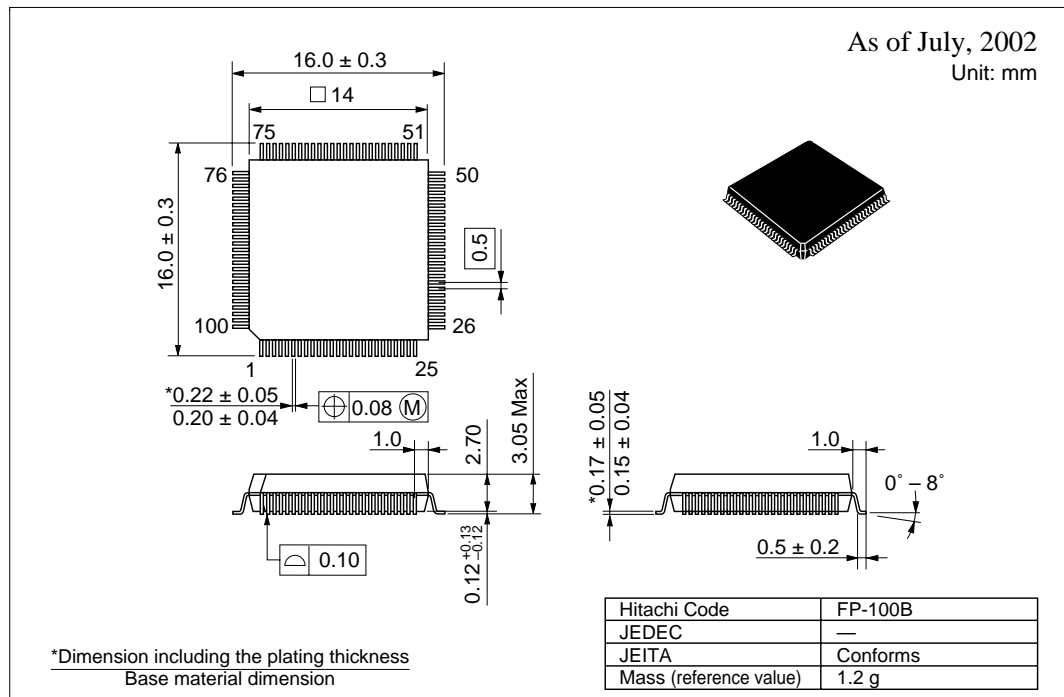


図 G.1 外形寸法図 (FP-100B) 単位: mm

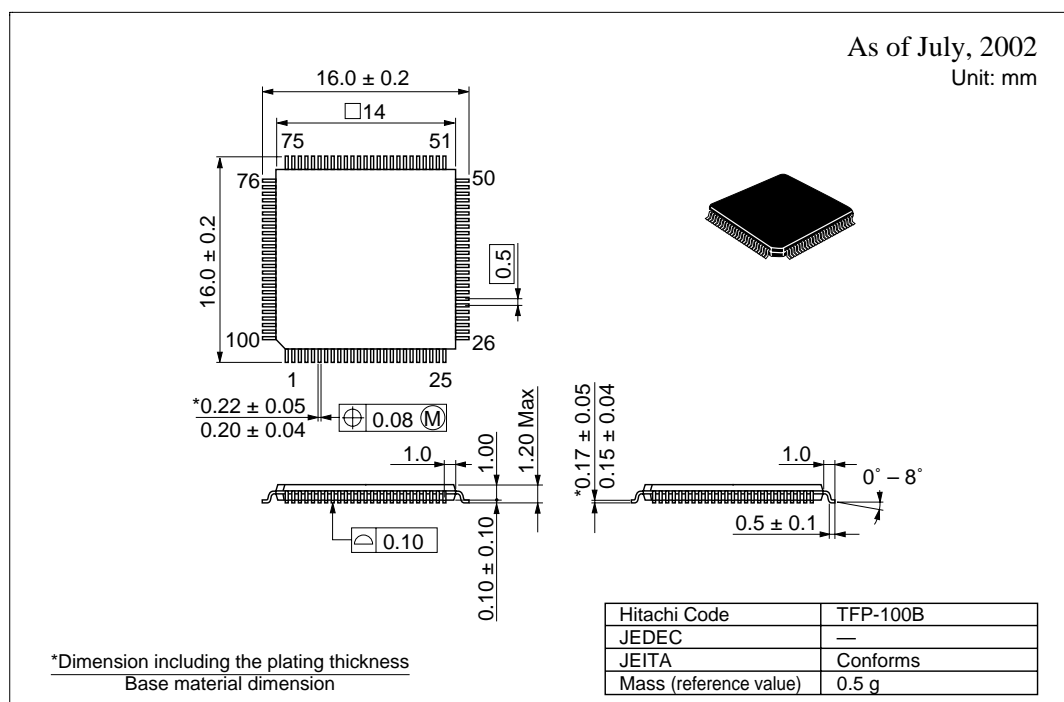


図 G.2 外形寸法図 (TFP-100B) 単位: mm

H. H8/300H シリーズ製品仕様比較

H.1 H8/3069F、H8/3067、H8/3062 シリーズと H8/3048 シリーズ、H8/3007、H8/3006 と H8/3002 の相違点

	項目		H8/3069F		H8/3067、H8/3062 シリーズ		H8/3048 シリーズ		H8/3007、H8/3006		H8/3002			
1	動作モード	モード5	16MB ROM有効拡張 モード		16MB ROM有効拡張 モード		1MB ROM 有効拡張 モード							
		モード6	なし		64kB シングルチップ モード		16MB ROM 有効拡張 モード							
2	割り込み コントローラ	内部割り込み要因	36		36（H8/3067）、 27（H8/3062シリーズ）		30		36		30			
3	バスコントローラ	バーストROM インタフェース	あり		あり（H8/3067） なし（H8/3062シリーズ）		なし		あり		なし			
		アイドルサイクル 挿入機能	あり		あり		なし		あり		なし			
		ウェイトモード	2種類		2種類		4種類		2種類		4種類			
		ウェイトステート 数の設定	エリア単位		エリア単位		全エリア 共通		エリア単位		全エリア 共通			
		アドレス出力方式	アドレス更新モードを選択 可		アドレス更新モードを選択 可（H8/3067F-ZTAT、 H8/3062F-ZTATは固定）		固定		固定		固定			
4	DRAM インタフェース	接続可能エリア	エリア2 / 3 / 4 / 5		エリア2 / 3 / 4 / 5 （H8/3067のみ）		エリア3		エリア2 / 3 / 4 / 5		エリア3			
		プリチャージサイ クル挿入機能	あり		あり（H8/3067のみ）		なし		あり		なし			
		高速ページモード	あり		あり（H8/3067のみ）		なし		あり		なし			
		アドレスシフト量	8bit / 9bit / 10bit		8bit / 9bit / 10bit （H8/3067のみ）		8bit / 9bit		8bit / 9bit / 10bit		8bit / 9bit			
5	タイマ機能		16ビット タイマ	8ビット タイマ	16ビット タイマ	8ビット タイマ	ITU	16ビット タイマ	8ビット タイマ	ITU				
			チャンネル数	16bit×3	8bit×4 （16bit×2）	16bit×3	8bit×4 （16bit×2）	16bit×5	16bit×3	8bit×4 （16bit×2）	16bit×5			
			パルス出力	6端子	4端子 （2端子）	6端子	4端子 （2端子）	12端子	6端子	4端子 （2端子）	12端子			
			インプットキャブ チャ	6本	2本	6本	2本	10本	6本	2本	10本			
			外部クロック	4系統 （選択可）	4系統 （固定）	4系統 （選択可）	4系統 （固定）	4系統 （選択可）	4系統 （選択可）	4系統 （固定）	4系統 （選択可）			
			内部クロック	， /2， /4， /8	/8， /64， /8192	， /2， /4， /8	/8， /64， /8192	， /2， /4， /8	， /2， /4， /8	/8， /64， /8192	， /2， /4， /8			
			相補PWM機能	なし	なし	なし	なし	あり	なし	なし	あり			
			リセット同期 PWM機能	なし	なし	なし	なし	あり	なし	なし	あり			
			バッファ動作	なし	なし	なし	なし	あり	なし	なし	あり			
			出力初期値設定機 能	あり	なし	あり	なし	なし	あり	なし	なし			
			PWM出力	3本	4本（2本）	3本	4本（2本）	5本	3本	4本（2本）	5本			

	項目		H8/3069F		H8/3067,H8/3062 シリーズ		H8/3048 シリーズ	H8/3007,H8/3006		H8/3002
5	タイマ機能	DMAC 起動	3チャンネル	なし	3チャンネル (H8/3067 のみ)	なし	4チャンネル	3チャンネル	なし	4チャンネル
		A/D 変換起動	なし	あり	なし	あり	なし	なし	あり	なし
		割り込み要因	3要因×3	8要因	3要因×3	8要因	3要因×5	3要因×3	8要因	3要因×5
6	TPC	タイムベース	16ビットタイムベースで3 種類		16ビットタイムベースで3 種類		ITUベースで 4種類	16ビットタイムベースで3 種類		ITUベースで 4種類
7	WDT	リセット信号 外部出力機能	なし		あり(ただし、フラッシュ メモリ内蔵品はなし)		あり	あり	あり	あり
8	SCI	チャンネル数	3チャンネル		3チャンネル(H8/3067) 2チャンネル(H8/3062シリ ーズ)		2チャンネル	3チャンネル		2チャンネル
		スマートカード インタフェース	全チャンネルサポート		全チャンネルサポート		SCI0のみ サポート	全チャンネルサポート		なし
9	A/D 変換器	変換開始トリガ 入力	外部トリガ/8ビットタイマ コンペアマッチ		外部トリガ/8ビットタイマ コンペアマッチ		外部トリガ	外部トリガ/8ビットタイマ コンペアマッチ		外部トリガ
		変換ステート	70 / 134		70 / 134		134 / 266	70 / 134		134 / 266
10	端子制御	端子	/ 入力ポート兼用		/ 入力ポート兼用		出力専用	/ 入力ポート兼用		出力専用
		16MB ROM有効 拡張モードにお けるA ₂₀	A ₂₀ /入出力ポート兼用		A ₂₀ /入出力ポート兼用		A ₂₀ 出力			
		ソフトウェアスタ ンバイ状態にお ける、アドレスバ ス、 \overline{AS} 、 \overline{RD} 、 HWR、LWR、 $\overline{CS}_7 \sim \overline{CS}_0$ 、RFSH	Highレベル出力/ハイイ ンピーダンスを選択可		Highレベル出力/ハイイ ンピーダンスを選択可 (RFSH端子はH8/3067の み)		Highレベル 出力(\overline{CS}_0 以外) Lowレベル 出力(\overline{CS}_0)	Highレベル出力/ハイイ ンピーダンスを選択可		Highレベル 出力 (\overline{CS}_0 以外) Lowレベル 出力(\overline{CS}_0)
		バス解放状態にお ける $\overline{CS}_7 \sim \overline{CS}_0$	ハイインピーダンス		ハイインピーダンス		Highレベル 出力	ハイインピーダンス		Highレベル 出力
11	フラッシュメモリ 機能	書き込み/ 消去電圧	12V印加不要。 単一電源書き込み。		12V印加不要。 単一電源書き込み。		外部から 12V印加			
		ブロック分割	16ブロック		8ブロック (H8/3064F-ZTATは12ブ ロック)		16ブロック			
		ブートモード	あり		あり		あり			
		ユーザプログラム モード	あり		あり		あり			
		ユーザブート モード	あり		なし		なし			

H.2 100 ピンパッケージ品の端子機能比較 (FP-100B、TFP-100B の場合)

表 H.1 製品別ピン配置一覧 (FP-100B、TFP-100B)

ピン番号	フラッシュ メモリ内蔵品	ROM 内蔵品				ROM レス品	
	H8/3069F	H8/3067 シリーズ	H8/3062 シリーズ	H8/3048 シリーズ	H8/3042 シリーズ	H8/3007, H8/3006	H8/3002
1	V _{CL}	V _{CC}	V _{CC} /V _{CL} *2	V _{CC}	V _{CC}	V _{CC}	V _{CC}
2	PB ₀ /TP ₈ /TMO ₀ / \overline{CS}_7	PB ₀ /TP ₈ /TMO ₀ / \overline{CS}_7	PB ₀ /TP ₈ /TMO ₀ / \overline{CS}_7	PB ₀ /TP ₈ /TIOCA 3	PB ₀ /TP ₈ /TIOCA 3	PB ₀ /TP ₈ /TMO ₀ / \overline{CS}_7	PB ₀ /TP ₈ /TIOCA 3
3	PB ₁ /TP ₉ /TMIO ₁ / DREQ ₀ / \overline{CS}_6	PB ₁ /TP ₉ /TMIO ₁ / DREQ ₀ / \overline{CS}_6	PB ₁ /TP ₉ /TMIO ₁ / \overline{CS}_6	PB ₁ /TP ₉ /TIOCB 3	PB ₁ /TP ₉ /TIOCB 3	PB ₁ /TP ₉ /TMIO ₁ / DREQ ₀ / \overline{CS}_6	PB ₁ /TP ₉ /TIOCB 3
4	PB ₂ /TP ₁₀ /TMO ₂ / \overline{CS}_5	PB ₂ /TP ₁₀ /TMO ₂ / \overline{CS}_5	PB ₂ /TP ₁₀ /TMO ₂ / \overline{CS}_5	PB ₂ /TP ₁₀ /TIOCA 4	PB ₂ /TP ₁₀ /TIOCA 4	PB ₂ /TP ₁₀ /TMO ₂ / \overline{CS}_5	PB ₂ /TP ₁₀ /TIOCA 4
5	PB ₃ /TP ₁₁ /TMIO ₃ / DREQ ₁ / \overline{CS}_4	PB ₃ /TP ₁₁ /TMIO ₃ / DREQ ₁ / \overline{CS}_4	PB ₃ /TP ₁₁ /TMIO ₃ / \overline{CS}_4	PB ₃ /TP ₁₁ /TIOCB 4	PB ₃ /TP ₁₁ /TIOCB 4	PB ₃ /TP ₁₁ /TMIO ₃ / DREQ ₁ / \overline{CS}_4	PB ₃ /TP ₁₁ /TIOCB 4
6	PB ₄ /TP ₁₂ / \overline{UCAS}	PB ₄ /TP ₁₂ / \overline{UCAS}	PB ₄ /TP ₁₂	PB ₄ /TP ₁₂ /TOCX A4	PB ₄ /TP ₁₂ /TOCX A4	PB ₄ /TP ₁₂ / \overline{UCAS}	PB ₄ /TP ₁₂ /TOCX A4
7	PB ₅ /TP ₁₃ / \overline{LCAS} / SCK ₂	PB ₅ /TP ₁₃ / \overline{LCAS} / SCK ₂	PB ₅ /TP ₁₃	PB ₅ /TP ₁₃ /TOCX B4	PB ₅ /TP ₁₃ /TOCX B4	PB ₅ /TP ₁₃ / \overline{LCAS} / SCK ₂	PB ₅ /TP ₁₃ /TOCX B4
8	PB ₆ /TP ₁₄ /TxD ₂	PB ₆ /TP ₁₄ /TxD ₂	PB ₆ /TP ₁₄	PB ₆ /TP ₁₄ / DREQ ₀ / \overline{CS}_7	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ /TxD ₂	PB ₆ /TP ₁₄ / DREQ ₀
9	PB ₇ /TP ₁₅ /RxTx ₂	PB ₇ /TP ₁₅ /RxTx ₂	PB ₇ /TP ₁₅	PB ₇ /TP ₁₅ / DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /RxTx ₂	PB ₇ /TP ₁₅ / DREQ ₁ /ADTRG
10	FWE	\overline{RESO} /FWE*1	\overline{RESO} /FWE*1	\overline{RESO} /V _{PP}	\overline{RESO}	\overline{RESO}	\overline{RESO}
11	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
12	P9 ₀ /TxTx ₀	P9 ₀ /TxTx ₀	P9 ₀ /TxTx ₀	P9 ₀ /TxTx ₀	P9 ₀ /TxTx ₀	P9 ₀ /TxTx ₀	P9 ₀ /TxTx ₀
13	P9 ₁ /TxTx ₁	P9 ₁ /TxTx ₁	P9 ₁ /TxTx ₁	P9 ₁ /TxTx ₁	P9 ₁ /TxTx ₁	P9 ₁ /TxTx ₁	P9 ₁ /TxTx ₁
14	P9 ₂ /RxTx ₀	P9 ₂ /RxTx ₀	P9 ₂ /RxTx ₀	P9 ₂ /RxTx ₀	P9 ₂ /RxTx ₀	P9 ₂ /RxTx ₀	P9 ₂ /RxTx ₀
15	P9 ₃ /RxTx ₁	P9 ₃ /RxTx ₁	P9 ₃ /RxTx ₁	P9 ₃ /RxTx ₁	P9 ₃ /RxTx ₁	P9 ₃ /RxTx ₁	P9 ₃ /RxTx ₁
16	P9 ₄ /SCK ₀ / \overline{IRQ}_4	P9 ₄ /SCK ₀ / \overline{IRQ}_4	P9 ₄ /SCK ₀ / \overline{IRQ}_4	P9 ₄ /SCK ₀ / \overline{IRQ}_4	P9 ₄ /SCK ₀ / \overline{IRQ}_4	P9 ₄ /SCK ₀ / \overline{IRQ}_4	P9 ₄ /SCK ₀ / \overline{IRQ}_4
17	P9 ₅ /SCK ₁ / \overline{IRQ}_5	P9 ₅ /SCK ₁ / \overline{IRQ}_5	P9 ₅ /SCK ₁ / \overline{IRQ}_5	P9 ₅ /SCK ₁ / \overline{IRQ}_5	P9 ₅ /SCK ₁ / \overline{IRQ}_5	P9 ₅ /SCK ₁ / \overline{IRQ}_5	P9 ₅ /SCK ₁ / \overline{IRQ}_5
18	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀
19	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁
20	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂
21	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃
22	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
23	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄
24	P4 ₅ /D ₅	P4 ₅ /D ₅	P4 ₅ /D ₅	P4 ₅ /D ₅	P4 ₅ /D ₅	P4 ₅ /D ₅	P4 ₅ /D ₅
25	P4 ₆ /D ₆	P4 ₆ /D ₆	P4 ₆ /D ₆	P4 ₆ /D ₆	P4 ₆ /D ₆	P4 ₆ /D ₆	P4 ₆ /D ₆
26	P4 ₇ /D ₇	P4 ₇ /D ₇	P4 ₇ /D ₇	P4 ₇ /D ₇	P4 ₇ /D ₇	P4 ₇ /D ₇	P4 ₇ /D ₇

ピン番号	フラッシュ メモリ内蔵品	ROM 内蔵品				ROM レス品	
	H8/3069F	H8/3067 シリーズ	H8/3062 シリーズ	H8/3048 シリーズ	H8/3042 シリーズ	H8/3007, H8/3006	H8/3002
27	P3 ₀ /D ₈	P3 ₀ /D ₈	P3 ₀ /D ₈	P3 ₀ /D ₈	P3 ₀ /D ₈	D ₈	D ₈
28	P3 ₁ /D ₉	P3 ₁ /D ₉	P3 ₁ /D ₉	P3 ₁ /D ₉	P3 ₁ /D ₉	D ₉	D ₉
29	P3 ₂ /D ₁₀	P3 ₂ /D ₁₀	P3 ₂ /D ₁₀	P3 ₂ /D ₁₀	P3 ₂ /D ₁₀	D ₁₀	D ₁₀
30	P3 ₃ /D ₁₁	P3 ₃ /D ₁₁	P3 ₃ /D ₁₁	P3 ₃ /D ₁₁	P3 ₃ /D ₁₁	D ₁₁	D ₁₁
31	P3 ₄ /D ₁₂	P3 ₄ /D ₁₂	P3 ₄ /D ₁₂	P3 ₄ /D ₁₂	P3 ₄ /D ₁₂	D ₁₂	D ₁₂
32	P3 ₅ /D ₁₃	P3 ₅ /D ₁₃	P3 ₅ /D ₁₃	P3 ₅ /D ₁₃	P3 ₅ /D ₁₃	D ₁₃	D ₁₃
33	P3 ₆ /D ₁₄	P3 ₆ /D ₁₄	P3 ₆ /D ₁₄	P3 ₆ /D ₁₄	P3 ₆ /D ₁₄	D ₁₄	D ₁₄
34	P3 ₇ /D ₁₅	P3 ₇ /D ₁₅	P3 ₇ /D ₁₅	P3 ₇ /D ₁₅	P3 ₇ /D ₁₅	D ₁₅	D ₁₅
35	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
36	P1 ₀ /A ₀	P1 ₀ /A ₀	P1 ₀ /A ₀	P1 ₀ /A ₀	P1 ₀ /A ₀	A ₀	A ₀
37	P1 ₁ /A ₁	P1 ₁ /A ₁	P1 ₁ /A ₁	P1 ₁ /A ₁	P1 ₁ /A ₁	A ₁	A ₁
38	P1 ₂ /A ₂	P1 ₂ /A ₂	P1 ₂ /A ₂	P1 ₂ /A ₂	P1 ₂ /A ₂	A ₂	A ₂
39	P1 ₃ /A ₃	P1 ₃ /A ₃	P1 ₃ /A ₃	P1 ₃ /A ₃	P1 ₃ /A ₃	A ₃	A ₃
40	P1 ₄ /A ₄	P1 ₄ /A ₄	P1 ₄ /A ₄	P1 ₄ /A ₄	P1 ₄ /A ₄	A ₄	A ₄
41	P1 ₅ /A ₅	P1 ₅ /A ₅	P1 ₅ /A ₅	P1 ₅ /A ₅	P1 ₅ /A ₅	A ₅	A ₅
42	P1 ₆ /A ₆	P1 ₆ /A ₆	P1 ₆ /A ₆	P1 ₆ /A ₆	P1 ₆ /A ₆	A ₆	A ₆
43	P1 ₇ /A ₇	P1 ₇ /A ₇	P1 ₇ /A ₇	P1 ₇ /A ₇	P1 ₇ /A ₇	A ₇	A ₇
44	Vss	Vss	Vss	Vss	Vss	Vss	Vss
45	P2 ₀ /A ₈	P2 ₀ /A ₈	P2 ₀ /A ₈	P2 ₀ /A ₈	P2 ₀ /A ₈	A ₈	A ₈
46	P2 ₁ /A ₉	P2 ₁ /A ₉	P2 ₁ /A ₉	P2 ₁ /A ₉	P2 ₁ /A ₉	A ₉	A ₉
47	P2 ₂ /A ₁₀	P2 ₂ /A ₁₀	P2 ₂ /A ₁₀	P2 ₂ /A ₁₀	P2 ₂ /A ₁₀	A ₁₀	A ₁₀
48	P2 ₃ /A ₁₁	P2 ₃ /A ₁₁	P2 ₃ /A ₁₁	P2 ₃ /A ₁₁	P2 ₃ /A ₁₁	A ₁₁	A ₁₁
49	P2 ₄ /A ₁₂	P2 ₄ /A ₁₂	P2 ₄ /A ₁₂	P2 ₄ /A ₁₂	P2 ₄ /A ₁₂	A ₁₂	A ₁₂
50	P2 ₅ /A ₁₃	P2 ₅ /A ₁₃	P2 ₅ /A ₁₃	P2 ₅ /A ₁₃	P2 ₅ /A ₁₃	A ₁₃	A ₁₃
51	P2 ₆ /A ₁₄	P2 ₆ /A ₁₄	P2 ₆ /A ₁₄	P2 ₆ /A ₁₄	P2 ₆ /A ₁₄	A ₁₄	A ₁₄
52	P2 ₇ /A ₁₅	P2 ₇ /A ₁₅	P2 ₇ /A ₁₅	P2 ₇ /A ₁₅	P2 ₇ /A ₁₅	A ₁₅	A ₁₅
53	P5 ₀ /A ₁₆	P5 ₀ /A ₁₆	P5 ₀ /A ₁₆	P5 ₀ /A ₁₆	P5 ₀ /A ₁₆	A ₁₆	A ₁₆
54	P5 ₁ /A ₁₇	P5 ₁ /A ₁₇	P5 ₁ /A ₁₇	P5 ₁ /A ₁₇	P5 ₁ /A ₁₇	A ₁₇	A ₁₇
55	P5 ₂ /A ₁₈	P5 ₂ /A ₁₈	P5 ₂ /A ₁₈	P5 ₂ /A ₁₈	P5 ₂ /A ₁₈	A ₁₈	A ₁₈
56	P5 ₃ /A ₁₉	P5 ₃ /A ₁₉	P5 ₃ /A ₁₉	P5 ₃ /A ₁₉	P5 ₃ /A ₁₉	A ₁₉	A ₁₉
57	Vss	Vss	Vss	Vss	Vss	Vss	Vss
58	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT
59	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ
60	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK
61	P6 ₇ /	P6 ₇ /	P6 ₇ /			P6 ₇ /	
62	STBY	STBY	STBY	STBY	STBY	STBY	STBY
63	RES	RES	RES	RES	RES	RES	RES

ピン番号	フラッシュ メモリ内蔵品	ROM 内蔵品				ROM レス品	
	H8/3069F	H8/3067 シリーズ	H8/3062 シリーズ	H8/3048 シリーズ	H8/3042 シリーズ	H8/3007, H8/3006	H8/3002
64	NMI	NMI	NMI	NMI	NMI	NMI	NMI
65	Vss	Vss	Vss	Vss	Vss	Vss	NMI
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
68	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
69	P6 ₃ /AS	P6 ₃ /AS	P6 ₃ /AS	P6 ₃ /AS	P6 ₃ /AS	AS	AS
70	P6 ₄ /RD	P6 ₄ /RD	P6 ₄ /RD	P6 ₄ /RD	P6 ₄ /RD	RD	RD
71	P6 ₅ /HWR	P6 ₅ /HWR	P6 ₅ /HWR	P6 ₅ /HWR	P6 ₅ /HWR	HWR	HWR
72	P6 ₆ /LWR	P6 ₆ /LWR	P6 ₆ /LWR	P6 ₆ /LWR	P6 ₆ /LWR	LWR	LWR
73	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀
74	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁
75	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂
76	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc
77	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}
78	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
79	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
80	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
81	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
82	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
83	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
84	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆
85	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇	P7 ₇ /AN ₇
86	AVss	AVss	AVss	AVss	AVss	AVss	AVss
87	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀
88	P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ /CS ₃ /IRQ ₁	P8 ₁ /CS ₃ /IRQ ₁
89	P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ /CS ₂ /IRQ ₂	P8 ₂ /CS ₂ /IRQ ₂
90	P8 ₃ /CS ₁ /IRQ ₃ / ADTRG	P8 ₃ /CS ₁ /IRQ ₃ / ADTRG	P8 ₃ /CS ₁ /IRQ ₃ / ADTRG	P8 ₃ /CS ₁ /IRQ ₃	P8 ₃ /CS ₁ /IRQ ₃	P8 ₃ /CS ₁ /IRQ ₃ / ADTRG	P8 ₃ /CS ₁ /IRQ ₃
91	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀
92	Vss	Vss	Vss	Vss	Vss	Vss	Vss
93	PA ₀ /TP ₀ / TEND ₀ /TCLKA	PA ₀ /TP ₀ / TEND ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ / TEND ₀ /TCLKA	PA ₀ /TP ₀ / TEND ₀ /TCLKA	PA ₀ /TP ₀ / TEND ₀ /TCLKA	PA ₀ /TP ₀ / TEND ₀ /TCLKA
94	PA ₁ /TP ₁ / TEND ₁ /TCLKB	PA ₁ /TP ₁ / TEND ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ / TEND ₁ /TCLKB	PA ₁ /TP ₁ / TEND ₁ /TCLKB	PA ₁ /TP ₁ / TEND ₁ /TCLKB	PA ₁ /TP ₁ / TEND ₁ /TCLKB
95	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC	PA ₂ /TP ₂ / TIOCA ₀ /TCLKC

ピン番号	フラッシュ メモリ内蔵品	ROM 内蔵品				ROM レス品	
	H8/3069F	H8/3067 シリーズ	H8/3062 シリーズ	H8/3048 シリーズ	H8/3042 シリーズ	H8/3007, H8/3006	H8/3002
96	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD	PA ₃ /TP ₃ / TIOCB ₀ /TCLKD
97	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁ $\overline{\text{CS}}_6$ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃
98	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁ $\overline{\text{CS}}_5$ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂
99	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂ $\overline{\text{CS}}_4$ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁
100	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀

【注】 *1 マスク ROM 内蔵製品は $\overline{\text{RESO}}$ 端子、フラッシュメモリ内蔵製品は FWE 端子として機能します。

*2 H8/3064F-ZTAT および H8/3062F-ZTAT A マスク品の 5V 動作品では V_{CL} 端子となり、外付けコンデンサ (0.1μF) が必要となります。

H8/3069 F-ZTAT™ ハードウェアマニュアル

発行年月 2001年 9月 第1版

2002年 9月 第3版

発行 株式会社 日立製作所

半導体グループビジネスオペレーション本部

編集 株式会社 日立小平セミコン

技術ドキュメントグループ

©株式会社 日立製作所 2001